



工业和信息化部职业教育指导委员会“十二五”规划教材
新编高等职业教育电子信息、机电类规划教材



应用电子技术专业

数字电路 (第2版)

徐新艳 主编
张德顺 主审

010101001
01010100101001010101010010100101010
01010100101001010101
0101010010100101010101001010010101001
01010100101
010101001010010101010010100
010101001010010101010010100101010
01010100101001010101
0101010010100101010100101001010100101001
01010100101
010101001010010101010010100
010101001
010101001010010101010010100101010
01010100101001010101
010101001010010101010010100101010100101001
01010100101
01010100101001010101010010100
010101001
010101001010010101010010100101010
01010100101001010101
010101001010010101010010100101010100101001
01010100101
010101001010010101010010100
010101001



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

工业和信息化部职业教育教学指导委员会“十二五”规划教材
新编高等职业教育电子信息、机电类规划教材·应用电子技术专业

数 字 电 路

(第2版)

徐新艳 主编

张德顺 主审

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书主要讲述数字电路的基本原理、外特性及应用。内容包括：数字电路的基础知识、组合逻辑电路、时序逻辑电路、半导体存储器和可编程器件、脉冲电路、数模转换器与模数转换器。

本书内容深浅适度，重点突出理论对实践的指导，通过大量的“工程应用”、“应用实例”以及“实验与技能训练”等，使读者巩固数字集成电路的基本知识，掌握其应用方法，为学习后续课程及将来的实际工作奠定必要的基础。本书可作为高等职业学校、高等专科学校、成人高校及本科院校举办的二级职业技术学院电子信息类及相关专业的教材，也可供工程技术人员参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目 (CIP) 数据

数字电路/徐新艳主编. —2 版. —北京：电子工业出版社，2012. 1

新编高等职业教育电子信息、机电类规划教材

ISBN 978-7-121-15227-6

I. ①数… II. ①徐… III. ①数字电路—高等职业教育—教材 IV. ①TN79

中国版本图书馆 CIP 数据核字 (2011) 第 241365 号

策划编辑：陈晓明

责任编辑：赵云峰 特约编辑：张晓雪

印 刷：涿州市京南印刷厂

装 订：涿州市京南印刷厂

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1 092 1/16 印张：13.25 字数：340 千字

印 次：2012 年 1 月第 1 次印刷

印 数：3 000 册 定价：24.00 元

凡所购买电子工业出版社的图书，如有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010) 88254888。

质量投诉请发邮件至 zlt@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010) 88258888。

参加“新编高等职业教育电子信息、机电类规划教材”

编写的院校名单（排名不分先后）

江西信息应用职业技术学院

吉林电子信息职业技术学院

保定职业技术学院

安徽职业技术学院

黄石高等专科学校

天津职业技术师范学院

湖北汽车工业学院

广州铁路职业技术学院

台州职业技术学院

重庆科技学院

四川工商职业技术学院

吉林交通职业技术学院

天津滨海职业技术学院

杭州职业技术学院

重庆电子工程职业学院

重庆工业职业技术学院

重庆工程职业技术学院

广州大学科技贸易技术学院

湖北孝感职业技术学院

广东轻工职业技术学院

广东技术师范职业技术学院

西安理工大学

天津职业大学

天津大学机械电子学院

九江职业技术学院

北京轻工职业技术学院

黄冈职业技术学院

南京理工大学高等职业技术学院

南京金陵科技学院

无锡职业技术学院

西安科技学院

西安电子科技大学

河北化工医药职业技术学院

石家庄信息工程职业学院

三峡大学职业技术学院

桂林电子科技大学

桂林工学院

南京化工职业技术学院

江西工业职业技术学院

柳州职业技术学院

邢台职业技术学院

苏州经贸职业技术学院

金华职业技术学院

绵阳职业技术学院

成都电子机械高等专科学校

河北师范大学职业技术学院

常州轻工职业技术学院

常州机电职业技术学院

无锡商业职业技术学院

河北工业职业技术学院

安徽电子信息职业技术学院
合肥通用职业技术学院
安徽职业技术学院
上海电子信息职业技术学院
上海天华学院
浙江工商职业技术学院
深圳信息职业技术学院
河北工业职业技术学院
江西交通职业技术学院
温州职业技术学院
温州大学
湖南铁道职业技术学院
南京工业职业技术学院
浙江水利水电专科学校
吉林工业职业技术学院
上海新侨职业技术学院

江门职业技术学院
广西工业职业技术学院
广州市今明科技公司
无锡工艺职业技术学院
江阴职业技术学院
南通航运职业技术学院
山东电子职业技术学院
潍坊学院
广州轻工高级技工学校
江苏工业学院
长春职业技术学院
广东松山职业技术学院
徐州工业职业技术学院
扬州工业职业技术学院
徐州经贸高等职业学校
海南软件职业技术学院

前 言

《数字电路》一书自 2007 年出版以来，一直受到广大师生的欢迎和支持。按照《国家中长期教育改革和发展规划纲要（2010~2020 年）》精神要求，结合部分使用本书师生的意见，我们对其进行了修订，在保留第 1 版体系结构合理，概念阐述清楚，内容深入浅出，应用举例多等特点的前提下，修订版（第 2 版）主要有以下几个方面的变化：

1. 充分考虑当前高职高专教育的特点和实际需要，对教材内容在理论上降低深度和难度，对较深层的知识只做定性解释，重点突出知识的应用，特别是所举实例，多与日常生活与工作结合紧密，增强了内容的实用性、趣味性。

2. 对介绍的各种器件基本都有应用实例，在有的章末有综合实验。

3. 考虑与前后课程的衔接，删除了 RC 电路，压缩了对可编程器件的介绍。

4. 进一步充实教学资料包的内容。增加了每节思考与练习的答案或提示。电子教案采用 PowerPoint 课件形式并有大量插图，教师可以根据教学要求按需选取和重新组合。

本课程参考教学学时数 90 学时。在教学中，可以根据需要调整第 6、7、8 章的章次顺序，而不会影响学习的系统性。

本书由徐新艳、王琰、常红、冷严、李永清和闫云祥编写，其中，王琰编写第 1、2 章，常红编写第 3、4 章，冷严编写第 6 章及全部“阅读”内容，李永清编写第 5 章，闫云祥编写实验与技能训练，其余部分由徐新艳编写。由徐新艳任主编并统稿。本书承山东电子职业技术学院张德顺老师主审。

青岛朗讯公司赵振工程师阅读了全书，并提出许多建议，在此表示衷心感谢！

限于作者水平，书中难免存在缺点和不足，恳请广大读者不吝赐教。意见或要求请联系作者电子信箱：xuxinyan@btamail.net.cn。

编 者
2011 年 8 月

目 录

第 1 章 数字电路基础	(1)
1 数字电路概述	(1)
1.1.1 数字信号与数字电路	(1)
1.1.2 数字系统与数字技术	(2)
1.2 数制及其不同进制数的转换	(3)
1.2.1 数制	(3)
1.2.2 数制的转换	(4)
1.3 码制	(6)
1.4 逻辑代数	(7)
1.4.1 逻辑代数与逻辑变量	(7)
1.4.2 逻辑运算	(7)
1.4.3 逻辑函数及其表示方法	(10)
1.4.4 逻辑代数的基本定律与规则	(12)
1.5 逻辑函数的化简	(14)
1.5.1 公式化简法	(15)
1.5.2 卡诺图化简法	(16)
1.5.3 具有约束项的逻辑函数及其化简	(21)
本章小结	(23)
目标检测	(23)
第 2 章 逻辑门电路	(26)
2.1 分立元件门电路	(26)
2.1.1 二极管门电路	(26)
2.1.2 三极管门电路	(28)
2.2 TTL 门电路	(30)
2.2.1 与非门	(31)
2.2.2 其他功能的门电路	(38)
2.2.3 门电路的改进	(42)
2.2.4 TTL 门使用常识	(44)
2.3 CMOS 门电路	(46)
2.3.1 CMOS 非门	(46)
2.3.2 其他功能的 CMOS 门	(47)
2.3.3 CMOS 门使用常识	(49)
2.4 接口电路	(52)

2.4.1	TTL 电路驱动 CMOS 电路	(52)
2.4.2	CMOS 电路驱动 TTL 电路	(53)
2.4.3	CMOS4000 与 54/74AHC 间的接口电路	(53)
	实验与技能训练	(55)
	本章小结	(58)
	目标检测	(59)
第 3 章	组合逻辑电路	(62)
3.1	组合逻辑电路的分析	(62)
3.2	组合逻辑电路的设计	(64)
3.3	常用的组合逻辑电路	(65)
3.3.1	加法器	(65)
3.3.2	编码器和优先编码器	(66)
3.3.3	译码器	(69)
3.3.4	数值比较器	(77)
3.3.5	数据选择器与分配器	(79)
3.4	组合逻辑电路的竞争与冒险	(85)
3.4.1	竞争与冒险	(85)
3.4.2	冒险的判断	(86)
3.4.3	消除冒险的方法	(87)
	实验与技能训练	(88)
	本章小结	(90)
	目标检测	(91)
第 4 章	触发器	(93)
4.1	基本 RS 触发器	(93)
4.1.1	逻辑功能分析	(93)
4.1.2	逻辑功能描述	(94)
4.2	同步触发器	(96)
4.2.1	同步 RS 触发器	(97)
4.2.2	同步 D 触发器	(98)
4.2.3	电平触发方式的空翻现象	(99)
4.3	主从触发器	(99)
4.3.1	主从 RS 触发器	(99)
4.3.2	主从 JK 触发器	(101)
4.4	边沿触发器	(104)
4.5	集成触发器	(105)
	实验与技能训练	(107)
	本章小结	(109)

目标检测	(109)
第5章 时序逻辑电路	(111)
5.1 计数器	(111)
5.1.1 同步计数器	(112)
5.1.2 异步计数器	(117)
5.1.3 集成计数器构成 N 进制计数器	(119)
5.1.4 计数器的设计与分析	(121)
5.2 寄存器	(126)
5.2.1 数码寄存器	(127)
5.2.2 移位寄存器	(128)
实验与技能训练	(133)
本章小结	(135)
目标检测	(136)
第6章 半导体存储器与可编程器件	(139)
6.1 半导体存储器	(139)
6.1.1 RAM	(139)
6.1.2 ROM	(147)
6.2 可编程逻辑器件	(149)
6.2.1 PLD 的一般组成	(149)
6.2.2 PLD 的电路表示法	(149)
6.2.3 PLD 的分类	(152)
实验与技能训练	(155)
本章小结	(157)
目标检测	(157)
第7章 脉冲电路	(159)
7.1 施密特触发器	(160)
7.1.1 集成门施密特触发器	(160)
7.1.2 集成施密特触发器	(162)
7.2 单稳态触发器	(163)
7.2.1 集成门单稳态触发器	(163)
7.2.2 集成单稳态触发器	(165)
7.3 多谐振荡器	(168)
7.3.1 基本多谐振荡器	(168)
7.3.2 简易多谐振荡器	(169)
7.3.3 晶体振荡器	(170)
7.4 555 定时器	(171)
7.4.1 定时器电路构成及功能	(171)
7.4.2 用定时器构成脉冲电路	(172)
实验与技能训练	(175)

本章小结	(178)
目标检测	(178)
第8章 数/模转换器与模/数转换器	(180)
8.1 DAC	(180)
8.1.1 D/A 转换基本原理	(180)
8.1.2 DAC 介绍	(181)
8.1.3 DAC 主要参数	(184)
8.2 ADC	(187)
8.2.1 A/D 转换基本原理	(187)
8.2.2 ADC 介绍	(189)
8.2.3 ADC 主要参数	(193)
实验与技能训练	(198)
本章小结	(199)
目标检测	(199)
主要参考文献	(201)

第 1 章 数字电路基础

知识目标

- (1) 掌握数字信号的表示方法，理解数字电路中的基本概念。
- (2) 熟悉二、十、十六进制；熟悉 8421 BCD 码，了解其他编码（循环码等）。
- (3) 掌握基本逻辑关系及其表示方法，逻辑代数的基本运算和基本定律。

技能目标

- (1) 能进行数制间的相互转换，8421 BCD 码与十进制数之间的相互转换。
- (2) 能将逻辑式转换成不同的表示形式。
- (3) 能用公式法化简逻辑式为最简与或式，能用卡诺图化简 4 变量及 4 变量以下逻辑式为最简与或式。

当代社会为数字化社会。数字化手机，数字化电视，电子阅读器，……，而 3C（Computer、Communication 和 Control）技术的融合，更是带来了人类生活、学习和工作方式的巨大变化，网络教育，网络办公，网上科研、气象、交通等各种信息和资料，网上购物，等等，人们正无处不在强烈感受着数字化带来的方便、迅捷和奇妙。

数字化的基础是数字技术，而数字技术的核心是数字电路。本书正是由数字电路的基础知识出发，引导读者深入学习并掌握数字电路的基本原理及应用，为读者掌握数字技术，走进数字化世界奠定基础。

本章首先介绍数字信号、数字电路等基本概念，然后介绍数字系统中数及代码的表示方法。最后介绍分析、设计数字电路的基本工具——逻辑代数。

1.1 数字电路概述

1.1.1 数字信号与数字电路

自然界中有许多物理量具有连续变化的特点，如温度、压力和距离，这类连续变化的物理量称为模拟量，与之成比例的电压或电流信号称为模拟信号。还有一类物理量，它们的变化在时间上和数值上都是离散的，或者说是断续的，如学生成绩的记录，工厂产品的统计，电路开关的状态等，这类物理量可以用数字反映，称之为数字量，表示数字量的电信号称为数字信号。

最常见的数字信号是矩形波也称矩形脉冲，它能用数字 0 和 1 来表示，举例如图 1-1 所示。通常规定：0 表示矩形波的低电平 U_L ；1 表示高电平 U_H 。当然，也可以反过来规定。

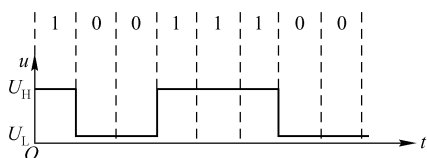


图 1-1 数字信号 10011100 对应的矩形波

处理数字信号的电路称为数字电路。数字电路重点考虑输出信号与输入信号状态（高、低电平，亦 1、0）之间的对应关系，这种关系称为逻辑关系。分析数字电路使用的方法是逻辑分析法，所以有时又将数字电路称为逻辑电路，电路功能又称为逻辑功能。

由于数字电路只要能区分高、低电平两种状态就可以，因此高、低电平都有一定的允许范围，这相对模拟电路来说对元器件参数精度的要求就低些，易于电路集成，并且抗干扰能力强，保真度高，所以数字电路在计算机、通信、智能控制、家用电器等领域得到广泛的应用。

目前，数字电路几乎都是集成电路。集成电路（Integration Circuit，IC）是指将晶体管、电阻及连接导线等集中制作在一块半导体基片（亦称芯片）上并封装而构成的具有一定功能的电路。通常，单块芯片上集成元器件数量的多少称为集成度。据此把数字集成电路分为小规模、中规模、大规模、超大规模集成电路。小规模集成电路（Small Scale Integration Circuit，SSIC）包含 10 ~ 100 个元器件，如集成逻辑门、触发器；中规模集成电路（Medium Scale Integration Circuit，MSIC）包含 100 ~ 1000 个元器件，如集成计数器、寄存器、译码器；大规模集成电路（Large Scale Integration Circuit，LSIC）包含 1000 ~ 10000 个元器件，如存储器和某些设备的控制器；超大规模集成电路（Very Large Scale Integration Circuit，VLSIC）包含 10000 个以上的元器件，如单片微型计算机。

1.1.2 数字系统与数字技术

数字系统是一个能对数字信号进行处理、传输和存储的实体，它由实现各种功能的数字电路相互连接而成。例如，数字计算机就是一种最具代表性的数字系统。

数字技术是关于数字信号的产生、整形、编码、解码、计算（包括算术运算和逻辑运算、判断）、存储和传输的科学技术。

思考与练习

- (1) 什么是模拟信号？什么是数字信号？以上信号各具有哪些特点？
- (2) 画出数字信号 0110111010010 的波形图。
- (3) 数字电路输入与输出信号之间的对应关系称作什么？
- (4) 数字集成电路是怎样划分规模的？
- (5) 试总结数字电路的特点。
- (6) 数字系统的功能是什么？
- (7) 何为数字技术？

1.2 数制及其不同进制数的转换

1.2.1 数制

数制是进位计数制的简称。日常中经常使用的是十进制、二十四进制、六十进制。而在数字系统中用的是二进制，为了书写方便，有时也用十六进制。

1. 十进制

十进制采用 0, 1, ..., 9 共十个数码计数。计数数码的个数称为基数，因此，十进制基数是“10”。超过 9 的数用多位数表示，低位向高位进位的规则是“逢十进一”，故称为十进制。

任意一个 k 位整数、 m 位小数的十进制数 N ，都可写成：

$$\begin{aligned} N_{10} &= d_{k-1}d_{k-2}\cdots d_1d_0.d_{-1}d_{-2}\cdots d_{-m} \\ &= d_{k-1} \times 10^{k-1} + d_{k-2} \times 10^{k-2} + \cdots + d_1 \times 10^1 + d_0 \times 10^0 \\ &\quad + d_{-1} \times 10^{-1} + d_{-2} \times 10^{-2} + \cdots + d_{-m} \times 10^{-m} \\ &= \sum_{i=-m}^{k-1} d_i \times 10^i \end{aligned} \quad (1-1)$$

式中， i 表示位；

d_i 表示第 i 位的系数，是 0 ~ 9 中任意一个数码；

10^i 称为第 i 位的权，表示 d_i 所代表的数值大小。

例如，将 7276 按权展开为 $7 \times 10^3 + 2 \times 10^2 + 7 \times 10^1 + 6 \times 10^0$ ，其中有两个数码是 7，但前一个 7 的权是 10^3 ，表示 7000；后一个 7 的权是 10^1 ，表示 70。可见， d_i 实际所表示数值的大小为 $d_i \times 10^i$ ；

下标 10 表示 N 是十进制数，有时也用 D 代替下标。

2. 二进制

二进制只有 0、1 两个数码，基数为“2”，进位规则是“逢二进一”。任意一个二进制数 N 可表示为：

$$\begin{aligned} N_2 &= d_{k-1}d_{k-2}\cdots d_1d_0.d_{-1}d_{-2}\cdots d_{-m} \\ &= d_{k-1} \times 2^{k-1} + d_{k-2} \times 2^{k-2} + \cdots + d_1 \times 2^1 \\ &\quad + d_0 \times 2^0 + d_{-1} \times 2^{-1} + d_{-2} \times 2^{-2} + \cdots + d_{-m} \times 2^{-m} \\ &= \sum_{i=-m}^{k-1} d_i \times 2^i \end{aligned} \quad (1-2)$$

式中， d_i 是第 i 位系数，取值 0 或 1；

2^i 是第 i 位的权。

下标 2 也可用 B 代替。

3. 十六进制

十六进制有 0, 1, ..., 9, A, B, C, D, E, F 共十六个数码，基数“16”，进位规则

“逢十六进一”。任意一个十六进制数 N 按权展开可写成：

$$N_{16} = \sum_{i=-m}^{k-1} d_i \times 16^i \quad (1-3)$$

式中， d_i 是 0, ..., 9, A, ..., F 中任一数码。

下标 16 也可以用 H 表示。

表 1-1 列出若干个与十进制数相对应的二进制、十六进制数，同时列出的还有八进制数。

表 1-1 二、八、十、十六进制数对照表

十进制数	0	1	2	3	4	5	6	7	8	9	10
二进制数	0	1	10	11	100	101	110	111	1000	1001	1010
八进制数	0	1	2	3	4	5	6	7	10	11	12
十六进制数	0	1	2	3	4	5	6	7	8	9	A
十进制数	11	12	13	14	15	16	17	18	32	64	100
二进制数	1011	1100	1101	1110	1111	10000	10001	10010	100000	1000000	1100100
八进制数	13	14	15	16	17	20	21	22	40		144
十六进制数	B	C	D	E	F	10	11	12	20		64
十进制数	128	256	512	1000	1024						
二进制数	10000000	100000000	1000000000	1111101000	10000000000						
八进制数				1750							
十六进制数				3E8							

1.2.2 数制的转换

1. 十进制与其他进制数的转换

(1) 非十进制数转换为十进制数。非十进制数转换为十进制数时，将非十进制数按权展开求和即得相应十进制数。

例 1-1 将 1010.01_2 ， $4F.3A_{16}$ 转换为十进制数。

解： $1010.01_2 = 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} = 10.25_{10}$

$$\begin{aligned}
 4F.3A_{16} &= 4 \times 16^1 + F \times 16^0 + 3 \times 16^{-1} + A \times 16^{-2} \\
 &= 4 \times 16^1 + 15 \times 16^0 + 3 \times 16^{-1} + 10 \times 16^{-2} = 79.2265625_{10}
 \end{aligned}$$

(2) 十进制数转换为非十进制数。十进制数转换非十进制数时将整数部分与小数部分分别转换，合并两部分转换结果即得所求数。

整数转换采用除基取余法，即将十进制数逐次去除所求数基数并依次记下余数，直到商为 0 止，首次所得余数为所求数最低位，末次所得余数为所求数最高位。

例如，将 11_{10} 转换成二进制数。所求数基数是“2”，所以

2		11		余数	
2		51		最低位
2		21		
2		10		
		01		最高位

$11_{10} = 1011_2$

小数转换采用乘基取整法，即将十进制小数乘所求数基数，首次乘积的整数为所求数小数最高位，再用小数部分继续乘所求数基数，所得乘积整数为次高位，依次进行。如果乘基取整后的积最终能为0，则可以精确转换，但有些小数乘基取整后的积永远不为0，此时只能按转换精度要求，取有限位数后截断。

例如，将 0.223_{10} 转换成二进制数（要求精确到小数点后第4位）。

0.223	整数	
× 2		
0.446	····· 0	
× 2		
0.892	····· 0	
× 2		
1.784	····· 1	
0.784		
× 2		
1.568	····· 1	
0.568		
× 2		
1.136	····· 1 (按“0舍1入”处理)	

最高位

最低位

$0.223_{10} \approx 0.0100_2$

例 1-2 将 493.78125_{10} 转换成十六进制数。

解：所求数是十六进制数，基数“16”，因此

16 493		0.78125	
16 30	····· 13 (D)	× 16	
16 1	····· 14 (E)	12.50000	····· 12 (C)
0	····· 1	0.5	
		× 16	
		8.0	····· 8

所以， $493.78125_{10} = 1ED.C8_{16}$ 。

2. 二进制与十六进制数的转换

二进制转换为十六进制采用“四位一并”方法，即从二进制数小数点开始，分别向左、向右按每4位一组分组，不足4位的补0，然后写出每组对应的十六进制数。

例 1-3 将二进制数 1101111010.101101 转换成十六进制数。

解： 11 0111 1010. 1011 01 = 0011 0111 1010 · 1011 0100

↓
3

↓
7

↓
A

↓
B

↓
4

所以， $1101111010.101101_2 = 37A.B4_{16}$ 。

十六进制转换二进制采用“一分为四”方法，将每位十六进制数用4位二进制数代替即可。

例 1-4 将十六进制数 $678.FC$ 转换成二进制数。

解：

6	7	8	·	F	C
↓	↓	↓		↓	↓
0110	0111	1000	·	1111	1100

所以， $678. FC_{16} = 11001111000. 111111_2$ 。

思考与练习

- (1) 将下列数按权展开。
 272_{10} ， $50. 675_{16}$ ， $32. 625_8$ ， $110010. 10101_2$
- (2) 将下列十进制数转换成二进制数。
 51 ， 32 ， $0. 125$ ， $5. 4375$
- (3) 将下列十进制数转换成十六进制数。
 100 ， 16383 ， $2048. 0625$ ， $376. 125$
- (4) 将下列十进制数转换成八进制数。
 100 ， 4096 ， $550. 75$ ， $512. 5$
- (5) 将下列各数转换成十进制数。其中下标 O 表示八进制。
 $1000000000. 101_B$ ， $100000\ 000_B$ ， $550. 75_O$ ， $7AF. D_H$
- (6) 将下列二进制数分别转换成八进制数和十六进制数。(提示：3 位二进制数对应 1 位八进制数)
 1100100 ， 11001110 ， 111101011 ， $111. 1010111$
- (7) 将下列八进制数转换成十六进制数。(提示：转换步骤为八进制→二进制→十六进制)
 1000 ， 376 ， $207. 5$ ， $570. 3$

1.3 码制

数码不仅可以表示数量的大小，还能表示不同的事物。在后一种情况下，这些数码已没有了表示数量的含意，而是表示不同事物的代号，这些数码称为代码。例如：“11” 中学；学号 1027；等等。

为便于记忆和处理，在编制代码时总要遵循一定的规则，这些规则就是码制。

在数字电路中，经常使用二 - 十进制代码，简称 BCD（Binary Coded Decimal）码。BCD 码是用 4 位二进制数码表示 1 位十进制数。由于 4 位二进制数码可以表示十六个数，用来表示十进制数时有六个数未用，因而就有多种 BCD 码。如表 1-2 列出的是常用的 BCD 码。

表 1-2 常用的 BCD 码

编码种类 十进制数	8421 码	2421 码	余 3 码	余 3 循环码	BCD 格雷码
0	0000	0000	0011	0010	0000
1	0001	0001	0100	0110	0001
2	0010	0010	0101	0111	0011
3	0011	0011	0110	0101	0010
4	0100	0100	0111	0100	0110
5	0101	0101	1000	1100	0111
6	0110	0110	1001	1101	0101
7	0111	0111	1010	1111	0100
8	1000	1110	1011	1110	1100

续表

<div>编码种类 十进制数</div>	8421 码	2421 码	余 3 码	余 3 循环码	BCD 格雷码
9	1001	1111	1100	1010	1000
10	00010000	00010000	01000011	01100010	00010000
特点	有权码, 权值 从左至右为 8, 4, 2, 1	有权码, 权值 从左至右为 2, 4, 2, 1	1. 无权码 2. 由 8421 码 加 0011 而得	1. 无权码 2. 相邻码仅 一位不同	1. 无权码 2. 循环码, 即相 邻码仅一位不同

BCD 码和十进制数之间的转换是直接按位转换, 例如,

$$13.9_{10} = (0001\ 0011.\ 1001)_{8421} = 10011.1001_{8421}$$
$$11011000010000_{8421} = (0011,0110,0001,0000)_{8421} = 3610_{10}$$

此外, 国际上还有一些专门处理字母、数字和字符的二进制代码, 如 ISO 码、ASCII 码等, 常用的汉字编码有 GB2312、GBK。有兴趣的读者可查阅相关书籍。

思考与练习

(1) 将下列十进制数转换成 8421 BCD 码、2421 BCD 码、余 3 循环 BCD 码。

18_{10} , 256.49_{10}

(2) 将下列 8421BCD 码转换成十进制数。

$0001001110010101_{8421} = (\quad)_{10}$ $101111000.001001_{8421} = (\quad)_{10}$

(3) 将下列 8421BCD 码转换成二进制数。(提示: 转换步骤为 BCD→十进制→二进制)

$00111000_{8421} = (\quad)_2$, $1111001.01011001011_{8421} = (\quad)_2$

(4) 已知 5421BCD 码是有权码, 权值从左至右依次为 5, 4, 2, 1。试写出十进制数 0~9 对应的 5421 码。

(5) 请问将十进制数转换成 8421BCD 码的结果和用二进制数表示的结果是否相同?

1.4 逻辑代数

1.4.1 逻辑代数与逻辑变量

逻辑代数又名开关代数或布尔代数, 是按一定逻辑规律运算的代数。逻辑代数中的变量称为逻辑变量, 和普通代数一样, 也用字母表示, 但其取值只有 0、1 两种。这里的 0、1 不表示数量大小, 只表示两种不同的逻辑状态, 如电平高、低; 晶体管导通、截止; 事件真、假等。

1.4.2 逻辑运算

1. 基本逻辑运算

逻辑代数有三种基本运算: 与运算、或运算、非运算。

(1) 与运算。首先结合图 1-2 (a) 所示电路说明“与”逻辑关系。在图 1-2 (a) 中, 只有当开关 A 与 B 全部接通时, 灯 Y 才亮; 否则, 灯 Y 不亮。由此例可得出这样一种因果

关系：当决定一个事件发生的全部条件（开关 A 、 B 接通）同时具备时，事件才发生（灯亮），这种因果关系称为“与”逻辑关系。

若用 1 表示开关接通和灯亮，0 表示开关断开和灯不亮；用 A 、 B 表示条件（开关状态）， Y 表示结果（灯的状态），可列表如图 1-2（b）所示。这种用“1”、“0”表示条件所有组合及对应结果的表格称为逻辑真值表，简称真值表。

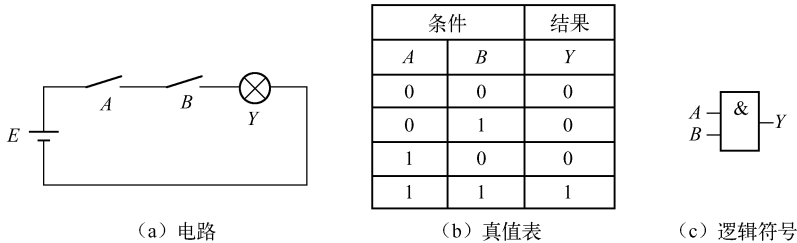


图 1-2 与逻辑

为便于运算，常用等式表示一定的逻辑关系，称之为逻辑方程。与逻辑方程为：

$$Y = A \cdot B$$

式中符号“ \cdot ”读做“与”。在不至发生混淆时，上式常简写为 $Y = AB$ 。

逻辑与又称为逻辑乘。这是因为它和普通代数乘法运算规律在形式上一致，即

$$0 \cdot 0 = 0; 0 \cdot 1 = 0; 1 \cdot 0 = 0; 1 \cdot 1 = 1$$

实现与运算的电路称为与门。图 1-2（c）所示是“与”逻辑符号，它既用于表示与逻辑运算，也用于表示与门电路。

（2）或运算。图 1-3（a）所示电路中，只要开关 A 或 B 有一个接通，或两个都接通，灯 Y 就亮。由此例可得出另一因果关系：当决定一事件发生的各种条件中（ A 、 B 接通）只要有一个或一个以上具备时，事件（灯亮）就发生，这种因果关系称为“或”逻辑关系。

采用前述对开关和灯的状态的规定，可以列出或逻辑真值表，如图 1-3（b）所示。

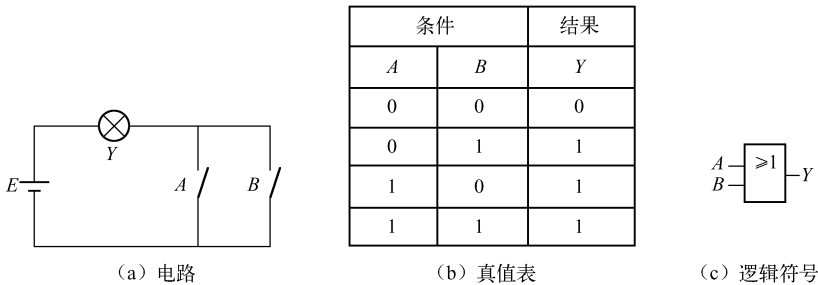


图 1-3 或逻辑

或逻辑方程为：

$$Y = A + B$$

式中符号“ $+$ ”读作“或”。从形式上看，上式和普通代数中加法式子是一致的，所以逻辑或又称逻辑加。运算规律如下：

$$0+0=0;0+1=1;1+0=1;1+1=1$$

“或”逻辑符号如图 1-3 (c) 所示。

(3) 非运算。当事件发生的条件不具备时，事件发生，这种因果关系称为“非”逻辑关系。可见，逻辑非就是逻辑反。在图 1-4 (a) 所示电路中，开关接通与灯亮之间便是非逻辑关系，即开关 A 断开时（条件不具备），灯 Y 却亮（结果发生）。图 1-4 (b) 所示是非逻辑真值表。

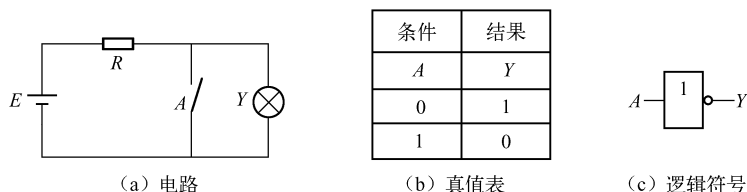


图 1-4 非逻辑

非逻辑方程为：

$$Y = \bar{A}$$

式中符号“ $-$ ”读做“非”， \bar{A} 读做“ A 非”或“非 A ”，也可读做“ A 反”。“非”逻辑符号如图 1-4 (c) 所示。非运算规律为：

$$\bar{\bar{0}} = 1; \bar{\bar{1}} = 0$$

2. 复合逻辑运算

实际的逻辑问题往往比单一的与、或、非复杂的多，但都可以用与、或、非的复合来实现。最常见的复合逻辑运算有与非、或非、与或非、异或、异或非（同或），逻辑符号如图 1-5 所示。图中符号上的小圆圈表示非运算。表 1-3 是以上各复合逻辑运算的真值表。

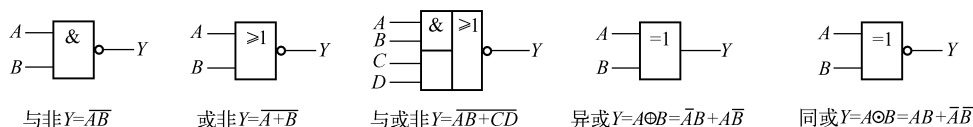


图 1-5 复合逻辑的逻辑符号

表 1-3 复合逻辑的逻辑真值表

与非逻辑			或非逻辑		
A	B	Y	A	B	Y
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

异或逻辑

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	1
1	0	1
1	1	0

异或非（同或）逻辑

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	1
0	1	0
1	0	0
1	1	1

与或非逻辑

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>Y</i>
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

1.4.3 逻辑函数及其表示方法

1. 逻辑函数

在各种逻辑问题中，如果把条件作为自变量，结果作为因变量，自变量与因变量之间的逻辑关系就称为逻辑函数。以三变量逻辑函数为例，逻辑函数一般式可表示为：

$$Y = F(A, B, C)$$

式中，*A*、*B*、*C* 是三个自变量，也称为输入逻辑变量；

Y 是变量 *A*、*B*、*C* 的函数，也称为输出逻辑变量；

F 表示函数关系。

2. 逻辑函数的表示方法

逻辑函数常用的表示方法有表达式、真值表、逻辑图和卡诺图等。本节介绍前三种

方法。

(1) 逻辑函数表达式。将输出逻辑变量按照对应逻辑关系表示为输入逻辑变量的与、或、非复合运算形式，就得到逻辑函数表达式。如

$$Y = \overline{A}B + A\overline{B}$$

注意，非号下面有一个括号时，括号可以省去。如 $\overline{(A+B)}$ 可以写成 $\overline{A+B}$ 。

(2) 真值表。真值表已在前面介绍，其优点是能直观地反映出输入与输出变量之间取值的对应关系。

真值表与表达式能够相互转换。由表达式转换真值表时，只需将输入变量所有取值组合代入表达式，求相应函数值并列表即得，如表 1-4 即为 $Y = \overline{A}B + A\overline{B}$ 的真值表。

由真值表转换表达式时，将表中函数值等于 1 的输入变量组合取出来，输入变量值为 1 的写成原变量，为 0 的写成反变量，再把各变量相与，这样，对应函数值为 1 的每一种输入变量组合就写成一个“与项”，最后把这些与项相加，就得到逻辑函数的与或表达式。例如表 1-5 中，Y 等于 1 的输入变量组合有两种：00，11。每一组合对应一个与项，则有 $\overline{A}\overline{B}$ 及 AB 。将两与项相加，即得表达式为 $Y = \overline{A}\overline{B} + AB$ 。

表 1-4 $Y = \overline{A}B + A\overline{B}$ 的真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

表 1-5 真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

(3) 逻辑图。逻辑图是用逻辑符号及连线表示逻辑函数的电路图，它与表达式或真值表能互相转换。

① 由逻辑图写表达式。根据逻辑门连接方式和每个门的逻辑功能写出。例如，图 1-6 所示逻辑图，从输出向输入反推可得 $Y = Y_1 + Y_2 = \overline{A}B + A\overline{B}$ 。当然也可以从输入向输出推写。

② 由表达式画逻辑图。将式中运算用逻辑符号表示，并依据运算优先顺序把这些逻辑符号连接起来即得。例如 $Y = \overline{A}\overline{B} + AB$ ，式中 \overline{A} 、 \overline{B} 都是非运算，用非门实现； $\overline{A}\overline{B}$ 、 AB 都是与运算，用与门实现； $\overline{A}\overline{B}$ 和 AB 之间是或运算，用或门实现，因此 Y 逻辑图如图 1-7 所示。

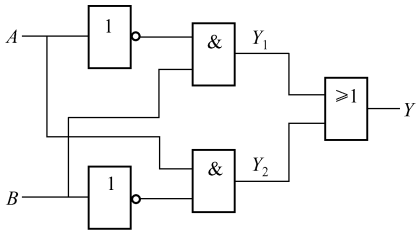


图 1-6 逻辑图

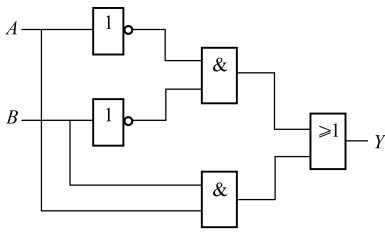


图 1-7 $Y = \overline{A}\overline{B} + AB$ 的逻辑图

3. 逻辑函数相等

设逻辑函数 Y_1 和 Y_2 均是变量 A_1, A_2, \dots, A_k 的函数，如果对应 A_1, A_2, \dots, A_k 任意一组取值 Y_1 和 Y_2 的值均相同，则 Y_1 和 Y_2 相等，记做 $Y_1 = Y_2$ 。也就是说，如果 $Y_1 = Y_2$ ，则 Y_1 和 Y_2 具有相同的真值表。因此，要证明两逻辑函数相等，只要列出它们的真值表并加以比较即可。

1.4.4 逻辑代数的基本定律与规则

1. 逻辑代数的基本定律

逻辑代数中有如下一些基本定律，如表 1-6 所示。这些定律对今后的逻辑运算及逻辑函数的化简均有非常重要的作用。

表 1-6 逻辑代数基本定律

名称	序号	定 律	序号	定 律	说 明
0-1 律	1	$A + 1 = 1$	1'	$A \cdot 0 = 0$	常量与变量之间的运算规律
自等律	2	$A + 0 = A$	2'	$A \cdot 1 = A$	常量与变量之间的运算规律
重叠律	3	$A + A = A$	3'	$A \cdot A = A$	同一变量之间的运算规律
互补律	4	$A + \bar{A} = 1$	4'	$A \cdot \bar{A} = 0$	变量与反变量之间的运算规律
还原律	5	$\bar{\bar{A}} = A$			一个变量两次求反运算后还原为其本身
交换律	6	$A + B = B + A$	6'	$A \cdot B = B \cdot A$	
结合律	7	$(A + B) + C = A + (B + C)$	7'	$(A \cdot B) \cdot C = A \cdot (B \cdot C)$	改变变量之间运算的先后次序
分配律	8	$A + B \cdot C = (A + B)(A + C)$	8'	$A \cdot (B + C) = AB + AC$	
反演律	9	$\overline{A + B} = \bar{A} \cdot \bar{B}$	9'	$\overline{AB} = \bar{A} + \bar{B}$	又称狄·摩根定律
扩展律	10	$A = A(B + \bar{B}) = AB + A\bar{B}$ 即 $A = AB + A\bar{B}$			
吸收律	11	$A + AB = A$	11'	$A(A + B) = A$	
	12	$A + \bar{A}B = A + B$			
	13	$AB + \bar{A}C + BC = AB + \bar{A}C$			BC 称为冗余项
		$AB + \bar{A}C + BCD = AB + \bar{A}C$			BCD 为冗余项

2. 逻辑代数的基本规则

逻辑代数有三个基本规则：代入规则、反演规则、对偶规则。

(1) 代入规则。代入规则是指任何一个逻辑等式，如果以同一逻辑函数替换式中某一变量，等式仍然成立。

代入规则用以扩展基本定律和证明恒等式。例如，已知两变量的反演律为 $\overline{A \cdot B} = \bar{A} + \bar{B}$ ，若用 $Y = BC$ 代替式中 B ，则 $\overline{A \cdot (BC)} = \bar{A} + \overline{BC}$ ，即 $\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$ 。由此推论，可得多

• 12 •

个逻辑变量的反演律为:

$$\overline{A+B+C+\cdots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdots$$

$$\overline{A \cdot B \cdot C \cdots} = \bar{A} + \bar{B} + \bar{C} + \cdots$$

(2) 反演规则。反演规则是指将逻辑函数 Y 中 “ \cdot ” 变 “ $+$ ”, “ $+$ ” 变 “ \cdot ”; 常量 “0” 变 “1”, “1” 变 “0”; 原变量变反变量, 反变量变原变量, 得到的函数式就是 \bar{Y} 。

用反演规则求一个逻辑函数的反函数时应注意以下两点:

① Y 中与项最好先分别加括号, 再用反演规则, 这样不易出现运算顺序错误。

② 覆盖两个及两个以上变量的非号, 非号下各变量、常量及运算符号变, 而非号不变。

例如, $Y = \bar{A}\bar{B}C + \bar{C}\bar{D}(EQ + \bar{E}\bar{Q}) + \overline{A+B} = (\bar{A}\bar{B}C) + \{\bar{C}\bar{D}[(EQ) + (\bar{E}\bar{Q})]\} + \overline{A+B}$, 则

$$\begin{aligned}\bar{Y} &= (A + \bar{B} + C) \{\bar{C} + D + [(\bar{E} + \bar{Q})(E + Q)]\} \overline{\bar{A}\bar{B}} \\ &= (A + \bar{B} + C) [\bar{C} + D + (\bar{E} + \bar{Q})(E + Q)] \overline{\bar{A}\bar{B}}\end{aligned}$$

(3) 对偶规则。将逻辑函数 Y 中 “ \cdot ” 变 “ $+$ ”, “ $+$ ” 变 “ \cdot ”; “0” 变 “1”, “1” 变 “0”; 变量不变, 就得到一个新函数式 Y' , Y' 称为 Y 的对偶式, 而且 Y 与 Y' 互为对偶式。

例如, $Y = (A + \bar{B})(A + C)$, 则 $Y' = A\bar{B} + AC$ 。

对偶规则是指, 逻辑等式等号两边表达式的对偶式也相等。例如, $A + BC = (A + B)(A + C)$, 则有 $A(B + C) = AB + AC$ 。

在表 1-6 中, 序号带撇与不带撇的定律互为对偶式。这样, 只要记住一半公式, 利用对偶规则便可推得另一半。

此外, 在证明两个逻辑式相等时, 也可以通过证明它们的对偶式相等来完成, 因为有些情况下证明它们的对偶式相等更加容易。

利用逻辑代数的基本定律及规则, 可以将一个逻辑函数表示成不同的表达式。例如,

$Y = AB + \bar{A}C$		与或式
<u>两次取非</u>	$\overline{\overline{AB + \bar{A}C}}$	
<u>反演律</u>	$\overline{\bar{A}\bar{B}\bar{A}C}$	与非 - 与非式
<u>反演律</u>	$\overline{(\bar{A} + \bar{B})(A + \bar{C})}$	或非 - 或非式
<u>去括号</u>	$\overline{\bar{A}\bar{A} + \bar{A}\bar{B} + \bar{A}C + \bar{B}\bar{C}}$	
<u>吸收律</u>	$\overline{\bar{A} + \bar{B}\bar{C}}$	或与或非式

思考与练习

- (1) 逻辑变量有几种取值? 逻辑变量的取值是否代表数量的多少?
- (2) 试举几个生活中的与、或、非逻辑关系的实例。
- (3) 画出图 1-8 (a) 所示逻辑门的输出波形。输入波形如图 1-8 (b) 所示。(提示: 与非门——输入

(5) 已知逻辑函数 Y 的真值表如表 1-7 所示。试写出相应逻辑函数表达式, 并画逻辑图。

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$A \oplus B = \overline{A \odot B}; A \odot B = \overline{A \oplus B}$$
$$\begin{array}{ll} \textcircled{1} Y_1 = \overline{\overline{ABC}} & \textcircled{2} Y_2 = (A+B+C)\overline{\overline{ABC}} \\ \textcircled{3} Y_3 = \overline{(A+B+\overline{C}+\overline{D})\overline{AB}} & \textcircled{4} Y_4 = A[\overline{E} + (C\overline{D} + \overline{CD})B] \end{array}$$
$$\begin{array}{ll} \textcircled{1} Y_1 = AB + C & \textcircled{2} Y_2 = \overline{A + B + \overline{C} + \overline{D} + E} \\ \textcircled{3} Y_3 = \overline{\overline{A} \overline{B} + ABC} (A + B + C) & \textcircled{4} Y_4 = A [\overline{B} + (C \overline{D} + \overline{C} D) E] \end{array}$$

一般来说,一个逻辑函数的表达式越简单,相应的逻辑图越简单,使用的器件就少,不仅成本低,而且可靠性高。因此有必要对逻辑函数进行化简。逻辑函数表达形式不同,最简标准也不相同,以最常用的与或表达式为例,化简的最简标准^①有两条:

• 14 •

- (1) 表达式中所含与项个数最少;
- (2) 每个与项中变量个数最少。

1.5.1 公式化简法

公式化简法就是利用基本定律对逻辑函数进行化简。下面介绍几种常用的方法。

1. 并项法

利用 $A + \bar{A} = 1$, 将两项合并成一项, 消去一个变量。例如, $Y = A\bar{B}C + A\bar{B}\bar{C} = A\bar{B}(C + \bar{C}) = A\bar{B}$ 。

2. 吸收法

利用 $A + AB = A$, 消去多余与项。例如, $Y = AB + AB\bar{C}\bar{D}(\bar{E} + F) = AB[1 + \bar{C}\bar{D}(\bar{E} + F)] = AB$

3. 消元法

利用 $A + \bar{A}B = A + B$ 消去多余因子。例如, $Y = \bar{A} + AB + ADE = \bar{A} + B + DE$ 。

4. 消项法

利用 $AB + \bar{A}C + BC = AB + \bar{A}C$ 及 $AB + \bar{A}C + BCD = AB + \bar{A}C$, 消去冗余项 BC 或 BCD 。例如, $Y = AC + \bar{A}BD + \bar{B} + \bar{C} = AC + \bar{A}BD + \bar{B}\bar{C} = AC + \bar{B}\bar{C} + \bar{A}BD = AC + \bar{B}\bar{C}$ 。

又如, $Y = \bar{A}\bar{B}C + ABC + \bar{A}B\bar{D} + \bar{A}B\bar{D} + \bar{A}BC\bar{D} + BC\bar{D}\bar{E} = (\bar{A}\bar{B} + AB)C + (\bar{A}B + \bar{A}B)\bar{D} + BC\bar{D}(\bar{A} + \bar{E}) = (\bar{A} \oplus B)C + (\bar{A} \oplus B)\bar{D} + CD[B(\bar{A} + \bar{E})] = (\bar{A} \oplus B)C + (\bar{A} \oplus B)\bar{D}$ 。

5. 配项法

利用 $A = AB + A\bar{B}$, 将某一与项乘以 $(A + \bar{A})$, 把一项变两项再与其他项合并化简。例如,

$$\begin{aligned} Y &= \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{B}C + \bar{A}B = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{B}C(A + \bar{A}) + \bar{A}B(C + \bar{C}) \\ &= \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}B\bar{C} + \bar{A}B\bar{C} + \bar{A}B\bar{C} \\ &= (\bar{A}\bar{B} + \bar{A}B\bar{C}) + (\bar{B}\bar{C} + \bar{A}B\bar{C}) + (\bar{A}B\bar{C} + \bar{A}B\bar{C}) = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{A}B \end{aligned}$$

在实际化简时, 往往是以上几种方法的综合运用。

例 1-5 化简 $Y = \bar{A}\bar{B} + AC + BC + \bar{B}\bar{C}\bar{D} + \bar{B}CE + \bar{B}CF$ 。

解: 利用吸收律公式 13 添加冗余项 $\bar{B}C$, 然后将 BC 与 $\bar{B}C$ 合并, 得

$$\begin{aligned} Y &= \bar{A}\bar{B} + AC + \bar{B}C + BC + \bar{B}\bar{C}\bar{D} + \bar{B}CE + \bar{B}CF = \bar{A}\bar{B} + \underbrace{AC}_{\text{}} + \underbrace{C}_{\text{}} + \bar{B}\bar{C}\bar{D} + \bar{B}CE + \bar{B}CF \\ &= \bar{A}\bar{B} + \underbrace{C}_{\text{}} + \underbrace{\bar{B}\bar{C}\bar{D}}_{\text{}} + \underbrace{\bar{B}CE}_{\text{}} = \bar{A}\bar{B} + C + \bar{B}\bar{D} + BE \end{aligned}$$

以上例子都是对与或式化简。如果是化简或与式，可以利用对偶规则进行化简。

例 1-6 化简 $Y = \overline{A}(A + C)(\overline{B} + C)(B + \overline{C})(\overline{A} + \overline{C})$

解： $Y' = \overline{A} + AC + \overline{B}C + \overline{B}\overline{C} + \overline{A}\overline{C} = \overline{A} + C + \overline{B}C + \overline{B}\overline{C} = \overline{A} + C + \overline{B}C = \overline{A} + C + B$
 $Y = \overline{A}CB$

1.5.2 卡诺图化简法

用公式法化简逻辑函数要熟记逻辑代数的定律，还要具备一定技巧，并且不易判断结果是否已是最简。采用卡诺图化简法，可以快而准确地得出逻辑函数的最简表达式。

1. 逻辑函数的卡诺图表示法

(1) 最小项。设有 k 个逻辑变量，组成具有 k 个变量的与项，每个变量以原变量或反变量在与项中出现且仅出现一次，这个与项就称为最小项，记作 m 。 k 个变量，共有 2^k 个最小项。例如 A, B, C 三个变量，有 $2^3 = 8$ 个最小项。对于任意一个最小项，只有一组变量取值使它为 1，如表 1-8 所示。约定：对应最小项取值为 1 的变量取值组合就为该最小项的编号（用十进制数表示）。如使 $\overline{A}BC$ 取值为 1 的变量组合为 011，则 $\overline{A}BC = m_3$ 。

表 1-8 三变量最小项

变量取值	最小项及取值							
ABC	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$	$\overline{A}B\overline{C}$	$\overline{A}BC$	$A\overline{B}\overline{C}$	$A\overline{B}C$	$AB\overline{C}$	ABC
	m_0	m_1	m_2	m_3	m_4	m_5	m_6	m_7
000	1	0	0	0	0	0	0	0
001	0	1	0	0	0	0	0	0
010	0	0	1	0	0	0	0	0
011	0	0	0	1	0	0	0	0
100	0	0	0	0	1	0	0	0
101	0	0	0	0	0	1	0	0
110	0	0	0	0	0	0	1	0
111	0	0	0	0	0	0	0	1

任一逻辑函数都可以表示成唯一一组最小项之和，称之为逻辑函数的标准与或式，也称最小项表达式。

例 1-7 将逻辑函数 $Y = AB + \overline{B}C + \overline{A}BC$ 表示为最小项表达式。

解：变量个数不同，最小项就不同。如与项 ABC 对三变量逻辑函数是最小项，而对四变量逻辑函数就不是。因此求函数最小项表达式时，首先判断变量个数。上式是一个包含 A, B, C 三变量的逻辑函数，由于在与项 AB 中缺少 C ，用 $(C + \overline{C})$ 乘 AB ； $\overline{B}C$ 中缺少 A ，用 $(A + \overline{A})$ 乘 $\overline{B}C$ ，再经一定变换，即得最小项表达式为：

$$\begin{aligned}
 Y &= AB + \overline{B}C + \overline{A}BC = AB(C + \overline{C}) + \overline{B}C(A + \overline{A}) + \overline{A}BC \\
 &= ABC + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}B\overline{C} + \overline{A}BC \\
 &= ABC + \overline{A}B\overline{C} + \overline{A}BC
 \end{aligned}$$

或写成：

$$Y(A, B, C) = m_7 + m_6 + m_2 = \sum m(2, 6, 7)$$

由于最小项对应变量取值组合能够使函数值取 1，所以由最小项表达式可以直接写出逻辑函数的真值表，如表 1-9 所示。

表 1-9 最小项表达式与真值表的对应关系

A	B	C	所含最小项	Y
0	0	0		0
0	0	1		0
0	1	0	m_2	1
0	1	1		0
1	0	0		0
1	0	1		0
1	1	0	m_6	1
1	1	1	m_7	1

(2) 卡诺图。卡诺图也称最小项方格图，是将最小项按一定规则排列而成的方格阵列。设函数输入变量数 k ，卡诺图中就有 2^k 个方格，每个方格和一个最小项相对应，方格编号和最小项编号相同，由方格行、列变量取值决定。图 1-9 是四变量卡诺图， A 、 B 是行变量， C 、 D 是列变量。约定：

① 方格编号以行变量为高位组，列变量为低位组。例如 $AB = 10$ ， $CD = 01$ 的方格对应编号为 1001，即最小项 m_9 ，便在相应方格填 m_9 。

② 行、列变量按照循环码 00，01，11，10 的顺序排列。这样可以保证相邻方格只有一个变量取值不同，此特性称为卡诺图的相邻性。例如 m_5 与 m_7 几何位置相邻，又 $m_5 = \bar{A}\bar{B}CD$ ， $m_7 = \bar{A}B\bar{C}D$ ，只有变量 C 不同，这称为逻辑相邻。因此，按循环码标注逻辑变量取值顺序，能够用几何相邻实现逻辑相邻。

特别指出，卡诺图每行、列两端的最小项也具有逻辑相邻性，如图中 m_0 和 m_2 ， m_4 和 m_6 ， m_{12} 和 m_{14} ， m_8 和 m_{10} ， m_0 和 m_8 ， m_4 和 m_{12} ， m_2 和 m_{10} 。

图 1-10 所示是二变量和三变量逻辑函数的卡诺图。

AB \ CD				
	00	01	11	10
00	m_0	m_1	m_3	m_2
01	m_4	m_5	m_7	m_6
11	m_{12}	m_{13}	m_{15}	m_{14}
10	m_8	m_9	m_{11}	m_{10}

图 1-9 四变量卡诺图

A \ B	0	1
	m_0	m_1
1	m_2	m_3

(a) 二变量卡诺图

A \ BC	00	01	11	10
	m_0	m_1	m_3	m_2
1	m_4	m_5	m_7	m_6

(b) 三变量卡诺图

图 1-10 二、三变量卡诺图

(3) 用卡诺图表示逻辑函数。因为卡诺图的方格与最小项或真值表是一一对应的，所以根据最小项表达式画图时，式中有哪些最小项，就在相应方格填1，而其余方格填0。如果根据真值表画图，凡使 $Y=1$ 的变量取值组合就在相应方格填1，其余填0。

例 1-8 画 $Y = \bar{A}BC + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC + ABC$ 的卡诺图。

A \ BC	00	01	11	10
0	0	0	1	0
1	0	1	1	1

解： Y 是三变量函数。先画三变量卡诺图，然后将 Y 所含最小项： m_3, m_5, m_4, m_7, m_6 填入图中对应方格并用1表示，如图 1-11 所示，其余方格填0。

若逻辑函数不是与或式，应将其变成与或式（不必是最小项表达式），然后把含有各与项的最小项在对应方格填1，即得卡诺图。

图 1-11 例 1-8 卡诺图

例 1-9 画 $Y = \bar{A}BC + \bar{A}\bar{B}C + AB$ 卡诺图。

解：式中 $\bar{A}BC$ 、 $\bar{A}\bar{B}C$ 已是最小项。含有与项 AB 的最小项有两个： $AB \cdot C$ 、 $AB \cdot \bar{C}$ 。故在 m_5 、 m_3 ，以及 m_7 、 m_6 的相应方格填1，如图 1-12 所示。

A \ BC	00	01	11	10
0	0	0	1	0
1	1	1	1	1

图 1-12 例 1-9 卡诺图

2. 逻辑函数的卡诺图化简法

(1) 合并最小项规律。根据卡诺图相邻性，两相邻方格所表示的最小项能够合并为一项并消去一个互反（也称互补）变量；四相邻方格合并为一项同时消去两个互补变量；八相邻方格合并为一项同时消去三个互补变量，合并规律以三变量、四变量卡诺图举例，如图 1-13 所示。在写每个卡诺圈所对应的与项时利用“去异留同”的方法，即在与项中消去圈中取值既含有1又含有0的变量，而保留取值不变的变量，如在三变量卡诺圈（ $m_0 + m_1$ ）中，变量 A 、 B 取值不变且取值0，而变量 C 取值既有1又有0，所以该卡诺圈所对应的与项不含 C ，即 $m_0 + m_1 = \bar{A}\bar{B}$ 。

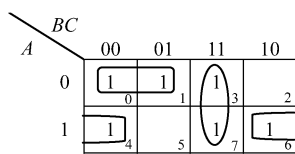
(2) 用卡诺图化简逻辑函数。化简过程一般分为三步：

- ① 将逻辑函数用卡诺图表示。
- ② 按前述合并最小项规律将相邻1方格圈起来，直到所有1方格被圈完为止。
- ③ 将每个卡诺圈所表示的与项相加，得逻辑函数最简与或式。

为得到最简与或式，圈1时应注意：

- ① 画的圈尽量大，圈的个数尽量少。圈越大，消去的变量越多；圈的个数越少，与项越少。
- ② 先圈八格组，再圈四格组，后圈二格组，孤立方格单独成圈。
- ③ 方格可重复被圈，但每圈必有新格。否则，该卡诺圈所表示的与项是多余的。

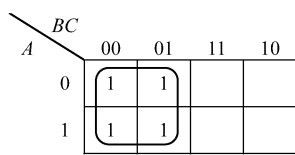
例 1-10 化简 $Y = ABD + \bar{A}BD + \bar{A}BCD$ 。



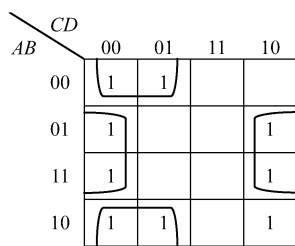
$$m_0 + m_1 = \bar{A} \bar{B}$$

$$m_3 + m_7 = \bar{B} \bar{C}$$

$$m_4 + m_6 = \bar{A} \bar{C}$$

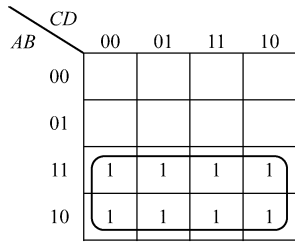


$$m_0 + m_1 + m_4 + m_5 = \bar{B}$$

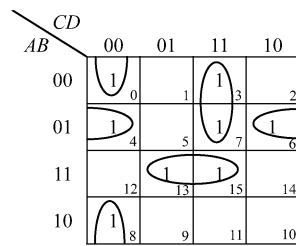


$$\Sigma m(0, 1, 8, 9) = \bar{B} \bar{C}$$

$$\Sigma m(4, 6, 12, 14) = \bar{B} \bar{D}$$



$$\Sigma m(8, 9, 10, 11, 12, 13, 14, 15) = A$$

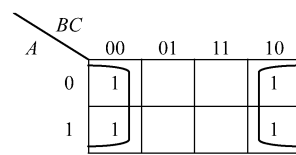


$$m_0 + m_8 = \bar{B} \bar{C} \bar{D}$$

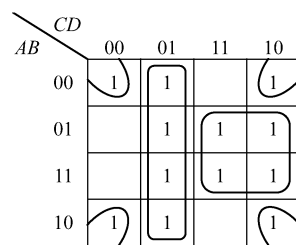
$$m_3 + m_7 = \bar{A} \bar{C} \bar{D}$$

$$m_4 + m_6 = \bar{A} \bar{B} \bar{D}$$

$$m_{13} + m_{15} = \bar{A} \bar{B} D$$



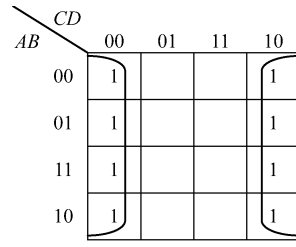
$$m_0 + m_2 + m_4 + m_6 = \bar{C}$$



$$\Sigma m(1, 5, 9, 13) = \bar{C} D$$

$$\Sigma m(6, 7, 14, 15) = \bar{B} C$$

$$\Sigma m(0, 2, 8, 10) = \bar{B} \bar{D}$$



$$\Sigma m(0, 2, 4, 6, 8, 10, 12, 14) = \bar{D}$$

图 1-13 合并最小项

解：根据画逻辑函数卡诺图的方法画出 Y 卡诺图，按合并规律圈 1 如图 1-14 所示。由图可见， $\Sigma m(9, 11, 13, 15) = AD$ ； $\Sigma m(7, 15) = BCD$ 。把每圈所表示的与项相加，得最简与或式为：

$$Y = AD + BCD$$

例 1-11 化简 $Y = \Sigma m(2, 3, 5, 7, 8, 10, 12, 13)$ 。

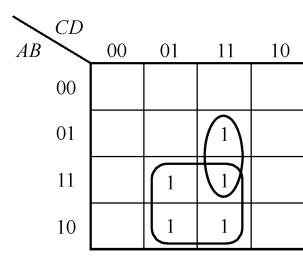


图 1-14 例 1-10 图

解： Y 是四变量函数，画 Y 卡诺图并做两种圈法如图 1-15 (a)、(b) 所示。由图 (a) 按自左至右的顺序写出每个卡诺圈所对应的与项并相加得：

$$Y = \overline{A}\overline{C}\overline{D} + \overline{B}\overline{C}\overline{D} + \overline{A}C\overline{D} + \overline{B}C\overline{D}$$

由图 (b) 按自上到下的顺序写出每个卡诺圈所对应的与项并相加得：

$$Y = \overline{A}\overline{B}C + \overline{A}BD + AB\overline{C} + AB\overline{D}$$

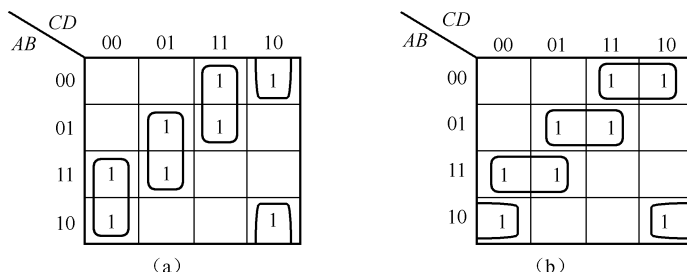


图 1-15 例 1-11 图

以上两种圈法都得最简与或式。此例说明，有时由于圈法不止一种，结果不唯一，但它们之间可以相互转换。

例 1-12 化简 $Y = \sum m(3, 4, 5, 7, 9, 13, 14, 15)$

解：画 Y 卡诺图并按合并规律圈 1 如图 1-16 所示。由图 (a) 可见，圈 $\sum m(5, 7, 13, 15)$ 中的方格均被其他圈圈过，所以该圈所对应与项是多余的。由图 (b) 得：

$$Y = \overline{A}\overline{B}\overline{C} + A\overline{C}\overline{D} + \overline{A}C\overline{D} + ABC$$

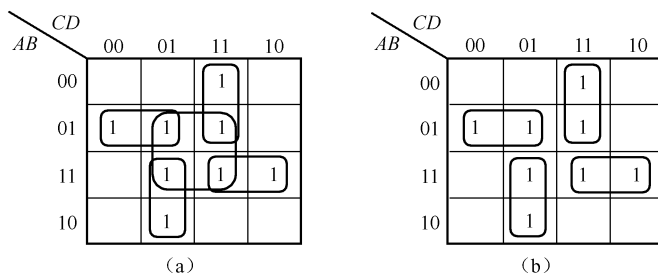


图 1-16 例 1-12 图

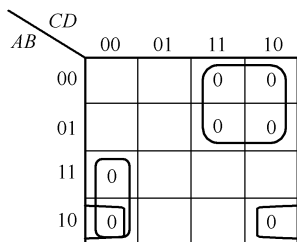


图 1-17 例 1-13 图

此外，利用合并最小项方法圈“0”，可以方便地求逻辑函数反函数的最简与或式。

例 1-13 求 $Y = \sum m(0, 1, 4, 5, 9, 11, 13, 14, 15)$ 的反函数 \overline{Y} 的最简与或式。

解：画 Y 卡诺图并按合并规律圈 0 如图 1-17 所示，写出与或式即为 \overline{Y} 最简与或式为：

$$\overline{Y} = \overline{A}C + A\overline{C}\overline{D} + AB\overline{D}$$

1.5.3 具有约束项的逻辑函数及其化简

1. 约束项与约束条件

在实际中，逻辑函数输入逻辑变量的取值组合有时不是任意的，而受到一定条件的限制。例如，用变量 $ABCD$ 按 8421BCD 码表示一位十进制数时只用 0000 ~ 1001 十种组合，而其余六种组合 1010 ~ 1111 是不允许出现的。通常，这种限制条件称为约束条件，不会出现的最小项称为约束项，约束项对应的函数值用 \times 或 \emptyset 表示。

为方便起见，约束条件用全体约束项之和等于 0 的形式表示。这样，前述例子的约束条件便可表示为：

$$A\bar{B}\bar{C}\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD = 0$$

即

$$AB + AC = 0$$

2. 具有约束项的逻辑函数的化简

由于约束项所对应的变量取值组合不会出现，所以把这些变量取值组合对应的函数值看作 1 或者 0 对逻辑函数不会产生影响。因此，在化简中合理利用约束项，会使化简结果更加简单。

例 1-14 化简 $F(A, B, C, D) = \sum m(0, 2, 3, 4, 8, 9) + \sum m_{\times}(6, 7, 12, 13, 14, 15)$ 。

解：画 F 卡诺图并在约束项对应方格填 \times ，如图 1-18 所示。按合并规律画圈时合理利用约束项，即把有利于化简的约束项看作 1，图中把 m_6, m_7, m_{12}, m_{13} 看作 1，其余的如 m_{14}, m_{15} 看作 0，化简得：

$$F = \bar{C}\bar{D} + A\bar{C} + \bar{A}C$$

应当指出：

(1) 因为约束项与函数值无关，所以用卡诺图化简时不能单独圈 \times 。

(2) 利用约束项化简可使逻辑电路简单，但对输入变量也提出了要求，即输入变量必须满足给定的约束条件。如前述中，8421BCD 码不允许输入变量出现 1010 ~ 1111 的取值组合，否则将出现逻辑错误。

例 1-15 若 Y 是互相排斥的一组变量 A, B, C 的函数，试列 Y 真值表，求 Y 最简与或式。

解：互相排斥的变量是指在一组变量中如果有一个变量取值 1，则其他变量值就一定为 0，即不会出现两个或两个以上变量同时为 1 的情况。由此可知，若 A, B, C 中有一个变量为 1，其他两个变量一定为 0，且 $Y=1$ ；只有当 A, B, C 都为 0 时， $Y=0$ ，由此列真值表如表 1-10 所示。可见，约束项为 $\sum m_{\times}(3, 5, 6, 7)$ 。画卡诺图如图 1-19 所示，利用约束项化简，得：

$$Y = A + B + C$$

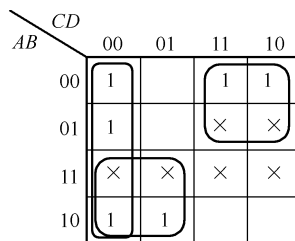


图 1-18 例 1-14 图

表 1-10 例 1-15 真值表

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	×
1	0	0	1
1	0	1	×
1	1	0	×
1	1	1	×

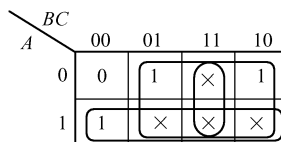


图 1-19 例 1-15 图

本例结果表明，变量互斥的逻辑函数可直接写成各变量相加。在组合逻辑电路编码器的设计中，将利用这一结论。

有时还会遇到另外一种情况，就是对应输入变量的某些取值组合，函数值取 1 或者 0 都可以，并不影响电路的功能。这些变量取值组合对应的最小项称为任意项。对具有任意项的逻辑函数采用的化简方法，与具有约束项的逻辑函数的化简方法相同。

思考与练习

(1) 用公式法化简下列函数。

① $Y_1 = \overline{A}\overline{B} + AC + \overline{B}C$

② $Y_2 = \overline{\overline{A}BC} \cdot \overline{\overline{A}D}$

③ $Y_3 = A + B + C + D + \overline{A}\overline{B}\overline{C}\overline{D}$

④ $Y_4 = \overline{A}(C\overline{D} + \overline{C}D) + B\overline{C}D + A\overline{C}D + \overline{A}C\overline{D}$

(2) 用真值表法和公式法证明下列等式。

① $(A + \overline{C})(B + D)(B + \overline{D}) = AB + B\overline{C}$

② $AB + \overline{B}CD + \overline{A}C + \overline{B}C = AB + C$

(3) 化简逻辑函数 $Y = \overline{(\overline{A} + B + C)(A + \overline{B} + C)(\overline{B} + C)}$,

并转换成与或非表达式、与或表达式、或与表达式、与非-与非表达式。

(4) 将下列函数化为最小项表达式。

① $Y_1 = A + B + CD$

② $Y_2 = A\overline{B}\overline{C}D + BCD + AC$

(5) 用卡诺图化简下列函数。

① $F = \overline{A}\overline{B} + AC + \overline{B}C$

② $F(A, B, C) = \sum m(0, 1, 2, 5, 6, 7)$

③ $F = AD + A\overline{C} + \overline{A}\overline{D} + \overline{A}\overline{B}C + \overline{D}(B + C)$

④ $F = ABC + ABD + CD + A\overline{B}C$

⑤ $F = \sum m(0, 1, 2, 5, 8, 9, 10, 12, 14)$

⑥ $F = \sum m(3, 4, 5, 7, 9, 13)$

⑦ $F(A, B, C) = \sum m(0, 1, 2, 4)$, 约束条件: $m_3 + m_5 + m_6 + m_7 = 0$

⑧ $F = \sum m(3, 5, 6, 9, 12, 13, 14, 15) + \sum m_x(0, 1, 7)$

⑨ $F(A, B, C, D) = C\overline{D}(A \oplus B) + \overline{A}B\overline{C} + \overline{A}\overline{C}D$, 约束条件: $AB + CD = 0$

(6) 已知: $Y = A\overline{B}\overline{C}D + \overline{A}\overline{B}CD + A\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}C\overline{D}$ 且 A, B, C, D 不会同时为 0; A, B 也不会同时为 1。试用卡诺图化简此逻辑函数。

(7) 画出用于判断 8421BCD 码表示的十进制数是否大于等于 5 的逻辑电路。

本章小结

1. 数字信号的特点是其变化在时间上和数值上都是离散的。

最常见的数字信号的形式是 0-1 信号序列。对于二值形式的数字信号，可以用两种不同的电路状态表示，便于电路实现。

2. 数字技术是关于数字信号的产生、整形、编码、解码、存储、计算和传输的科学技术。实现上述各种功能的电路是数字电路。

3. 数字电路中使用最多的是二进制数。由于目前计算机中多采用 8 位、16 位、32 位或 64 位二进制数并行处理，而 8 位、16 位、32 位和 64 位的二进制数可以分别用 2 位、4 位、8 位、16 位的十六进制数表示，所以在书写时为方便起见多用十六进制。

在数字电路中还经常用 BCD 码来表示十进制数。BCD 码有多种形式，要注意每一种 BCD 码的特点。

4. 逻辑代数是研究数字电路的工具，利用逻辑代数可以把逻辑问题描述为数学表达式，进而进行电路的分析和设计。

逻辑代数的三个规则中，代入规则扩大了基本公式的应用范围，反演规则为求已知逻辑函数的反函数提供了方便，在证明逻辑等式时使用对偶规则有时可以简化证明过程。

熟记以下逻辑代数常用公式，有利于变换或化简逻辑式。

$$A + AB = A$$

$$A + \overline{AB} = A + B$$

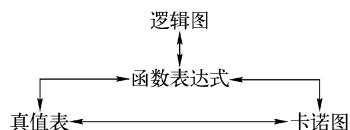
$$AB + \overline{AB} = A$$

$$AB + \overline{AC} + BC = AB + \overline{AC}$$

$$AB + \overline{AC} + BCD = AB + \overline{AC}$$

$$\overline{\overline{AB} + \overline{AB}} = \overline{\overline{AB}} + \overline{AB}$$

5. 逻辑函数表示方法一般有表达式、真值表、逻辑图和卡诺图等，它们之间可以相互转换。其中，表达式与逻辑图不具有唯一性，而真值表与卡诺图都是逻辑函数的最小项表示法，具有唯一性。



6. 本章介绍了逻辑函数的两种化简方法：公式法和卡诺图法。公式法要求熟记逻辑代数公式，并要具有一定的化简技巧和经验；卡诺图法比较直观、方便、易于掌握，易于得到最简结果，但不适于化简变量多于 5 个的逻辑函数。

目标检测

一、填空题

1.1 $88.125_{10} = (\quad)_{2} = (\quad)_{8} = (\quad)_{16}$

1.2 (1) $256.49_{10} = (\quad)_{8421}$ (2) $101111000.0010011_{8421} = (\quad)_{10}$

1.3 (1) $17.1_{10} = (\quad)_{\text{D}}$ (2) $3\text{FC.DE}_{\text{H}} = (\quad)_{\text{D}}$ (3) $10100_{\text{B}} = (\quad)_{\text{D}}$

二、单项选择题

1.4 图 1-20 中, 图_____所示是模拟信号。

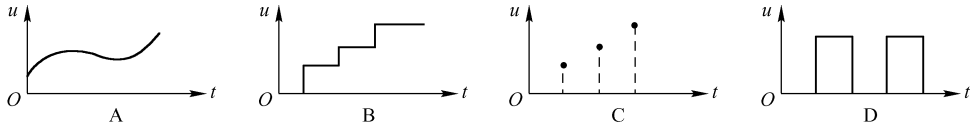


图 1-20

1.5 二进制数 101101.101 对应的十进制数是_____。

- A. 42.5 B. 45.625 C. 62.5 D. 73.625

1.6 与二进制数 11011101.101011 相对应的十六进制数是_____。

- A. 675.53 B. DE8.AC C. 1BD.AC D. DE8.2B

1.7 中规模集成电路包含_____个元器件。

- A. 10 ~ 100 B. 100 ~ 1000 C. 1000 ~ 10000 D. 10 000 以上

1.8 图 1-21 中, 能实现 $F = AB + \overline{A}\overline{B}$ 的逻辑电路是_____。

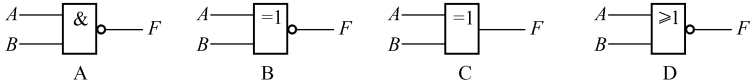


图 1-21

1.9 图 1-22 所示输出 Y 的结果是_____。

- A. 11111011 B. 00011000 C. 11001100 D. 00111100

1.10 完成图 1-23 所示波形关系的逻辑函数表达式为_____。

- A. $F = \overline{A}\overline{B}$ B. $F = \overline{A} + \overline{B}$ C. $F = A \oplus B$ D. $F = AB$

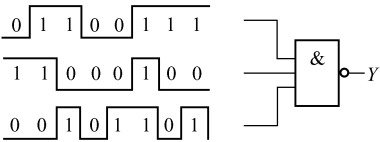


图 1-22

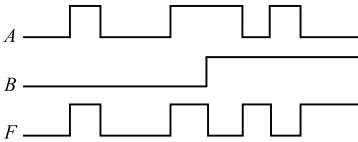


图 1-23

1.11 真值表如表 1-11 所示, 完成该真值表功能的波形图是图 1-24 中的_____。

表 1-11

A	B	Y
0	0	0
0	1	1
1	0	0
1	1	0

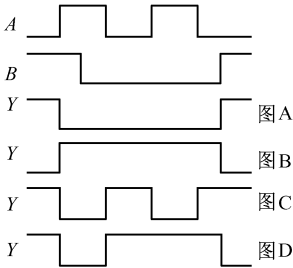


图 1-24

- 1.12 与 $AB + \overline{AC} + \overline{BC}$ 相等的表达式是_____。
- A. $AB + \overline{AC}$ B. $AB + \overline{BC}$ C. $AB + C$ D. $\overline{AC} + \overline{BC}$
- 1.13 $ABC + \overline{AD} + \overline{BD} + CD$ 中冗余项是_____。
- A. ABC B. \overline{AD} C. \overline{BD} D. CD
- 1.14 $AB + \overline{BC} + \overline{CD}$ 的对偶式是_____。
- A. $A + B \overline{B} + \overline{C} \overline{C} + \overline{D}$ B. $(\overline{A} + \overline{B})(\overline{B} + C)\overline{C} + \overline{D}$
 C. $(\overline{A} + \overline{B})(\overline{B} + \overline{C})(\overline{C} + \overline{D})$ D. $(A + B)(B + \overline{C})\overline{C} + \overline{D}$
- 1.15 $AB + B \overline{C} + \overline{CD}$ 的反函数是_____。
- A. $A + B \overline{B} + \overline{C} \overline{C} + \overline{D}$ B. $(\overline{A} + \overline{B})(\overline{B} + C)\overline{C} + \overline{D}$
 C. $(\overline{A} + \overline{B})(\overline{B} + \overline{C})\overline{C} + \overline{D}$ D. $(A + B)(B + \overline{C})\overline{C} + \overline{D}$
- 1.16 $F = B \overline{C} \overline{D} + \overline{A} \overline{B} D + AD + \overline{A} B \overline{C} + \overline{A} B C D$ 的最简与或式为_____。
- A. $B \overline{C} + \overline{A} D + AD$ B. $B \overline{C} + D$
 C. $B + D$ D. $B \overline{C} + \overline{C} D + CD$
- 1.17 $F = B \overline{C} \overline{D} + \overline{A} \overline{B} D + AD + \overline{A} B \overline{C} + \overline{A} B C D$ 的最简或非式为_____。
- A. $\overline{\overline{B} + \overline{D} + \overline{C} + \overline{D}}$ B. $\overline{\overline{D} + \overline{B} + \overline{C}}$
 C. $\overline{\overline{B} + \overline{D} + \overline{C} + \overline{D}}$ D. $\overline{\overline{B} + \overline{D} + \overline{C} + \overline{D}}$
- 1.18 如果 $F = (A, B, C, D) = AB + C$, A 为最高位, D 为最低位, 则其标准与或式为_____。
- A. $\sum m(2, 3, 4, 5, 6, 7, 12, 13, 14, 15)$ B. $\sum m(0, 1, 2, 3, 4, 7, 12, 13, 14, 15)$
 C. $\sum m(0, 1, 2, 3, 4, 5, 6, 7, 11, 12)$ D. $\sum m(2, 3, 6, 7, 10, 11, 12, 13, 14, 15)$

三、多项选择题

- 1.19 数字电路能够对数字信号进行_____。
- A. 运算 B. 存储 C. 整形 D. 编、解码
- 1.20 数字电路的优点是_____。
- A. 受噪声和环境条件的影响小 B. 可靠性高
 C. 便于大规模集成和生产 D. 容易实现低成本
- 1.21 数字技术是关于数字信号_____的科学技术。
- A. 产生 B. 放大 C. 存储 D. 传输
- 1.22 与二进制数 11010101.1101 相等的数有_____。
- A. 325.64_8 B. 213.8125_{10} C. $D5.D_{16}$ D. 11010101.1101_{8421}
- 1.23 以下_____是 $A \overline{B} C$ 的逻辑相邻项。
- A. ABC B. $\overline{A} B \overline{C}$ C. $A \overline{B} \overline{C}$ D. $\overline{A} \overline{B} C$
- 1.24 与 $F = B \overline{C} \overline{D} + \overline{A} \overline{B} D + AD + \overline{A} B \overline{C} + \overline{A} B C D$ 逻辑功能相等的函数式有_____。
- A. $\overline{\overline{B} + \overline{D} + \overline{C} + \overline{D}}$ B. $\overline{\overline{B} D + \overline{C} \overline{D}}$ C. $(B + D)(\overline{C} + \overline{D})$ D. $\overline{\overline{B} \overline{C} \overline{D}}$
- 1.25 化简 $F = \sum m(0, 2, 5, 7, 8)$, 约束条件 $AB + AC = 0$ 的最简结果是_____。
- A. $BD + \overline{B} \overline{D}$ B. $(\overline{B} + D)(\overline{A} + B + D)$ C. $(B + D)(\overline{B} + \overline{D})$ D. $\overline{(B + D)(\overline{B} + \overline{D})}$

第2章 逻辑门电路

知识目标

- (1) 了解 TTL 和 CMOS 门电路的基本组成，能对 TTL 与非门的工作原理进行简要分析。
- (2) 理解门电路的主要参数及其外部特性。
- (3) 熟悉常用的集成逻辑门电路的特性、功能。

技能目标

- (1) 熟记门电路的使用常识，能正确使用门电路。
- (2) 会查阅数字集成电路手册，根据逻辑功能及特性选用和代换门电路。

逻辑门电路简称门电路，是构成数字电路的基本单元。本章重点介绍集成 TTL 门电路和 CMOS 门电路的主要参数、外部特性，介绍典型集成门的功能、应用及其使用常识。

2.1 分立元件门电路

分立元件的门电路现已极少使用，但作为基础电路，了解它能帮助理解集成门电路的工作原理和特性。

2.1.1 二极管门电路

利用二极管的开关特性可以构成二极管与门、或门。

1. 二极管的开关特性

一个理想开关应满足以下条件：开关闭合时阻抗为零；开关断开时阻抗为无穷大，开关中没有电流流过。由于二极管具有导通和截止两种可以明显区分的状态，与理想开关的工作特征相近，因此经常作开关用。下面首先讨论二极管的开关等效电路。

在图 2-1 (a) 中，设二极管为硅管。当 u_i 为高电平 U_{IH} 且大于二极管门限电平 U_T (约

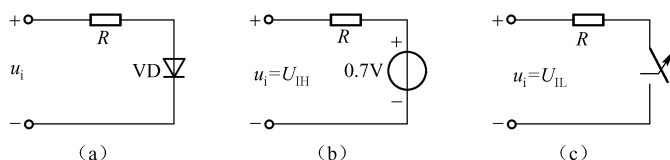


图 2-1 二极管开关等效电路
(条件: VD 正向电阻 $\ll R \ll VD$ 反向电阻)

0.5V) 时, 二极管导通, 等效为一个具有 0.7V 压降的闭合开关, 如图 2-1 (b) 所示; 当 u_i 为低电平 U_{IL} 且小于 U_T 时, 二极管截止, 等效为一个断开的开关, 如图 2-1 (c) 所示。

2. 二极管门电路

在具体分析门电路之前, 首先规定: 本书采用正逻辑表示方法, 即用逻辑 1 表示高电平, 逻辑 0 表示低电平。负逻辑表示方法与之相反。

(1) 二极管与门。二极管与门如图 2-2 (a) 所示。电路有两个输入端 A 、 B 和一个输出端 F 。二极管正极连在一起, 因此负极电位最低的二极管优先导通。所以只有当 u_{iA} 与 u_{iB} 全部为高电平 3V 时, u_{oF} 才为高电平 3.7V ($=3\text{V}+0.7\text{V}$); 而当 u_{iA} 与 u_{iB} 中有一个为低电平 0.3V 时, u_{oF} 为低电平 1V ($=0.3\text{V}+0.7\text{V}$), 如表 2-1 所示。如果用 “1” 表示高电平, “0” 表示低电平, 可将电平真值表转换成逻辑真值表同列于表 2-1 中。由逻辑真值表得逻辑表达式 $F=AB$, 可见, 电路实现了与运算。图 2-2 (b) 所示是与门的逻辑符号。

表 2-1 与门真值表

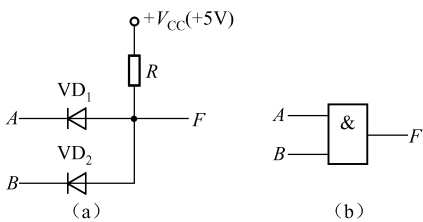


图 2-2 二极管与门

电平真值表 (V)			逻辑真值表		
输入		输出	输入		输出
u_{iA}	u_{iB}	u_{oF}	A	B	F
0.3	0.3	1	0	0	0
0.3	3	1	0	1	0
3	0.3	1	1	0	0
3	3	3.7	1	1	1

(2) 二极管或门。二极管或门电路如图 2-3 (a) 所示。由于二极管负极连在一起, 因此正极电位最高的二极管优先导通。所以, 只要 u_{iA} 或 u_{iB} 中有一个或一个以上为高电平时, u_{oF} 就是高电平; 当 u_{iA} 与 u_{iB} 均为低电平时, u_{oF} 为低电平, 如表 2-2 所示。表中还列出逻辑真值表, 由真值表得逻辑表达式 $F=A+B$, 电路实现了或运算。图 2-3 (b) 所示是或门逻辑符号。

表 2-2 或门真值表

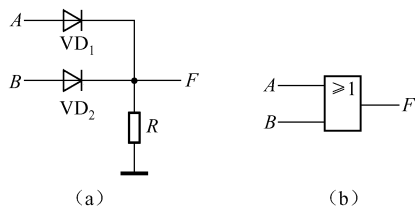


图 2-3 二极管或门

电平真值表 (V)			逻辑真值表		
输入		输出	输入		输出
u_{iA}	u_{iB}	u_{oF}	A	B	F
1	1	0.3	0	0	0
1	3.7	3	0	1	1
3.7	1	3	1	0	1
3.7	3.7	3	1	1	1

工程应用

与门和或门在数字电路中经常作控制门。 A 控与门如图 2-4 所示, 当控制端 A 为高电平 1 时, B 端输入的矩形波能够传送到输出端, 这时称与门打开; 而当 A 端为低电平 0 时, 输出恒为 0, B 端信号被禁止, 不能传送, 这时称门被关闭或封锁。

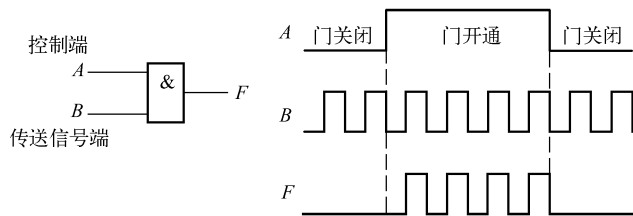


图 2-4 A 控与门

A 控或门如图 2-5 所示。当控制端 A 为 0 时, B 端输入信号能够传送, 这时或门打开; 而当 A 端为 1 时, 输出恒为 1, B 端信号被禁止, 不能传送, 这时门被关闭。

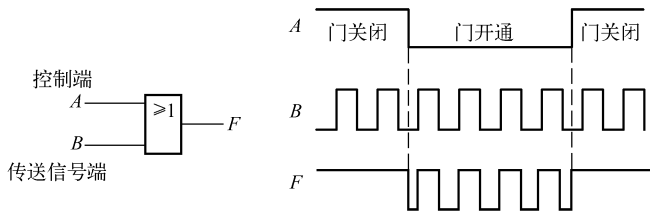


图 2-5 A 控或门

2.1.2 三极管门电路

利用三极管的开关特性可以构成非门电路。

1. 三极管的开关特性

三极管发射结和集电结分别加不同偏置电压时, 可使三极管工作在放大区、截止区或饱和区。利用三极管 VT 的截止与饱和特性, 能够构成三极管开关电路, 如图 2-6 (a) 所示。图中 R_B 为基极限流电阻。基极 B 是控制电极, 集电极 C 和发射极 E 分别是开关的两个接点。改变基极输入电压 u_i , 可以控制开关两个接点的通断。C、E 两点间电压作为开关电路的输出电压 u_o 。

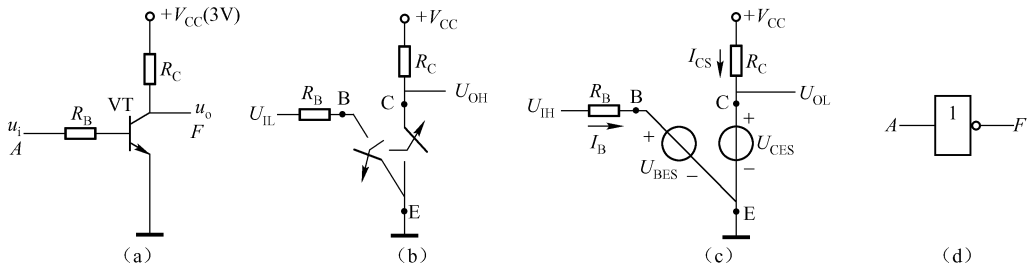


图 2-6 三极管开关电路

(1) 三极管静态开关特性。三极管静态开关特性是指三极管输入与输出电平取值的对应关系, 又分为截止和饱和特性。

① 截止特性。已知三极管的截止条件是:

$$u_{BE} \leq U_T$$

式中, U_T 为三极管死区电压, 又称阈值电压或门限电平。

设三极管为硅管, 则 $U_T \approx 0.5V$ 。当输入电压 u_i 为低电平 $U_{iL} < U_T$ 时, 三极管截止, 此时 $I_B \approx 0$, $I_C \approx 0$, $I_E \approx 0$, 三极管三个电极间相当于断开的开关, 等效电路如图 2-6 (b) 所示。三极管输出电压为高电平, $u_o = U_{OH} = V_{CC}$ 。

② 饱和特性。当 u_i 为高电平 $U_{iH} > U_T$ 且能够使三极管饱和时, 三极管各极电压为:

$$U_{BE} = U_{BES}; U_{CE} = U_{CES}$$

式中, U_{BES} 是 B-E 间饱和压降;

U_{CES} 是 C-E 间饱和压降。

一般硅管 $U_{BES} = 0.7 \sim 0.8V$, $U_{CES} = 0.1 \sim 0.3V$ 。三极管饱和时的等效电路如图 2-6 (c) 所示。

由图 2-6 (c) 可以求得三极管饱和集电极电流 I_{CS} 为:

$$I_{CS} = \frac{V_{CC} - U_{CES}}{R_C} \approx \frac{V_{CC}}{R_C}$$

可见, I_{CS} 是集电极电流所能达到的最大值。设三极管临界饱和基极电流为 I_{BS} 。在临界饱和时, 三极管能够满足:

$$I_{BS} = \frac{I_{CS}}{\beta}$$

而在饱和区, $i_B > I_{BS} = I_{CS}/\beta$, 亦即三极管进入饱和区后, 增大 i_B 时, i_C 基本保持 I_{CS} 不变。 i_B 大于 I_{BS} 越多, 三极管饱和越深。

由图 2-6 (c) 容易看出, 当输入为高电平 U_{iH} 时, 三极管输出低电平, $u_o = U_{OL} = U_{CES} \approx 0.3V$ 。

列出三极管开关电路的真值表如表 2-3 所示, 可见其输入电平与输出电平取值方向相反。

(2) 三极管动态开关特性。动态开关特性是指三极管由饱和变为截止或由截止变为饱和时的转换特性。在图 2-6 (a) 所示电路输入一个矩形波 u_i 时, 实测到的集电极电流 i_C 与输出电压 u_{CE} 的波形如图 2-7 所示, i_C 与 u_{CE} 产生了上升沿与下降沿, 并且相对 u_i 还产生了一定

表 2-3 三极管开关电路真值表

电平真值表 (V)		逻辑真值表	
输入	输出	输入	输出
u_i	u_o	A	F
0.3	3	0	1
3	0.3	1	0

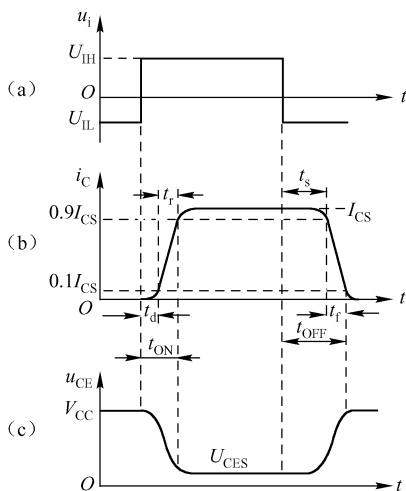


图 2-7 三极管的开关时间

的延迟时间，四个时间参数分别是：延迟时间 t_d ；上升时间 t_r ；存储时间 t_s ；下降时间 t_f 。并且将 $t_d + t_r = t_{ON}$ 称为开启时间， t_{ON} 反映了三极管从截止到饱和时需要的时间； $t_s + t_f = t_{OFF}$ 称为关闭时间， t_{OFF} 反映了三极管从饱和到截止时需要的时间。

时间参数是衡量三极管开关速度的重要参数。延迟时间越小，三极管开关速度越快。

阅读 三极管开关时间形成的原因

当输入电压由 U_{IL} 跳变为 U_{IH} 时，三极管的发射结由反偏变为正偏，发射区开始向基区发射载流子，载流子渡过基区，逐渐到达集电极开始形成集电极电流 i_c ，这就形成了延迟时间 t_d 。

t_d 之后，发射区不断向基区注入载流子，载流子在基区积累并向集电区扩散，形成集电极电流 i_c 。载流子浓度在基区不断增加， i_c 也逐渐增大，直到 i_c 达到饱和值 I_{CS} 。上升时间 t_r 就是载流子在基区积累所需要的时间。

当三极管工作在饱和区时， $i_B > I_{BS}$ ，集电极不能收集从发射区注入基区的全部载流子，基区就有过剩存储电荷。当输入电压由 U_{IH} 跳变为 U_{IL} 时，过剩存储电荷不能立即消散。只要过剩存储电荷没有消失， i_c 就维持 I_{CS} 不变。随着过剩存储电荷的减少，三极管饱和程度变浅。当全部过剩存储电荷消失时，三极管开始脱离饱和。过剩存储电荷消失所需要的时间就是存储时间 t_s 。显然，三极管饱和越浅，过剩存储电荷越少， t_s 越小。发射结所加反向电压越大，反向基极电流越大，基区过剩存储电荷消失越快， t_s 越小。

随着基区存储电荷继续消散，基区中载流子浓度下降， i_c 下降，形成了下降时间 t_f 。

2. 三极管非门

图 2-6 (a) 所示三极管开关电路就是一个非门电路。非门也称反相器，其输入信号与输出信号变化方向相反。由表 2-3 可得非门逻辑表达式 $F = \bar{A}$ ，逻辑符号如图 2-6 (d) 所示。

思考与练习

(1) 图 2-8 所示是用与非门作控制门使用。试画出在图示控制信号 A 作用下，输出信号 F 的波形。

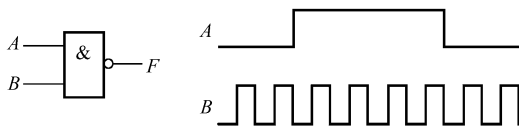


图 2-8

(2) 试问或非门能否做控制门用？上题中，如果门电路是或非门，请画出输出信号 F 的波形。

(3) 何为正逻辑？何为负逻辑？试用负逻辑规定列出图 2-2、图 2-3 所示门电路的真值表，判断门的功能，并与由正逻辑所得的结论比较，总结正、负逻辑函数表达式之间的关系。

2.2 TTL 门电路

根据晶体管的导电类型，集成电路分为双极型和单极型两类。TTL 门电路是双极型集成

电路，它的输入端和输出端都采用双极型晶体管结构，因此取名晶体管-晶体管逻辑 (Transistor-Transistor Logic) 电路，简称 TTL 门电路。TTL 门电路有与非门、与门、OC 门、三态门等多种类型。下面重点分析与非门的原理及特性。

2.2.1 与非门

基本电路如图 2-9 所示，电路组成分为三级。输入级由多发射极晶体管 VT_1 和电阻 R_1 组成，等效电路如图 2-10 所示，由图可见，输入级是一个与门电路。 VT_1 集电极起电平移动作用。 VT_2 、 VT_6 等组成中间级。由 VT_2 集电极和发射极输出一对极性相反的信号驱动输出级。输出级由 $VT_3 \sim VT_5$ 、 R_3 和 R_4 组成，此输出结构称为有源推拉输出或图腾柱输出。

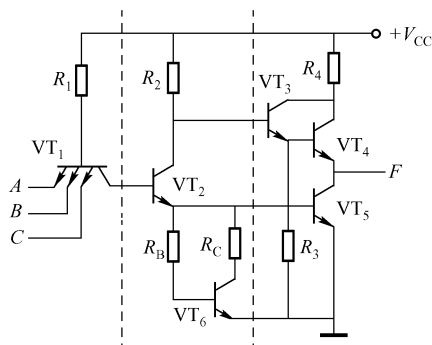


图 2-9 TTL 与非门电路

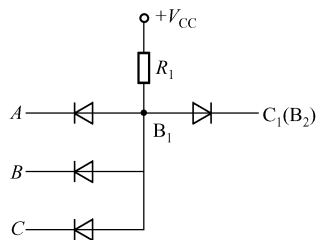


图 2-10 输入级等效电路

1. 工作原理

在图 2-9 所示电路中，当输入信号有一个为低电平 $0.3V$ 时， VT_1 基极电位 u_{B1} 被限定在 $0.3V + 0.7V = 1V$ 。若使 VT_2 、 VT_5 导通， u_{B1} 必须达 $2.1V$ ，因此 VT_2 、 VT_5 截止。 V_{CC} 通过 R_2 使 VT_3 、 VT_4 导通， $u_{C2} = V_{CC} - I_{B3}R_2 \approx V_{CC}$ ， $u_o = u_{C2} - U_{BE3} - U_{BE4} \approx V_{CC} - 0.7V - 0.7V = 3.6V$ 。输出为高电平 U_{OH} 。

当输入信号全为高电平 $3.6V$ 时， u_{B1} 升高，使 VT_2 、 VT_5 饱和，从而将 u_{B1} 限定在 $2.1V$ ， VT_1 倒置（集电极与发射极颠倒使用），电流放大系数 β_1 只有 0.05 左右，每个发射极的电流都很小。又 $u_{C2} = U_{CES2} + U_{BES5} = 0.3V + 0.7V = 1V$ ，所以 VT_3 导通、 VT_4 截止， $u_o = U_{CES3} = 0.3V$ ，输出为低电平 U_{OL} 。

综上所述，当输入 A 、 B 、 C 中有一个是低电平时，输出 F 为高电平；只有全部输入为高电平时，输出 F 才为低电平。输入输出逻辑关系为：

$$F = \overline{ABC}$$

下面讨论有源推拉输出结构与 VT_6 管的作用。

输出级输出高电平时， VT_3 和 VT_4 组成的射随器工作， VT_5 为射随器有源负载， VT_5 截止，使输出电阻很低，小于 100Ω 。而输出为低电平时， VT_5 饱和， VT_4 作为 VT_5 有源负载， VT_4 截止，使输出电阻仅为几十欧姆。总之，由于采用有源推拉输出，减小了门的输出电阻，增强了带负载能力。

应当指出，此结构的输出端不可直接与地线或电源线相连。输出端与地短路时，会造成

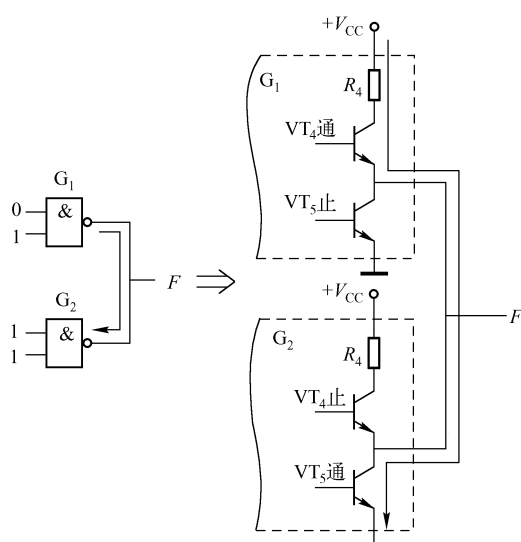


图 2-11 有源推挽式输出不能并联

VT_3 、 VT_4 电流过大而损坏；输出端与电源线短接时， VT_5 会因电流过大而烧毁。此外，输出端也不能直接相连，否则在图 2-11 所示输入情况下，会有很大的电流流过两个门中导通的输出管，造成管子损坏。

VT_6 和 R_B 、 R_C 组成有源泄放电路，作用是提高工作速度。当输入电平由高变低时， VT_2 截止， VT_5 、 VT_6 随之截止。因 VT_6 基极和集电极分别通过 R_B 和 R_C 接到 VT_5 基极，在 VT_5 尚未截止时， VT_6 发射结仍正偏，使 VT_6 导通， VT_5 基区存储的电荷通过 VT_6 泄放。 VT_6 集电极电流很大，从 VT_5 基区抽走电荷的能力很强，从而加快了 VT_5 截止速度，提高了电路的工作速度。

2. 电气特性

门电路的电气特性主要包括传输特性、输入特性和输出特性等。

(1) 传输特性。传输特性是指门的输出电压 u_o 随输入电压 u_i 变化的曲线。以图 2-9 所示门为例，图 2-12 是测量其传输特性的电路及实测的曲线。曲线分三段：

① AB 段。 $u_i < 0.8V$ ，则 $u_{B1} = u_i + U_{BE1} = (u_i + 0.7V) < 1.5V$ ，所以 VT_2 、 VT_5 截止，输出保持为高电平 $U_{OH} = 3.6V$ 。因此，AB 段 u_o 不随 u_i 变化，这时称门处于关闭状态。

② BC 段。 $0.8V < u_i < 1.4V$ ， $u_{B1} < 2.1V$ ， VT_2 、 VT_5 转入导通，但不具备饱和条件而处于放大区，当 u_i 增大时， u_{C2} 减小，通过 VT_3 、 VT_4 跟随作用， u_o 减小，所以 BC 段为下降段。

③ CD 段。 $u_i > 1.4V$ ，由于 $u_{B1} = 2.1V$ ， VT_2 、 VT_5 饱和。 VT_5 饱和， $u_o = U_{CES5}$ 不再变化，保持为低电平 U_{OL} ，这时称门处于开通状态。

利用传输特性，能够求出与非门的几个重要参数，如图 2-12 (b) 所示。

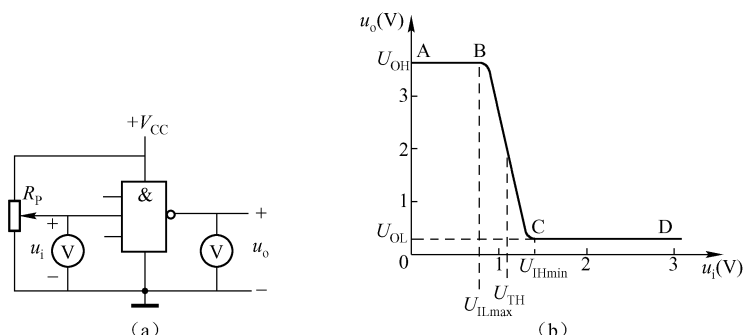


图 2-12 TTL 与非门传输特性

① 输出高电平 U_{OH} ，低电平 U_{OL} 分别为传输特性曲线上门处于关闭、开通时的输出电压。

② 输入低电平 U_{IL} ，高电平 U_{IH} 分别为门关闭和门开通时的输入电平值。 U_{IL} 与 U_{IH} 都允许有一定的取值范围。但为了保证输出为高电平，就要限制输入低电平的最大值，最大输入低电平记作 U_{ILmax} 。而为了保证输出为低电平，要限制输入高电平的最小值，最小输入高电平记作 U_{IHmin} 。图 2-12 中， $U_{ILmax} = 0.8V$ ， $U_{IHmin} = 1.4V$ 。

③ 门限电平又称为阈值电压，记做 U_{TH} 。一般取 $U_{TH} = \frac{U_{ILmax} + U_{IHmin}}{2}$ 。可得 $U_{TH} = 1.1V$ 。

通常认为，当 $u_i < U_{TH}$ 时门关闭， $u_i > U_{TH}$ 时门开通。

④ 低电平噪声容限 U_{NL} 与高电平噪声容限 U_{NH} 。 U_{NL} 是指输入为低电平时，为保证输出为高电平，输入端所允许的最大正向干扰幅度。 U_{NH} 是指输入高电平时，为保证输出为低电平，所允许的最大负向干扰幅度。噪声容限越大，门电路抗干扰能力越强。

门电路在组成系统电路时，往往前级门（称为驱动门）的输出就是后级门（称为负载门）的输入，如图 2-13 所示，由此可求得噪声容限为：

$$U_{NL} = U_{ILmax} - U_{IL} = U_{ILmax} - U_{OLmax}, U_{NH} = U_{IH} - U_{IHmin} = U_{OHmin} - U_{IHmin}$$

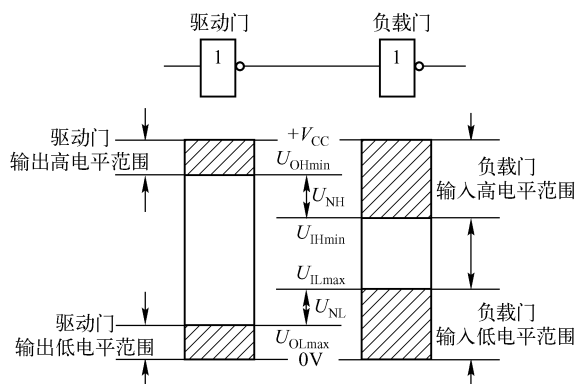


图 2-13 噪声容限

(2) 输入特性。输入特性分为输入伏安特性和输入负载特性。

① 输入伏安特性是指 u_i 与 i_i 之间的关系曲线。测量电路及实测曲线如图 2-14 所示。

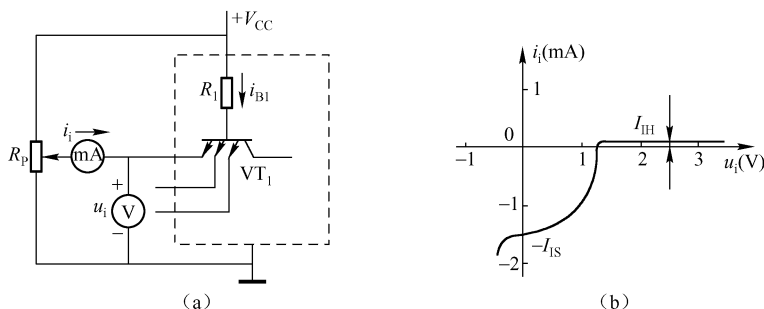


图 2-14 输入伏安特性

当 $u_i < 0.8V$ 时， VT_2 、 VT_5 未导通，有

$$i_i = -i_{B1} = -\frac{V_{CC} - u_{BE1} - u_i}{R_1} = \frac{5V - 0.7V - u_i}{R_1}$$

式中，负号表示电流实际是流出输入端。

当 $u_i = 0V$ 时，设 $R_1 = 2.8k\Omega$ ，则 $i_i = -1.4mA$ 。此电流称为输入短路电流，记做 $-I_{IS}$ 。

当 $0.8V < u_i < 1.4V$ 时， u_i 增加， VT_1 向倒置状态转变，输入电流绝对值减小，方向改变。到 $u_i = 1.4V$ 时， u_{B1} 被限定在 $2.1V$ ， VT_1 倒置，则

$$i_i = I_{IH} = \beta_1 i_{B1}$$

式中， I_{IH} 称为输入漏电流。由于 $\beta_1 \approx 0.05$ ，数值极小，所以 I_{IH} 很小，约几十微安。

可见，图示曲线中反映了两个重要参数： I_{IS} 是输入低电平 $U_{IL} = 0V$ 时流出门输入端的电流，其值较大（mA 级）； I_{IH} 是输入高电平时流入门输入端的电流，其值很小（ μA 级）。

② 输入负载特性是指 u_i 随输入端外接电阻 R_i 变化的曲线，如图 2-15 所示。由图可见， R_i 增加， u_i 增大，当 u_i 增大到 U_{TH} 时，门开通，此时 R_i 值称为开门电阻 R_{ON} 。通常认为， $R_i < R_{ON}$ 时门关闭，输出高电平； $R_i > R_{ON}$ 时门开通，输出低电平。所以，TTL 与非门不用的输入端悬空，相当于接逻辑高电平。

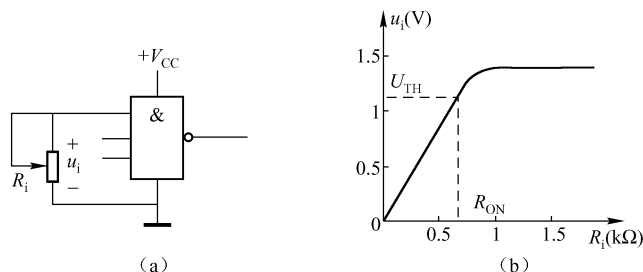


图 2-15 输入负载特性

(3) 输出特性。输出特性是指门电路输出电压与电流之间的关系曲线。在分析门输出特性之前，有必要先讨论门的负载能力。实际应用中，驱动门输出端一般总接有几个负载门，举例如图 2-16 所示。驱动门的输出电流称为驱动电流。流经驱动门又流经负载门的电流称为负载电流。根据负载电流的实际流向，通常将负载分为两种：

① 灌流负载。设图 2-16 中驱动门开通， VT_5 饱和， $u_o = U_{OL}$ ，如图 2-17 所示。因此，负

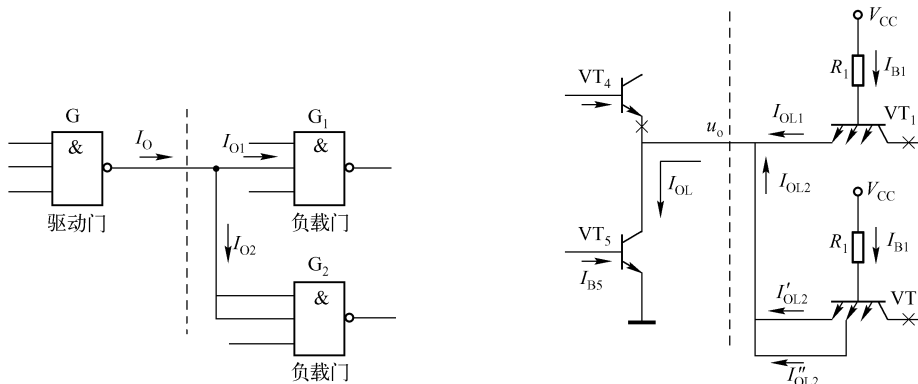


图 2-16 与非门的负载

图 2-17 灌流负载

载门输入低电平，各负载门实际电流为 I_{OL1} ， I_{OL2} 。由图知：

$$I_{OL1} = i_{B1} \approx I_{IS}, I_{OL2} = I'_{OL2} + I''_{OL2} = i_{B1} \approx I_{IS}$$

所以

$$I_{OL1} = I_{OL2} \approx I_{IS}$$

总负载电流为：

$$I_{OL} = I_{OL1} + I_{OL2} \approx 2I_{IS}$$

由于此负载电流是从 V_{CC} 经负载门灌入驱动门输出端的，因此称为灌流负载。

当灌电流 I_{OL} 增加时，由 2.1.2 三极管饱和特性知，在 I_{B5} 不变的情况下就相当于 I_{CS5} 增大， VT_5 饱和程度变浅，输出低电平 $u_{OL} = U_{CE55}$ 增大。因此，为保证输出低电平值符合 U_{OL} 的上限值要求， I_{OL} 的最大值 I_{OLmax} 就被确定，也就是允许带相同负载门的最大数目 N_{Lmax} 确定：

$$N_{Lmax} = I_{OLmax} / I_{IS} \circ$$

② 拉流负载。在图 2-16 中驱动门关闭， VT_4 导通， $u_o = U_{OH}$ ，如图 2-18 所示。由于负载门输入高电平，各负载门实际电流为 I_{OH1} ， I_{OH2} 。由门输入伏安特性已知：

$$I_{OH1} = \beta_1 i_{B1} = I_{IH}; I_{OH2} = I'_{OH2} + I''_{OH2} = \beta_1 i_{B1} + \beta_1 i_{B1} = I_{IH} + I_{IH} = 2I_{IH}$$

所以总负载电流为：

$$I_{OH} = 3I_{IH}$$

由于此负载电流从驱动门输出端流出，所以称为拉流负载。

图中， $U_{OH} = V_{CC} - I_{B3}R_2 - U_{BE3} - U_{BE4}$ 。当拉电流 I_{OH} 增加时， I_{B3} 与 U_{BE3} 、 U_{BE4} 都在增加，因此， U_{OH} 减小。为保证 U_{OH} 的下限值符合要求， I_{OH} 的最大值 I_{OHmax} 被确定，即允许带相同负载门的输入端数最大数值 N_{Hmax} 被确定： $N_{Hmax} = I_{OHmax} / I_{IH} \circ$

在计算负载能力时要按最坏情况考虑，取 N_{Lmax} 和 N_{Hmax} 中小的一个作为 N_0 。 N_0 是一个驱动门能驱动同类型门的个数，称为扇出系数。一般 TTL 门 $N_0 \geq 8$ 。

门电路输出电平不同时，输出特性曲线也不相同。

① 输出高电平时带拉电流负载。测量时的等效电路如图 2-19 (a) 所示，拉电流增加，输出电平减小，变化情况如图 2-19 (b) 所示。

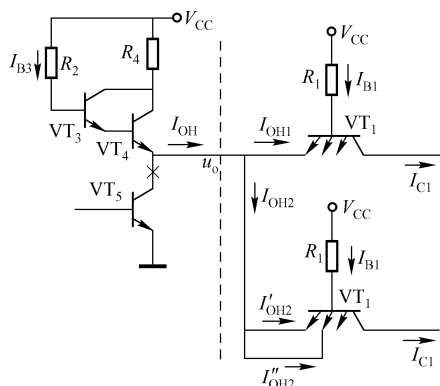


图 2-18 拉流负载

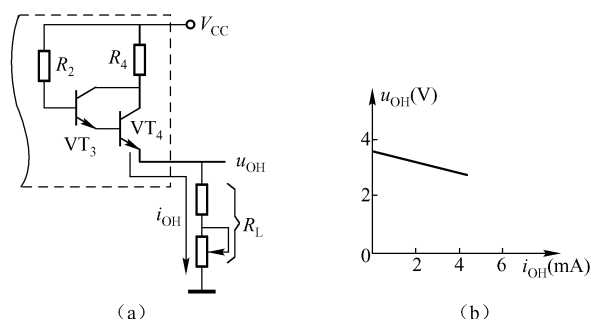


图 2-19 高电平输出特性

② 输出低电平时带灌电流负载。测量时的等效电路如图 2-20 (a) 所示。若灌入电流增加，输出低电平值增大，变化曲线如图 2-20 (b) 所示。

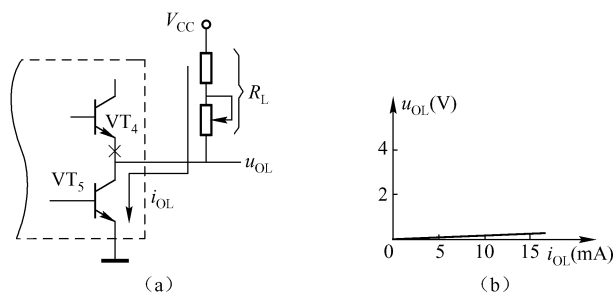


图 2-20 低电平输出特性

工程应用

器件手册中都给出门的电气特性，它是工程中正确选择门、使用门的重要依据。例如，在图 2-16 电路中，驱动门与负载门选择同一型号的门电路，如果要求 $U_{OL\max} = 0.2V$ ， $U_{OH\min} = 3.2V$ ， G_1 的扇出系数 N_0 是多少？

由于 $U_{OL\max} = 0.2V$ ， $U_{OH\min} = 3.2V$ ，因此，应保证 $U_{OL} \leq 0.2V$ ， $U_{OH} \geq 3.2V$ 。

首先确定保证 $U_{OL} \leq 0.2V$ 时能驱动的门电路数目 N_L 。由图 2-20 低电平输出特性上查到， $u_{OL} = 0.2V$ 时的负载电流 i_{OL} 约 16mA。由图 2-14 输入特性上又查到，当 $u_i = 0.2V$ 时每个门的输入电流 i_i 约 -1.3mA，即 $i_{OLi} = 1.3mA$ ，于是得：

$$N_L i_{OLi} \leq i_{OL}$$

即

$$N_L \leq \frac{i_{OL}}{i_{OLi}} = \frac{16}{1.3} \approx 12$$

再来计算保证 $U_{OH} \geq 3.2V$ 时能驱动的门电路数目 N_H 。由图 2-19 高电平输出特性上查到， $u_{OH} = 3.2V$ 时的负载电流 i_{OH} 约 3mA。这时要注意，由于受到功耗的限制，有些门电路规定了输出高电平时的最大负载电流不能超过某一数值。假设本例所选门电路在手册中规定输出高电平时最大负载电流不能超过 0.4mA，则应在两电流中选小的一个来计算，因此取 $i_{OH} \leq 0.4mA$ 。由图 2-14 输入特性可知，当 $u_i = 0.2V$ 时每个端的输入电流 i_i 约 0.05mA，即 $i_{OH1} = 0.05mA$ ，于是有：

$$N_H i_{OH1} \leq i_{OH}$$

即

$$N_H \leq \frac{i_{OH}}{i_{OH1}} = \frac{0.4}{0.05} = 8$$

比较 N_L 与 N_H ，确定根据 $N_H = 8$ 来定 N_0 。由于 N_H 是输入端数，因此，负载门输入端的连接方式对 N_0 有影响。设图 2-16 电路中所有负载门都采用两端并联连接驱动门，如图中最下方负载门，则 N_0 是 4；如果所有负载门都采用单端连接驱动门，如图中最上方负载门，则 N_0 是 8。

(4) 传输延迟特性。由于三极管开关延迟特性等因素的影响，当门的输入电平发生跳变时，经过一段时间延迟，门的输出电平才能变化，如图 2-21 所示，这一动态延迟称为传输延迟。其中，输出由低电平变高电平的延迟时间为 t_{pLH} ，由高电平变低电平的延迟时间为

t_{pHL} 。而 t_{pLH} 与 t_{pHL} 的平均值定义为平均延迟时间 t_{pd} ，即 $t_{\text{pd}} = \frac{t_{\text{pLH}} + t_{\text{pHL}}}{2}$ 。

传输延迟时间是反映门电路工作速度的重要参数，值越小，工作速度越快。通常根据传输延迟时间，将门划分为低速门、中速门、高速门几种。

(5) 功耗。功耗是指器件工作时所消耗的功率。器件手册中通常给出空载时，门电路输出高电平与低电平时的电源电流值。由给定的电源电流值能计算门的静态功耗，静态功耗就等于电源电流 I_{CC} 与电源电压 V_{CC} 的乘积。图 2-9 电路的静态功耗为 32mW，某些 TTL 门的功耗可为几毫瓦。

特别指出，与非门在状态转变时有一阶段 V_4 和 V_5 同时导通，这时会有一个很大的电流流过两管，使电源瞬时电流增加，特别是输出电平由低向高转变时，通过电源的尖峰电流可达十几毫安，如图 2-22 所示。显然，这会导致门电路在翻转过程中所产生的动态功耗随着工作频率的升高而加大。因此，在工作频率较高时不能忽视尖峰电流对门电路功耗的影响。

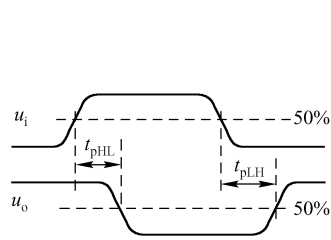


图 2-21 传输延迟

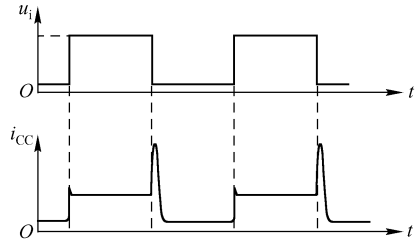


图 2-22 电源动态尖峰电流

阅读 器件手册

器件手册是提供器件特性数据的书籍，是正确使用器件的依据。器件手册种类很多，常用的有《常用晶体管手册》、《中国集成电路大全》、《标准集成电路数据手册》等。在一些电子类技术图书中，有许多以附录形式介绍器件参数的资料，也能起到与手册相同的作用，但其内容一般仅限于介绍书中的器件。对于一些著名公司生产的器件，特别是新器件，可以到这些公司的网站上查阅或下载器件的特性数据，也可以利用一些搜索引擎，如在“www.21icsearch.com”页面上输入器件的型号后，通过单击“21IC 搜索”来查找器件的资料。

器件手册的基本内容一般包括以下几个部分：

① 器件型号索引。以器件型号序号为序列出器件型号及名称，并以此为序在正文中依次介绍器件数据。

② 器件功能索引。将具有相同功能的器件分类列在一起，便于读者按器件功能迅速而方便地找到相应器件及数据。

③ 器件型号说明。介绍手册中收录器件的型号命名方法。一般通过器件型号能反映出生产器件的厂家，器件的类型和功能，产品序号、封装形式等。

目前，国际上尚无集成电路型号命名的统一标准，国外制造商都有自己的一套命名方法。我国现执行的是国家标准 GB3430 - 89 《半导体集成电路型号命名方法》。该标准规定了半导体集成电路的品种、系列、产品序号和等级、工作温度和封装形式的表示方法，由 5

部分组成，各组成部分的符号及意义如表 2-4 所示。命名示例如图 2-23 所示。

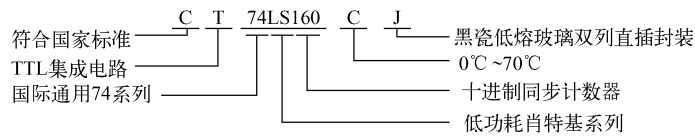


图 2-23 半导体集成电路型号命名示例

表 2-4 半导体集成电路型号命名法

第 0 部分		第 1 部分		第 2 部分	第 3 部分		第 4 部分	
用字母表示器件符合国家标准		用字母表示器件的类型		用阿拉伯数字和字符表示器件的系列和品种代号	用字母表示器件的工作温度范围		用字母表示器件的封装	
符号	意义	符号	意义		符号	意义	符号	意义
C	符合中国国家标准	T	TTL 电路		C	0℃ ~ 70℃	F	多层陶瓷扁平
		H	HTL 电路		G	-25℃ ~ 70℃	B	塑料扁平
		E	ECL 电路		L	-25℃ ~ 70℃	H	黑瓷扁平
		C	CMOS 电路		E	-40℃ ~ 85℃	D	多层陶瓷双列直插
		M	存储器		R	-55℃ ~ 85℃	J	黑瓷双列直插
		μ	微型机电路		M	-55℃ ~ 125℃	P	塑料双列直插
		F	线性放大器				S	塑料单列直插
		W	稳压器				K	金属菱形
		B	非线性电路				T	金属圆形
		J	接口电路				C	陶瓷芯片载体
		AD	模数转换器				E	塑料芯片载体
		DA	数模转换器				G	网格阵列
		D	音响、电视电路					
		⋮	⋮					

有些手册只介绍进口器件，如《线性集成电路应用指南》（电子工业出版社）只介绍美国国家半导体公司生产的器件，型号说明在前言中。所以应养成阅读前言的习惯。

④ 器件参数、参数意义、参数测试条件。有些手册还给出测试电路。

如果手册所收入的集成电路类型不同，这部分内容将在介绍各器件的具体数据时一并给出。

⑤ 器件数据。这部分是手册正文，详细列出器件的各种数据，包括：参数数据，封装，外形尺寸和引出端排列顺序。有些还给出器件的内部电路，外部电路接线图，典型应用电路，实用参考电路，印制板图等。

⑥ 有些手册给出器件质量评定方法。

⑦ 有些手册有国内外器件型号对照表，已废型的早期国产集成电路有关数据等，便于读者进行器件的代换。

⑧ 附录。要注意留心附录介绍的内容，有时会得到意想不到的帮助。

2.2.2 其他功能的门电路

在 TTL 电路系列产品中，除了常用的与非门外，还有与门，或门，非门，或非门，与或非门，异或门，集电极开路门，三态门，带扩展端的门电路等。下面介绍其中几种。

1. 与或非门

与或非门电路如图 2-24 所示，它比图 2-9 电路多了 VT'_1 、 VT'_2 和 R'_1 ，这部分电路的作用与 VT_1 、 VT_2 和 R_1 的作用完全相同。因 VT_2 与 VT'_2 输出端并联，其中任何一个管导通，都使 VT_5 导通，输出低电平；只有 VT_2 和 VT'_2 同时截止， VT_5 才截止，输出高电平。可见 VT_2 、 VT'_2 输出端并联具有或逻辑功能，整个电路的逻辑功能是与或非，即

$$F = \overline{A_1 A_2 + B_1 B_2}$$

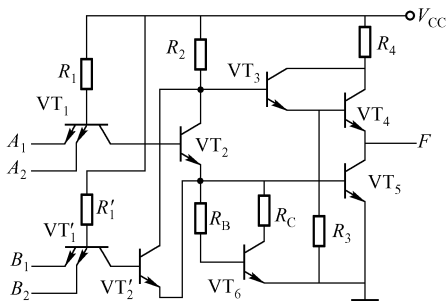


图 2-24 与或非门

2. 带扩展端的门

门的输入端数称为扇入系数。TTL 门的扇入系数一般为 2, 3, 4。利用扩展器配合带扩展端的门电路可以增加扇入系数。扩展器有与扩展器和与或非扩展器。

与扩展器实际就是一个多发射极晶体管，图 2-25 (a) 所示虚线框内电路即为与扩展器，图 2-25 (b) 所示是其逻辑符号，它与带与扩展端的门电路（图 2-25 (c) 所示是带与扩展端的与非门的逻辑符号）相配合，将扇入系数由 3 增加到 6。对图 2-25 (a) 有

$$F = \overline{ABC \cdot A'B'C'}$$

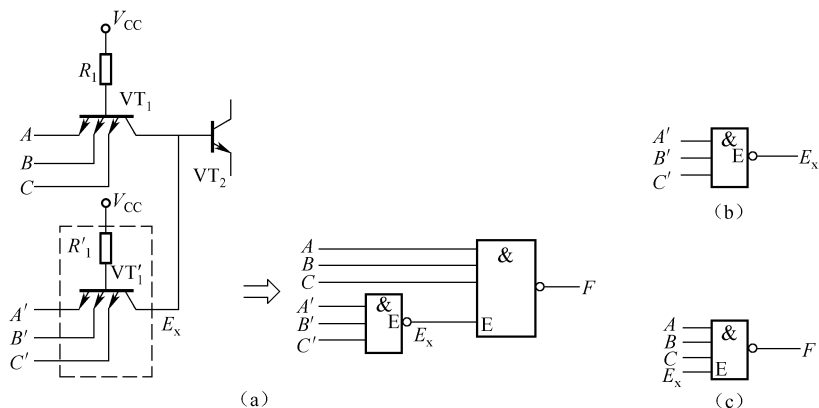


图 2-25 扩展与非门的扇入系数

将如图 2-26 (a) 所示与或扩展器和如图 2-26 (b) 所示带与或扩展端的与或非门配合使用，如图 2-26 (c) 所示，使输出 F 为：

$$F = \overline{AB + CD + A'B' + C'D'}$$

3. 集电极开路门

在数字系统中广泛使用线逻辑。所谓线逻辑就是将门电路输出或输入端直接相连而实现的逻辑。由于这种逻辑功能是在连接点处实现的，所以又称点逻辑。

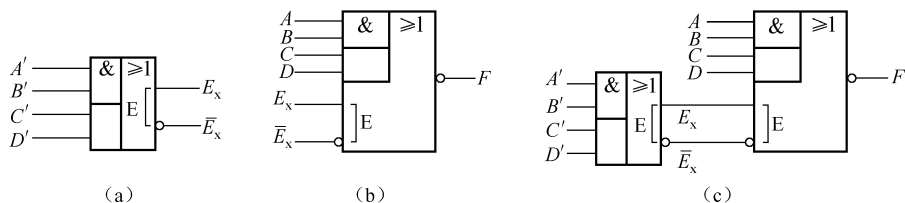
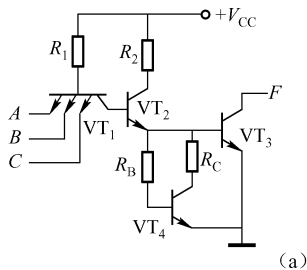


图 2-26 扩展与或非门的扇入系数

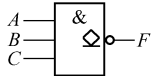
集电极开路门 (Open Collector, 简称 OC 门) 可以实现线与逻辑。图 2-27 (a) 所示是 OC 与非门的电路图及逻辑符号。由于 VT_3 集电极开路, 使用时必须在输出端与电源之间串接电阻 R_L , 如图 2-27 (b) 所示, R_L 称为上拉电阻, 其阻值选取方法参考本节思考与练习第 4 题。 V'_{CC} 根据实际情况选择, 在 R_L 支路所需电流较小时, 可与 OC 门使用同一电源 V_{CC} 。

图 2-28 是将几个 OC 门输出端直接相连实现线与: 当任一 OC 门输出低电平时, 输出 F 为低电平, 只有所有 OC 门输出都是高电平时, F 才能为高电平, 即

$$F = F_1 \cdot F_2 \cdot F_3 = \overline{AB} \cdot \overline{CD} \cdot \overline{EF}$$



(a)



(b)

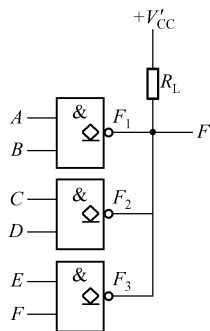
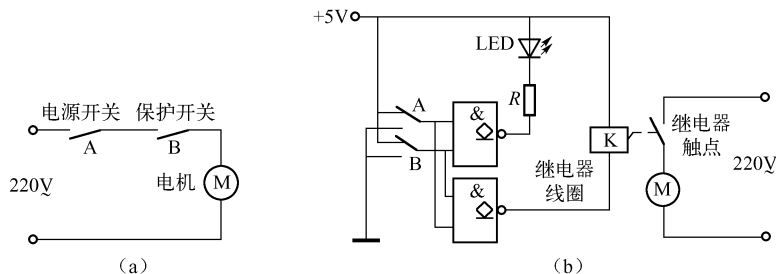


图2-28 OC 门线与

应用实例

OC 门用途很广, 除实现线逻辑还常驱动各种导通电流较大的负载, 如发光二极管、荧光数码管、小型继电器等, 当然, 这时输出管 VT_3 要设计得足以承受较大的电流和较高的电压。

如图 2-29 (a) 所示是数控电机控制电路原理简图, 电路中有两个控制开关, 电源开关 A 和过载保护开关 B, 两个开关都各有自己的控制系统, 只要两个开关同时闭合, 电机就转动。图 2-29 (b) 所示是实际的控制电路, 图中用 OC 门实现两个开关对电机的控制, 由于



(a)

(b)

图 2-29 OC 门应用实例

OC 门提供的电流较小，不能直接驱动电机，所以用 OC 门驱动继电器来实现控制。发光二极管 LED 用来指示电机是否转动。

4. 三态门

三态门简称 TS (There State) 门或 3S 门，除具有 0、1 两种低阻输出状态外，它还具有第三种输出状态——高阻态 Z，在此状态下三态门的输出端相当于断开。

3STTL 与非门如图 2-30 (a) 所示，它加了一个控制端 EN ， EN 也称为使能端或允许端。当 EN 为高电平时 VD 截止，相当于 VD 支路断开，此时电路同图 2-9 所示， $F = \overline{AB}$ ；当 EN 为低电平时 VD 导通，使 u_{C2} 下降， VT_4 截止，又 VT_5 截止，所以从输出端看电路是高阻状态。可见，当 $EN = 0$ 时输出是高阻态，而 $EN = 1$ 时电路实现与非功能，因此称此三态门为高电平有效的三态门，逻辑符号如图 2-30 (b) 所示。

图 2-31 所示是低电平有效的三态门，即 $\overline{EN} = 1$ 时输出为高阻， $\overline{EN} = 0$ 时 $F = AB$ 。由于使能端信号低电平有效，所以逻辑符号在使能端上加小圈表示，控制信号 EN 上加“-”表示。

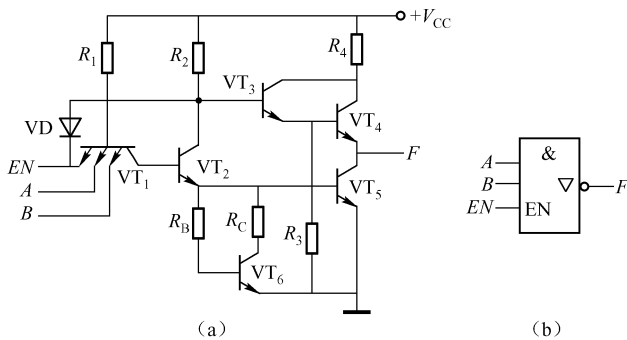


图 2-30 三态门

图 2-31 低电平有效的三态门

工程应用

在通信系统或计算机中，利用三态门可以构成总线结构，实现分时传送不同的信号（这种传送方式称为时分复用）。总线就是一组导线（一条或多条），是传输信息的公共线。任一瞬时，一条总线上只允许有一个信息在传送。

图 2-32 (a) 所示是单向传输总线系统，它在一条总线上接了六个三态门。当 EN_1 ， EN_2 ， EN_3 轮流接高电平时，A，B，C 端信号就可以轮流送到总线上，并由 G_4 ， G_5 ， G_6 中使能端为高电平的门把信号接收下来。

图 2-32 (b) 所示是双向传输总线系统。当 $EN = 1$ 时， G_1 工作， G_2 禁止，A 端信号经 G_1 被送到总线上；当 $EN = 0$ 时， G_1 禁止， G_2 工作，来自总线的信号经 G_2 被送到 B 端。

5. 驱动门和缓冲门

驱动门具有强带负载能力，扇出系数一般可达 50，因此又称为功率门、驱动器。缓冲门在电路中起隔离作用，也具有强带负载能力，因此也可以看作是驱动门。图 2-33 所示逻辑

辑符号中，图（a）是与非驱动器，图（b）是与缓冲器（OC），图（c）是反相缓冲器/驱动器，图（d）是缓冲器（3S）。图（d）使能端三角符号是低电平有效的另一种表示方法，称为极性指示。

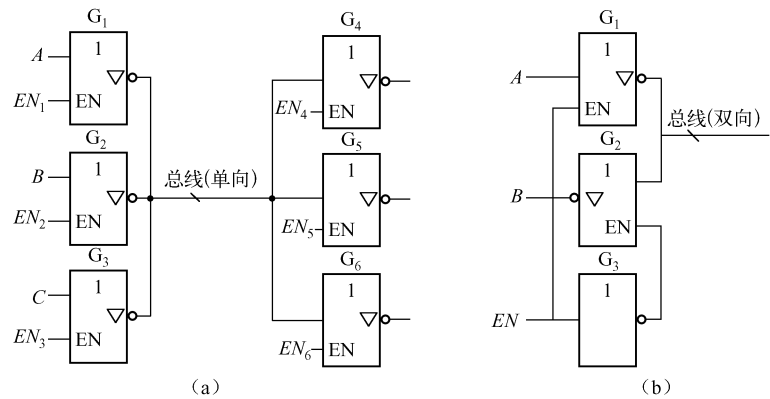


图 2-32 三态门构成总线结构

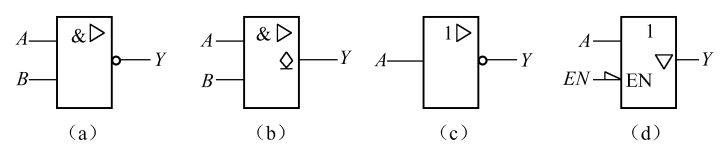


图 2-33 驱动器和缓冲器

2.2.3 门电路的改进

对 TTL 门电路的改进主要有两个方面：一是提高工作速度，二是降低功耗。因此也就出现了各具特色的子系列门电路。

1. 肖特基 TTL 门 (S 系列)

三极管在进行状态转换时需要时间，尤其是由饱和转为截止，饱和越深转换时间越长。S 系列门电路采用了抗饱和晶体管以减小转换时间。抗饱和晶体管如图 2-34 所示，它在普通三极管集电结并联肖特基二极管构成。肖特基二极管导通电压约 0.4 ~ 0.5V，开关速度比一般二极管高一万倍。并联肖特基二极管后，三极管的截止工作不受影响，而只限制饱和时集电结正向电压在 0.4V 左右，三极管工作在浅饱和区，减少了转换时间。

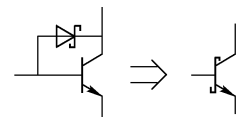


图 2-34 肖特基三极管

2. 低功耗肖特基 TTL 门 (LS 系列)

LS 系列是 TTL 电路的主要产品。该系列与非门如图 2-35 所示，电路中电阻值较大，因而功耗低。VT₃ 没用肖特基管，这是因为它导通时只工作在放大状态。输入级 VD₁、VD₂ 构成二极管与门，消除了多发射极晶体管由发射结与发射结之间形成的寄生三极管的影响，可以减小输入高电平电流，提高前级门的带负载能力。VD₃、VD₄ 称为阻尼二极管，当输入负

电压达到 VD_3 、 VD_4 门限电平时， VD_3 、 VD_4 导通，将负电压限制在 0.5V 左右，减少了输入负尖峰干扰信号的影响。输出端二极管 VD_5 、 VD_6 能加快输出电平由高向低转变：在输入电平全部由低变高时， VT_1 导通， u_{C1} 下降，外部负载电路通过 R_3 使 VD_5 导通，则 VT_2 发射结反偏， VT_2 迅速截止； VD_6 导通，使外部负载电流流到 VT_1 ，增大 VT_4 基极电流，使 VT_4 迅速饱和。

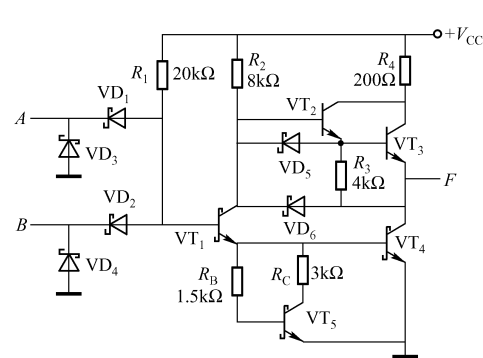


图 2-35 LSTTL 与非门

3. 先进低功耗肖特基 TTL 门 (ALSTTL 系列)

ALSTTL 系列主要是在制造工艺上进行了改进，使器件达到了更高性能。
 以上几种门电路的参数取值为：S 系列传输延迟约数纳秒，功耗约几十毫瓦。LS 系列传输延迟约十几纳秒，功耗约数毫瓦。ALS 系列传输延迟约十纳秒，功耗约数毫瓦。

阅读 数字集成电路的封装

集成电路的封装形式很多，如表 2-4 所示，数字集成电路多采用双列直插式封装（简称 DIP）、小引线封装（Small-Outline Integrated Circuit，缩写 SOIC），以及引线芯片载体封装（Leaded Chip Carrier，缩写 LCC）和塑料引线芯片载体封装（Plastic Leaded Chip Carrier，缩写 PLCC），举例如图 2-36 所示。引脚序号排列顺序：双列直插式或小引线封装将正面（印有商标和型号）朝上，半圆缺口向左，左下角第 1 引线序号为 1，其余按逆时针顺序依次为 2，3，…。对片状载体封装，将正面朝上，四角中有特殊标记的一角如小缺角置于左上角，上边正中间的引线（或者有特殊标记的）序号为 1，其余按逆时针顺序排列，依次为 2，3，…。

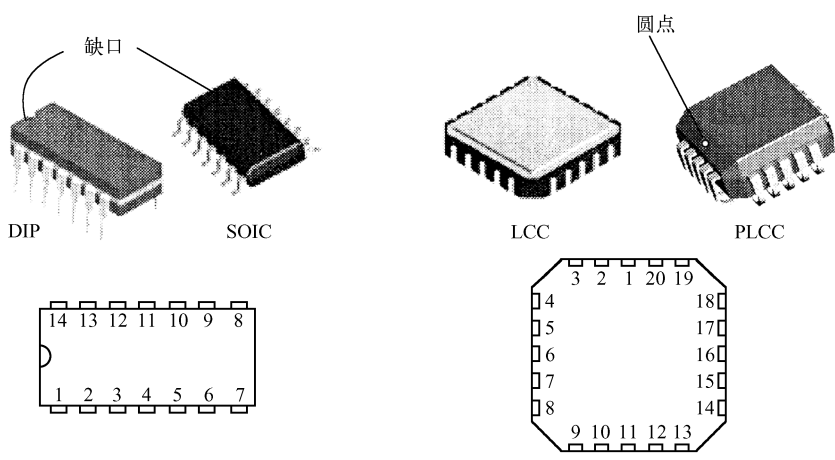


图 2-36 数字集成电路的封装

本书中如不特别说明，均采用双列直插式封装。双列直插式封装的数字集成电路引脚有 8~24 个。在引脚符号标注中，部分常用符号的意义如下：GND——地；COM——公共端；

NC——空脚； V_{CC} ——双极型电路集电极正电源； V_{EE} ——双极型电路发射极正电源； V_{DD} ——MOS 电路漏极电源； V_{SS} ——MOS 电路源极电源。例如，二 4 输入与非门 74LS20，内有二个 4 输入端的与非门，外部引脚共 14 个，引脚排列及标注如图 2-37（a）所示，图 2-37（b）所示是它的逻辑符号，引线上的数字是引脚序号。需注意，片内的两个门是相互独立的，可以单独使用，但电源引脚是共用的，其中， V_{CC} 接电源正极，GND 接电源负极。

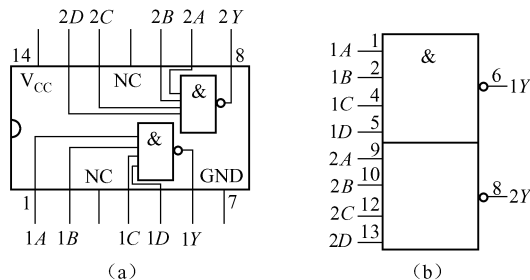


图 2-37 74LS20 引脚排列及逻辑符号

2.2.4 TTL 门使用常识

1. 电源及电源干扰的滤除

电源电压 V_{CC} 应满足 74 系列 $5V \pm 5\%$ ，54 系列 $5V \pm 10\%$ 的要求。考虑到电源通断瞬间及其他原因在电源线上产生干扰冲击电压，在印制电路板上每隔 5 块左右的集成电路，加接一个容量为 $0.01 \sim 0.1\mu F$ 的电容，以滤除干扰。

电源 V_{CC} 和地线一定不能颠倒，否则将引起大电流通过门电路而造成损坏。

2. 不用输入端的处理

与门、与非门将未用输入端接上一电压，其值在 2.4V 至输入电压最大值之间选取，如接 V_{CC} 。或门、或非门将不用的输入端接地。输入端也能并联使用，但会增加对驱动电流的要求。

注意：

(1) 输入端不能直接与高于 5.5V 和低于 $-0.5V$ 的低内阻电源连接，以免过电流而烧坏。

(2) 不要将未用的输入端悬空。否则易接收外界干扰，产生错误运算。

3. 输出端

有源推拉输出不允许输出端直接连接。输出端不能过载，更不允许对地短路，也不允许直接接电源。当输出端接容性负载时，电路从断开到接通瞬间有很大的冲击电流流过输出管，为防止输出管损坏应接限流电阻，如图 2-38 所示。一般容性负载 $C_L > 100pF$ 时，限流电阻取 180Ω 。

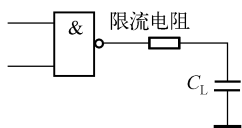


图 2-38 输出端接限流电阻

4. 其他

(1) 为避免损坏电路，在焊接时最好选用中性焊剂、45W 以下

烙铁。焊接后严禁将器件连同印制电路板放入有机溶液中浸泡清洗，只允许用少量酒精轻微擦洗管脚上的焊剂。

(2) 电源接通期间，严禁插拔器件。

思考与练习

1. 判断图 2-39 中各门输出是 1 还是 0。已知开门电阻 $R_{ON} = 700\Omega$ 。

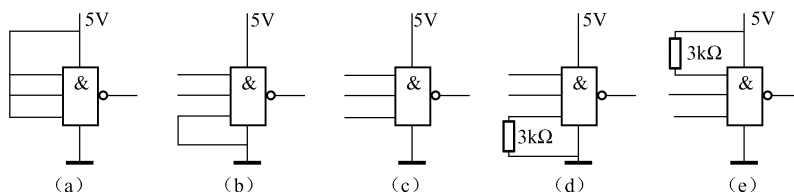


图 2-39

2. 若驱动门输出高电平为 2.4V、低电平为 0.3V，负载门输入最低高电平为 1.8V、最高低电平为 0.8V，求噪声容限。

3. 图 2-40 中，已知输入信号 u_{i1} 、 u_{i2} 波形，门 $G_1 \sim G_5$ 传输延迟时间 t_{PLH} 、 t_{PHL} 均为 20ns。试分别画出不考虑传输延迟和考虑传输延迟两种情况下，输出电压 u_o 的波形图。

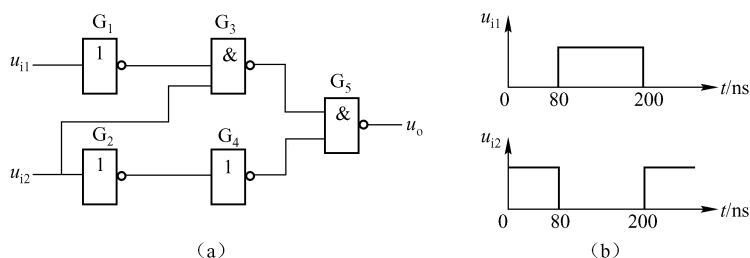


图 2-40

4. 用四个 4 输入 OC 门输出线与后驱动 8 个 TTL 与非门，如图 2-41 所示。设 OC 门参数： $I_{OH} \leq 500\mu A$ ， $I_{OL} = 48mA$ ，与非门参数： $I_{IS} \leq 1.6mA$ ， $I_{IH} \leq 20\mu A$ ， $U_{IL} \leq 0.5V$ ， $U_{IH} \geq 2.8V$ 。试确定 R_L 取值范围。

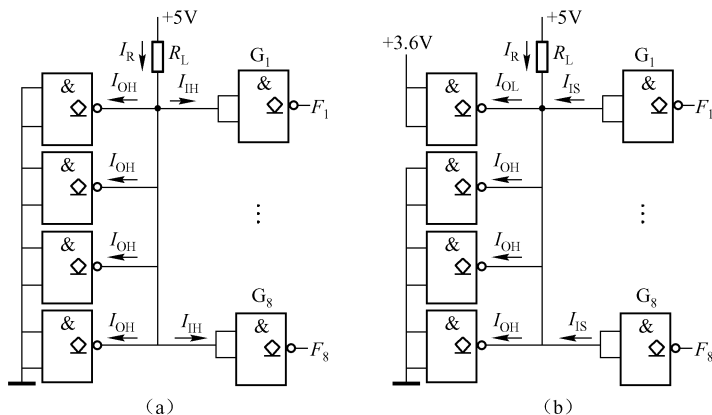


图 2-41

5. 既能由总线接收信号，又能向总线发送信号的电路称为收发器。分析图 2-42 所示 1 位收发器当 $EN=0$ 和 $EN=1$ 时的工作。通过分析，进一步理解“时分复用”的概念。

6. 图 2-43 (a) 所示是四总线缓冲器 (3S) 74125 构成的收发器，每个缓冲器的逻辑图如图 2-43 (b) 所示。总线符号表示一组导线，所含导线数目视具体电路而定。请分析电路工作原理，并指出收发器的位数。

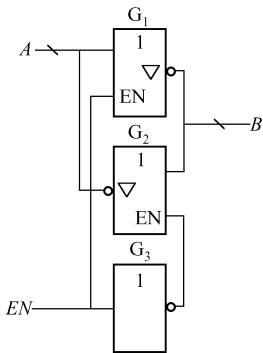


图 2-42

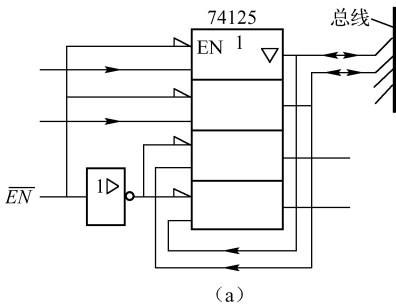
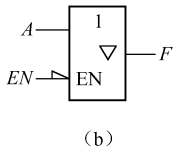


图 2-43



2.3 CMOS 门电路

单极型 MOS (Metal Oxide Semiconductor) 数字集成电路是数字集成电路的一个重要系列，具有功耗低、抗干扰性能好、制造工艺简单、易于大规模集成等优点。目前，在大规模集成电路中尤其得到广泛应用。但其工作速度相对 TTL 电路低，因而使其使用受到限制。

MOS 集成电路有 PMOS、NMOS、CMOS 电路。PMOS 电路生产工艺简单。NMOS 电路工作速度快。CMOS 电路抗干扰能力强，电源电压范围宽，功耗很小，速度较快，是目前应用最为广泛的集成电路。

2.3.1 CMOS 非门

互补 MOS 电路简称 CMOS (Complementary MOS) 电路，是由增强型 PMOS 管和 NMOS 管组成的电路。下面首先复习增强型 MOS 管的特性，然后讨论各种 CMOS 门电路。

1. MOS 管特性

增强型 NMOS 管转移特性如图 2-44 (a) 所示，图中 U_T 为开启电压。由图可见，当 $u_{GS} \leq U_T$ 时管子截止， $i_D = 0$ ，漏极 D 与源极 S 间的截止电阻 R_{DS} 很大，可达数百至数千兆欧姆；当 $u_{GS} \geq U_T$ 时管子导通， $i_D \neq 0$ ，漏极 D 与源极 S 间的导通电阻 R_{DS} 很小，约几百至几千欧姆。

PMOS 管转移特性与 NMOS 管一致，只是工作电压极性相反，如图 2-44 (b) 所示。

2. CMOS 非门

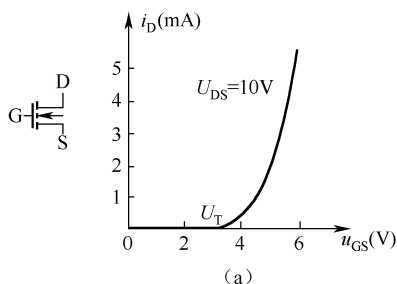
CMOS 非门如图 2-45 所示，其中，NMOS 管 V_1 与 PMOS 管 V_2 的连接方式为串接，两管

栅极接在一起作为非门输入端，漏极接在一起作为非门输出端。为使电路正常工作，要求：

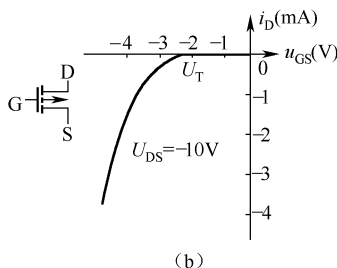
$$V_{DD} > |U_{TP}| + U_{TN}$$

式中， U_{TP} 为 PMOS 管开启电压；

U_{TN} 是 NMOS 管开启电压。



(a)



(b)

图 2-44 增强型 MOS 管转移特性

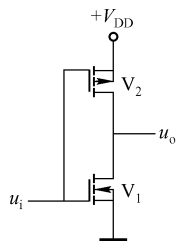


图 2-45 CMOS 非门

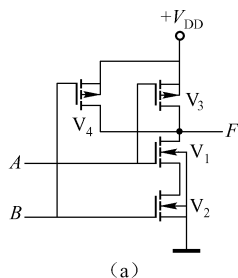
当输入低电平，即 $u_i = 0V$ 时， $u_{GS1} = 0V$ ， $u_{GS1} < U_{TN}$ ， V_1 截止； $u_{GS2} = -V_{DD}$ ， $|u_{GS2}| > |U_{TP}|$ ， V_2 导通，由于 R_{DS2} 导通 $\ll R_{DS1}$ 截止，两管分压结果，使非门输出高电平， $u_o \approx V_{DD}$ 。当输入高电平，即 $u_i = V_{DD}$ 时，有 $u_{GS1} > U_{TN}$ ， V_1 导通；而 $u_{GS2} = 0V$ ， $|u_{GS2}| < |U_{TP}|$ ， V_2 截止， R_{DS1} 导通 $\ll R_{DS2}$ 截止，分压结果使非门输出低电平， $u_o \approx 0V$ 。

由上分析知，无论非门输出低电平还是高电平， V_1 、 V_2 中必有一个截止，电源仅向电路提供纳安级的漏电流，因此功耗极小，在微瓦级以下。

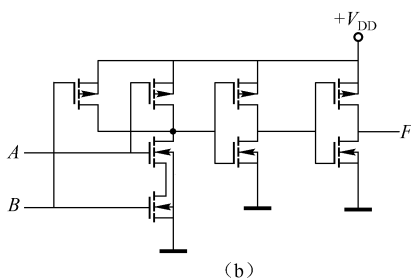
2.3.2 其他功能的 CMOS 门

1. 与非门

CMOS 与非门如图 2-46 (a) 所示，NMOS 管 V_1 与 V_2 串联，PMOS 管 V_3 与 V_4 并联。当输入 A 、 B 同时为高电平时， V_1 和 V_2 同时导通， V_3 和 V_4 截止，输出 F 为低电平。当 A 、 B 中有一个为低电平时， V_1 、 V_2 中必有一个截止，而 V_3 、 V_4 中必有一个导通， F 为高电平。所以，该电路实现了与非功能， $F = \overline{AB}$ 。通常，CMOS 门电路都带有一级或二级输出缓冲级。如图 2-46 (b) 所示是带有二级反相器缓冲级的与非门。



(a)



(b)

图 2-46 CMOS 与非门

2. 或非门

CMOS 或非门如图 2-47 所示。请读者自行分析其逻辑功能。

3. 传输门

传输门由参数一致的 PMOS 和 NMOS 管并联构成，如图 2-48 (a) 所示，因两管参数相同，所以 $U_{TN} = |U_{TP}| = U_T$ ，并且满足 $V_{DD} \geq 2U_T$ 。为分析方便起见，设 $V_{DD} = 2U_T$ 。输入端是两 MOS 管的源极， u_i 在 $0V \sim V_{DD}$ 内取值。 C 和 \bar{C} 是一对互补控制端。

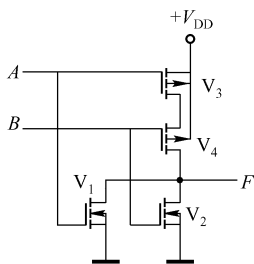


图 2-47 CMOS 或非门

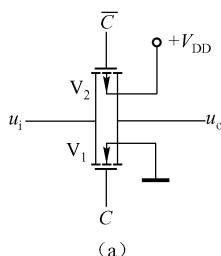
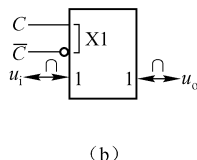


图 2-48 CMOS 传输门



(1) $C = 1$ 时， C 端为高电平 V_{DD} ， \bar{C} 端为低电平 $0V$ ，传输门导通。

当 u_i 变化时，如果 $0V \leq u_i < U_T$ ，则 $u_{GS1} = V_{DD} - u_i > U_T$ ， $|u_{GS2}| = |0V - u_i| < U_T$ ， V_1 导通， V_2 截止，因 V_1 导通电阻很小，所以 $u_o \approx u_i$ 。当 $U_T < u_i \leq V_{DD}$ 时， $u_{GS1} < U_T$ ， $|u_{GS2}| > U_T$ ，则 V_1 截止， V_2 导通， $u_o \approx u_i$ 。

(2) $C = 0$ 时， C 端为低电平 $0V$ ， \bar{C} 端为高电平 V_{DD} 。当 u_i 在 $0V \sim V_{DD}$ 内变化时， V_1 和 V_2 都始终截止， u_i 不能传输到输出端，传输门断开。

综上所述，传输门实为一个可控开关，在控制信号 C 作用下或接通或断开。又由于 MOS 管具有对称结构，源、漏极可以互换使用，所以传输门输入输出端可以互换，故，传输门是一个双向开关。传输门的逻辑符号如图 2-48 (b) 所示，输入端、输出端引线上的符号“ \cap ”表示传输门可以传输模拟信号。

工程应用

传输门的重要用途之一是作模拟开关传输模拟信号，这一功能用一般的逻辑门是无法实现的。模拟开关的基本电路由 CMOS 传输门和非门组成，如图 2-49 所示。和 CMOS 传输门一样，它也是双向器件。

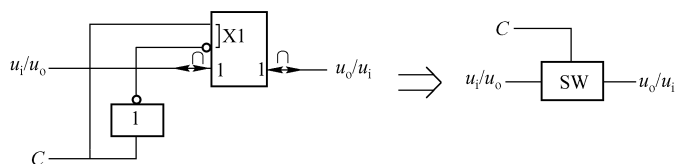


图 2-49 CMOS 双向模拟开关

2.3.3 CMOS 门使用常识

1. 电源

电源电压不得超过极限值。电源极性不能接反。

2. 输入端

(1) 实际 CMOS 电路，为保护输入级 MOS 管栅极下的氧化层不被高电压击穿，一般都有输入二极管保护网络，如图 2-50 所示。正常工作时，二极管截止；当输入电压超过允许值，即 $u_i < -0.5V$ 或 $u_i > (V_{DD} + 0.5)V$ 时，二极管导通，对 MOS 管起保护作用。 R_1 、 R_2 是二极管导通限流电阻。因此，为防止二极管因为正偏电流过大烧坏，要求输入信号在 $V_{SS} \sim V_{DD}$ 之间取值。一般 $V_{SS} \leq U_{IL} \leq 0.3V_{DD}$ ； $0.7V_{DD} \leq U_{IH} \leq V_{DD}$ 。输入信号极限值为 $(V_{SS} - 0.5)V$ 、 $(V_{DD} + 0.5)V$ 。一般 $V_{SS} = 0V$ 。

(2) 未使用端的处理方法。与门、与非门未用端接正电源或高电平，或门、或非门未用端接地或低电平。

未用端绝不允许悬空。因为悬空会使 MOS 管栅极易产生感应静电荷，使该端可能是逻辑 1，也可能是逻辑 0，从而造成电路逻辑混乱。甚至还有可能造成 MOS 管氧化层被击穿。

(3) 为滤除噪声干扰，一般在输入或输出端接电容 C，这时要加限流电阻，如图 2-51 所示。C 不能超过 200pF，否则会因充放电电流太大，使动态功耗增加，引起电路性能变坏。

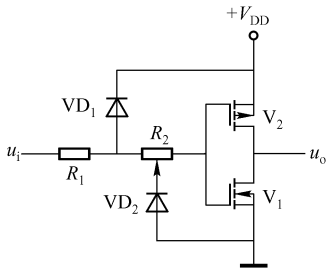


图 2-50 CMOS 电路输入保护网络

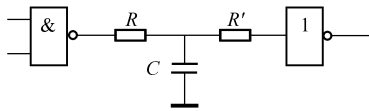


图 2-51 输入、输出端加滤波电容

3. 输出端

(1) 输出端不能直接与 V_{DD} 、 V_{SS} 端连接，否则造成电流过大而使输出管失效。

(2) 为提高电路驱动能力，同一芯片上相同门电路可并联使用，如图 2-52 所示。

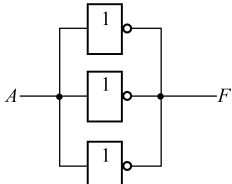


图 2-52 增大 CMOS 电路的驱动能力

4. 其他

(1) CMOS 门在储存和运输时忌用易产生静电高压的化工材料和化纤织物包装，也不要放置于塑料容器中，应放在金属容器中或用铝箔包装。使用时取出一块焊接一块。

(2) CMOS 门在需要矫直引线或手工焊接时, 所用设备要接地良好。工作台不铺塑料板、橡皮垫等易带静电物体, 最好用金属材料覆盖, 并且接地良好。

(3) CMOS 门在实验、测量、调试时, 先接入直流电源, 后接信号源电源。断电时, 先关闭信号源电源, 后关闭直流电源。

还有一些要求可参见 TTL 电路的使用注意事项。

思考与练习

1. 电路如图 2-53 所示, 写出输出 F 逻辑表达式。

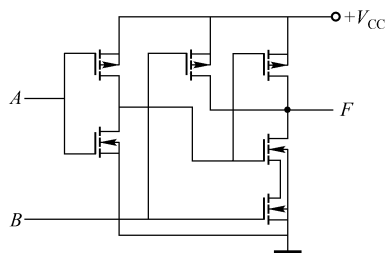


图 2-53

2. 试根据图 2-54 所示传输门的控制信号 C 及输入信号 u_i 的波形图, 画出输出信号 u_o 的波形图。

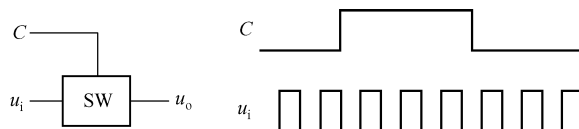


图 2-54

3. 使用 TTL 门电路与 CMOS 门电路应注意哪些问题? 门电路中不用的输入端应如何处理? 为什么 TTL 与非门不允许在输入端加负电压? 它的电源电压是否可以在较大范围内变动? CMOS 门电路电源电压是否也有类似限制?

阅读 数字集成电路主流产品介绍

国际通用逻辑集成电路中有双极型 HTL (High Threshold Logic, 高阈值逻辑)、ECL (Emitter Coupled Logic, 发射极耦合逻辑)、I²L (Integrated Injection Logic, 集成注入逻辑)、TTL, 单极型 NMOS、CMOS 以及 BiCMOS (Bipolar Complementary Metal Oxide Semiconductor, 双极 CMOS) 电路, 其中 TTL 和 CMOS 电路是目前产量大、应用广的主流产品。

TTL 电路主要有 54、74 两大系列, 其中 54 系列为军用产品, 74 系列为商用 (也有称民用) 产品。54 系列将可靠性放在优先位置考虑, 允许电源电压波动范围大, 工作温度范围宽, 一般为 $-55 \sim 125^{\circ}\text{C}$, 而 74 系列工作温度为 $0 \sim 70^{\circ}\text{C}$ 。贮存温度都为 $-65 \sim 150^{\circ}\text{C}$ 。各系列根据性能又分为八个子系列: $\times \times$ (普通型)、 $\text{L} \times \times$ (低功耗型)、 $\text{S} \times \times$ (肖特基型)、 $\text{LS} \times \times$ (低功耗肖特基型)、 $\text{ALS} \times \times$ (先进低功耗肖特基型)、 $\text{AS} \times \times$ (先进肖特基型)、 $\text{F} \times \times$ 及 $\text{H} \times \times$ (高速型), 其中 LS 系列市场占有率最高。不同子系列的同一代号电路, 如 7400 与 74LS00, 它们的性能参数不同, 但功

能、引出端排列相同。

CMOS 电路的前期产品有 4 个子系列。其中 4000/4500 系列（或标为 14000/14500 系列）具有低功耗和高抗干扰性，电源电压范围宽（3 ~ 18V）等优点，但速度低于 TTL，只能用于 5MHz 以下低速系统。其余 3 个子系列为高速 CMOS 电路：54/74HC、54/74HCT、54/74HCU 系列。HC 系列电源电压 2 ~ 6V，电平与 4000 兼容；HCT 系列为 TTL 电平，电源电压 4.5 ~ 5.5V，可与 54/74LS 系列互换使用；HCU 为无缓冲 CMOS 电路，只有一个产品 54/74HCU04。高速 CMOS 电路与同一代号 TTL 电路逻辑功能和引脚排列相同，速度达到 LS 系列水平，工作频率可达 50MHz，但静态功耗为低功耗。

之后推出的 CMOS 电路 54/74 系列产品主要有：AHC/AHCT、LVC、LV、ALVC、AUC、AUP、CBT 等。AHC/AHCT 是先进高速 CMOS 系列，相对 HC/HCT 具有更高的性价比，工作电压 3.3V 或 5V。包含 LV、V 或 L 的产品系列是工作电压为 3.3V 及以下的逻辑器件，如 LVC 系列是专为 3V 工作电源设计的。AUC 是先进超低电压 CMOS 系列，电源电压范围为 0.8 ~ 2.5V，最佳 1.8V，极限值 3.6V。AUP 是先进超低功耗系列，电源电压 0.8 ~ 3.6V，静态功耗 0.9 μ A。CBT 系列是高速驱动器件，该系列主要做总线开关，具有极高的开关速度，也可以做电平转换器（5V 转换 3.3V），或用于 5V 和 3.3V 的混合系统。

表 2-5 列出了部分 TTL 门、CMOS 门电路产品，供参考。

表 2-5 常用集成门电路

门 类 型	功 能	型 号		
与	四 2 输入与门	7408	74LS08	74HC08
	三 3 输入与门	7411	74LS11	74HCT11
	三 3 输入与门 (OC)	7415	74LS15	74ALS15
	二 4 输入与门	7421	74LS21	4082
与非	8 输入与非/与门	4078	74HC4078	
	四 2 输入与非门	74LS00	74HC00	74ALV00
	三 3 输入与非门	7410	74LS10	74HC10
	二 4 输入与非门	7420	74LS20	74ALS40
	8 输入与非门	74LS30	74HC30	74ALS30
或	四 2 输入或门	7432	74HC32	74AS32
	二 4 输入或门	4072		
或非	四 2 输入或门	74LS02	74ALS02	4001
与或非	2 \times 2 输入双与或非门	4806	4085B	
反相器	六反相器	7404	74LS04	74HC04
扩展器	4 输入与扩展器	7460		
	三 3 输入与扩展器	74H61		
缓冲门	四 2 输入与非缓冲门	7437	74LS37	
	四 2 输入或非缓冲门	7428	74LS28	
驱动门	六缓冲门/驱动门 (OC)	7407	74LS07	
	四 2 输入或非缓冲器	7428		
	六缓冲器	7434		

2.4 接口电路

数字系统中，常有不同类型的集成电路混合使用。由于逻辑电平、负载能力等参数不同，相互连接时，就需要使用接口电路。接口电路就是驱动门与负载门之间的转接电路，其作用是：输入电平与驱动门输出电平相配合；输出电平与负载门输入电平相配合，具有负载门所要求的驱动能力。驱动门与接口电路、接口电路与负载之间的具体要求是：

- (1) 输出低电平最大值小于输入低电平最大值。
- (2) 输出高电平最小值大于输入高电平最小值。
- (3) 输出低电平电流最大值大于输入低电平电流最大值。
- (4) 输出高电平电流最大值大于输入高电平电流最大值。

此外，还要考虑接口电路的时延特性，选择时要留有一定的余量。

以下主要介绍 5V 系列 TTL 与 CMOS 电路之间的接口电路。为便于介绍，将这两类电路的典型参数列于表 2-6 中，这些参数的测试条件在器件手册中有具体说明，此处不作介绍。

表 2-6 TTL、CMOS 非开路门典型参数值（电源电压：+5V）

产品种类 参数名称	TTL				CMOS				
	74	74LS	74AS	74ALS	4000	74HC	74AHC	74HCT	74AHCT
U_{OHmin} (V)	2.4	2.7	2.7	2.7	4.6	4.4	4.4	4.4	4.4
U_{OLmax} (V)	0.4	0.5	0.5	0.5	0.05	0.1	0.1	0.1	0.1
U_{IHmin} (V)	2	2	2	2	3.5	3.5	3.5	2	2
U_{ILmax} (V)	0.8	0.8	0.8	0.8	1.5	1	1	0.8	0.8
I_{OHmax} (mA)	-0.4	-0.4	-2	-0.4	-0.51	-7.8	-8	-6	-8
I_{OLmax} (mA)	16	8	20	8	0.51	7.8	8	6	8
I_{IHmax} (μA)	40	20	200	20	0.1	0.1	0.1	0.1	0.1
I_{ILmax} (mA)	-1.6	-0.4	-2	-0.2	-0.1×10^{-3}	-0.1×10^{-3}	-0.1×10^{-3}	-0.1×10^{-3}	-0.1×10^{-3}
I_{CC} 或 I_{DD} (mA)	22	95	143	58	0.25×10^{-3}	0.08	0.04	0.08	0.04
t_{pd} (ns)	22.0	12	7.5	10	250	21.0	7.5	30	7.9

2.4.1 TTL 电路驱动 CMOS 电路

根据表 2-6 所示参数，TTL 电路可直接驱动 AHCT 系列。驱动 4000 或 AHC 系列时，输出高电平与 CMOS 输入高电平不兼容，必须提高输出高电平到 3.5V 以上。在 TTL 与 CMOS 电路间加一电阻 R ，称为上拉电阻，如图 2-55 所示，便可解决。 R 不能太大，通常取几千欧姆。

当 CMOS 电路电源电压较高，要求输入高电平超过 TTL 电路输出范围时，可使用 OC 门或带电平转移的 CMOS 接口电路，如四低 - 高电压电平转换器 (3S) 40109，如图 2-56 所示。图中只画了 1/4 40109。

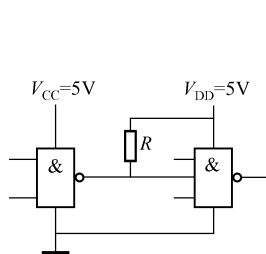
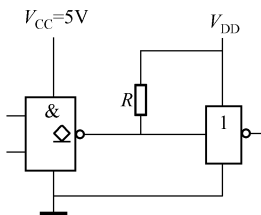
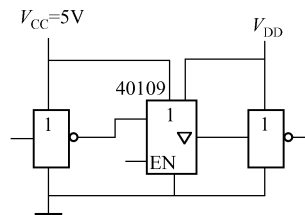


图 2-55 上拉电阻提高 TTL 电路输出高电平



(a)

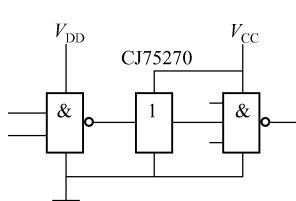


(b)

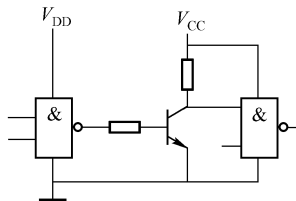
图 2-56 TTL 与 CMOS 电路的接口电路

2.4.2 CMOS 电路驱动 TTL 电路

CMOS 电路输出电平与 TTL 电路输入电平可以兼容，但输出功率较小，驱动能力不够，一般不能直接驱动 TTL 电路，这时可将同一芯片 CMOS 电路并联使用，或在 CMOS 电路输出端增加一级驱动器，也可采用图 2-57 所示具有驱动作用的接口电路，图 2-57 (a) 所示是使用七 MOS/TTL 转换器 CJ75270 (只画了 1/7)；图 2-57 (b) 所示是用三极管构成接口电路。



(a)



(b)

图 2-57 CMOS 电路与 TTL 电路的接口电路

2.4.3 CMOS4000 与 54/74AHC 间的接口电路

CMOS4000 与 AHC 工作在同一电源时输入输出电平完全兼容，可直接相连。由于两者输入电流都很小，因此没有扇出限制。当 CMOS4000 工作在 9 ~ 15V，AHC 在 5V 时，就需要电平转换。

CMOS4000 驱动 AHC 有两种方法。如图 2-58 (a) 所示是用电平转换器，如 4049 (只画了 1/6)。如图 2-58 (b) 所示是用电阻分压器，当然分压器要消耗功率。

AHC 驱动 CMOS4000 可采用带有上拉电阻的开漏极缓冲器，如 74AHCT05，如图 2-59 所示。

本章最后表 2-7 示出部分逻辑门的等效符号。考虑目前所用电子线路的设计软件多为欧美国家的产品，故一一对应示出其使用的常规 (Normal) 符号。

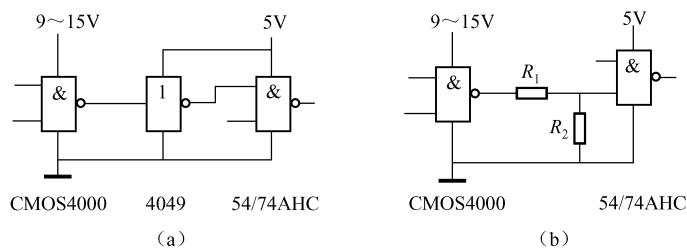


图 2-58 CMOS4000 驱动 54/74AHC

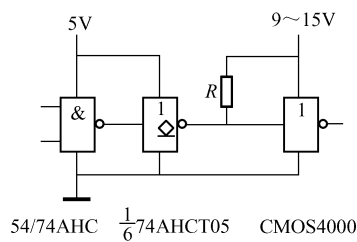


图 2-59 54/74AHC 驱动 CMOS4000

表 2-7 逻辑符号一览表

名 称	逻辑符号	等效逻辑符号	Normal 符号
与门			
与非门			
或门			
或非门			
异或门			
非门			
缓冲门			
三态门			
传输门			

思考与练习

1. 驱动门与负载门连接时，要考虑逻辑电平配合与驱动能力。试在以下各空格填入“>”、“<”或“=”。其中， m ——负载门输入端数； n ——负载门个数。

驱动门输出高电平最小值_____负载门输入高电平最小值；驱动门输出低电平最大值_____负载门输入低电平最大值；驱动门输出高电平电流最大值_____ $m \times$ 负载门输入高电平电流最大值；驱动门输出低电平电流最大值_____ $n \times$ 负载门输入低电平电流最大值。

2. 图 2-55 中，加 R 后将 CMOS 门输入高电平提高到 5V，请分析其原理。提示：MOS 管栅极电流为零。

3. 写出图 2-60 中 F_1 、 F_2 和 F_3 的逻辑表达式。

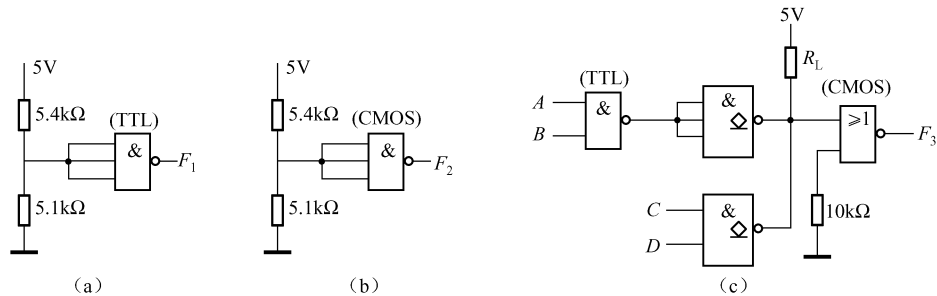


图 2-60

实验与技能训练

实验 1 使用器件手册

(1) 实验用资料、设备和器件。器件手册数本，或连接因特网的计算机一台。DIP、SOIC、LCC 和 PLCC 封装的集成电路各数个。

(2) 实验内容。练习使用器件手册；练习通过因特网查找所需要的器件资料；识别数字集成电路的封装。通常在以下两种情况下需要使用器件手册。

① 已知器件型号，查阅其特性数据。这种情况多在维修中遇到。此时应先根据器件型号判断器件类型、用途，然后选择相应手册，例如，应查线性集成电路手册，还是非线性集成电路手册，还是数字电路手册。对于进口器件，最好也能根据电路功能，大致估计其用途，以确定选择查阅何种手册。

查阅时一定先看目录，根据目录内容，便可进一步找到所需要的数据。

查阅 74LS47/138/148/160/161/162/163/190/194/395、4508、140109、74AHC00、74AHC00 的特性数据。

② 已知器件功能，确定器件型号。这种情况多在设计电路或器件替换中遇到。仍是先根据器件用途，选择相应手册，根据目录，找到器件功能索引部分，进一步查找器件数据，并对同一功能的器件比较、选用。原则是在基本功能和参数满足要求的前提下，尽可能选择其它功能少的电路。不要以序号高低作为选用的依据，序号低的器件并不一定功能少，价格低。此外，如果是替换器件，还要保证器件的封装形式、尺寸、引线排列顺序与原器件完全相同。

查阅手册，确定四 2 输入与非门、三 3 输入与门、双 4 输入与非缓冲器、4 - 10 线译码器（BCD 输入）、4 位双稳态锁存器、十二分频计数器、8 - 3 线优先编码器、8 位移位寄存器的产品型号。

③ 通过因特网查阅器件特性。查阅 74LS48、74LVT00 的特性。

④ 认识常见的数字集成电路的封装。

实验 2 使用仪器

(1) 实验用设备及资料。数字电路实验用仪器：数字电路通用实验仪，脉冲信号发生器，双踪示波器，直流电源，万用表，数字万用表。

资料：仪器说明书。

(2) 实验前准备工作。由指导教师根据实验室实际情况，结合以下实验内容拟定具体的实验步骤。

(3) 实验内容。

① 认识仪器。

② 阅读仪器说明书。通过阅读,进一步了解各仪器的用途、性能、使用方法、面板结构,切记各仪器的“使用注意事项”。

③ 仪器使用练习。按照指导教师拟定的步骤进行练习。通过练习,熟悉各仪器的功能,面板标识,掌握仪器的使用方法,操作要领及注意事项。

(4) 实验注意事项。在实验过程中要注意观察,如果发现有破坏性异常现象,例如,有元器件发烫、冒烟,或者有异味等,应立即关断电源,保持现场,报告指导教师。待找出原因,排除故障后,经指导教师同意才可继续实验。

实验3 门电路性能与功能测试

(1) 实验目的。掌握门电路外特性及功能测试方法。

(2) 实验用器件。四2输入与非门74LS00二片,四2输入或非门4001、四2输入异或门74LS86、六反相器74LS04各一片。以上门电路的引线排列参见图2-61。

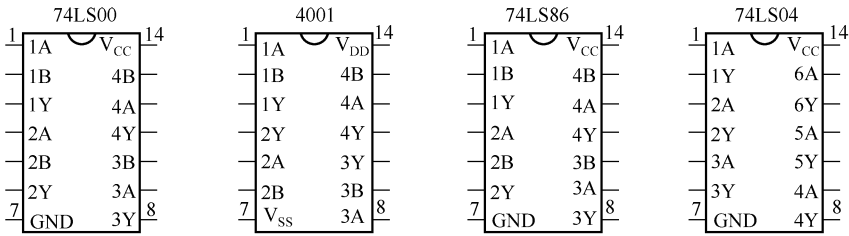


图 2-61

(3) 实验用设备及仪器。数字电路通用实验仪,万用表,脉冲信号发生器,双踪示波器。

注意事项:实验前检查实验仪电源是否正常,然后按实验电路接好连线,特别注意,每一块集成电路的 V_{CC} (V_{DD}) 及地线都不能接错或漏接,检查线路连接无误后方可允许接通电源。实验中如需要改接连线,必须在关断电源后才能拆、接线。

(4) 实验内容。

(1) 门电路传输特性测试与比较。测试74LS00与4001。74LS00测试电路参考图2-12,取 $R_P = 1.5k\Omega$ 。由于4001是或非门,测试时应将不用的输入端接地,测试电路如图2-62所示。

- ① 令 V_{CC} (V_{DD}) = +5V, 调节 R_P , 测 u_i 、 u_o , 记录有关数据并画传输曲线, 比较两门的传输特性。
- ② 单独测试4001的传输特性, 令 $V_{DD} = +15V$ 。
- ③ 求门电路参数: U_{OH} , U_{OL} , U_{ILmax} , U_{IHmin} , U_{NL} , U_{NH} 。

(2) 门电路逻辑功能测试。

① 选择74LS00四个与非门中的1个门电路, 将其输入端接实验仪逻辑开关, 输出端接电平指示灯, 测试与非门逻辑功能, 并将测试结果填入表2-8。

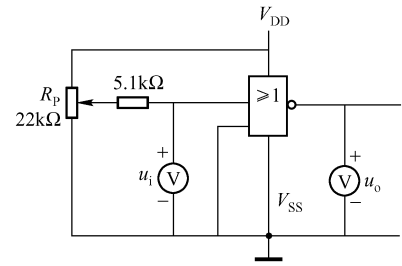


图 2-62

表 2-8

输 入		输 出 Y		
A	B	74LS00	4001	74LS86
0	0			
0	1			
1	0			
1	1			

② 测试 4001、74LS86 逻辑功能，并将测试结果填入表 2-8。

(3) 门电路传输延迟时间测试。将 74LS04 按图 2-63 所示连接，输入 200kHz 的矩形波，用双踪示波器观察输入 u_i 、输出 u_o 的波形，并测量输入与输出波形的时间差，计算每个门的平均传输延迟时间。

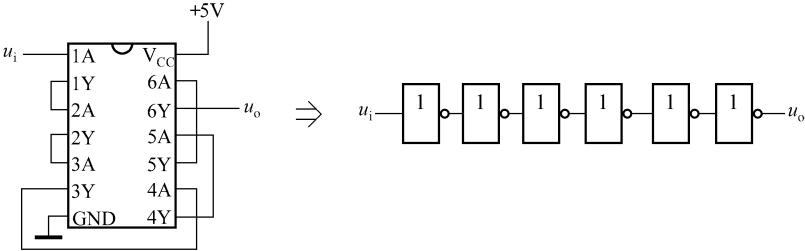


图 2-63

(4) 用与非门组成其他逻辑功能的门电路。

① 组成或非门。因为 $Y = \overline{A+B} = \overline{A} \cdot \overline{B} = \overline{\overline{\overline{A}} \cdot \overline{\overline{B}}} = \overline{\overline{A} \cdot \overline{B}}$ ，所以用一片 74LS00 的四个与非门可以组成一个或非门。画出接线图并进行测试，测试结果填入表 2-9 中。

② 组成异或门。用二片 74LS00 接成一个异或门，画出接线图并测试，测试结果填入表 2-9。

(5) 思考。

① 如何测量门电路的功耗？

② 能否用 4001 接成与非门？异或门？

实验 4 三态门、OC 门功能测试及应用

(1) 实验目的。学会正确使用三态门、OC 门的方法。

(2) 实验用器件。四总线缓冲器（3S）74LS126A、双 4 输入与非门（OC）74LS22 及 74LS00 各一片。74LS126 与 74LS22 的逻辑符号参见图 2-64。

表 2-9

输 入		输 出 Y	
A	B	或非门	异或门
0	0		
0	1		
1	0		
1	1		

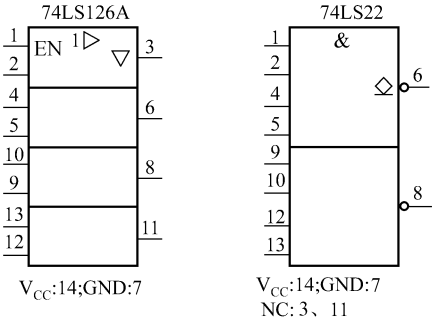


图 2-64

(3) 实验用设备及资料。数字电路通用实验仪，示波器，万用表。器件手册。

(4) 实验内容。

① 查阅器件手册。了解 74LS126、74LS22 的特性参数及引线排列。

② 验证三态门三态功能。选择 74LS126 其中一个三态门，如图 2-65 所示，将 EN 与 A 接逻辑开关，用万用表测量 F 电压，验证三态门功能，并填入表 2-10。

注意：判断高阻状态时，首先用万用表电压挡测量电压，确定电压为零后再用电阻挡测量电阻为无穷大。绝对忌用电阻挡测量低阻输出状态下的电阻值，否则将可能烧坏万用表。

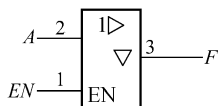


图 2-65

表 2-10

EN	A	F	
0	0	测量电压	
		测量电阻	
	1	测量电压	
		测量电阻	
1	0	测量电压	
	1	测量电压	

③ 用 74LS126 构成简单数据总线缓冲器。实验电路如图 2-66 所示， $D_1 \sim D_4$ 输入不同频率的矩形波， $C_1 \sim C_4$ 接逻辑开关。令 $C_1 \sim C_4$ 依次轮流为高电平，用示波器观测 DB（Data Bus，数据总线）波形。

(4) 验证 OC 门输出端线与功能。实验电路如图 2-67 所示， $A \sim D$ 接逻辑开关， F 接电平指示灯。验证 $F = \overline{AB} \cdot \overline{CD}$ ，并将结果列成表格。

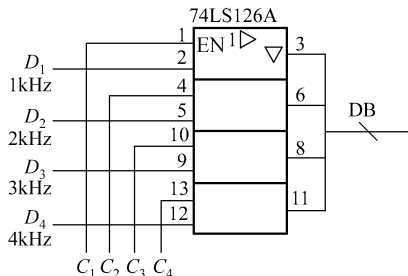


图 2-66

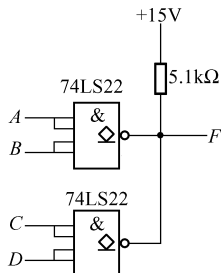


图 2-67

(5) 实验方法确定 OC 门的负载电阻。实验电路如图 2-68 所示，取 $V'_{CC} = V_{CC} = 5V$ 。

① 用逻辑开关改变两个 OC 门的输入状态，使 OC 门输出 u_o 为高电平 U_{OH} 。用万用表测量 U_{OH} ，调节 R_p 使 $U_{OH} = 3.6V$ ，测量此时的 R_L 即为 $R_{L\max}$ 。

② 改变两 OC 门的输入，使 u_o 为低电平 U_{OL} 。调节 R_p 使 $U_{OL} = 0.3V$ ，测量此时的 R_L 即为 $R_{L\min}$ 。

取 $R_L = R_{L\min} \sim R_{L\max}$ 。

注意：用万用表测量 R_L 阻值时一定要断电测量。为保证测量值准确，应开路测量。

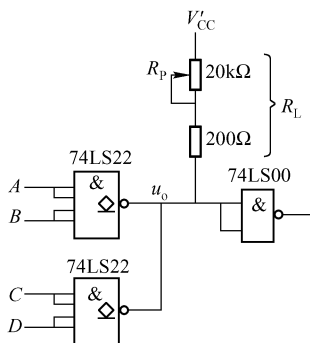


图 2-68

本章小结

1. 集成逻辑门电路分为双极型与单极型两大类。双极型门电路中使用最多的是 TTL 电路，其中尤以 LSTTL 应用普遍。TTL 电路工作速度较高，但功耗较大。单极型 CMOS 电路愈来愈被重视，其功耗小，易集成，但工作速度较 TTL 电路略低。

2. 本章重点是门电路的外特性。外特性包含两个内容，一是输出与输入间的逻辑关系即逻辑功能，另一个是电气特性。虽然文中讲到一些有关门电路内部结构和工作原理的内容，但是其目的在于帮助读者加

深对器件外特性的理解,以便更好地运用外特性。

在后面几章,尽管逻辑电路越来越复杂,但只要是 TTL 电路,它们输入端和输出端的电路结构就和本章所讲的 TTL 门电路相同;只要是 4000 系列或 54/74 系列的 CMOS 电路,它们的输入端和输出端电路结构就和本章的 CMOS 门电路相同。因此,本章所介绍的电气特性对这些电路同样适用。

目标检测

一、填空题

- 2.1 在数字电路中,正逻辑规定,用_____表示高电平,用_____表示低电平。
- 2.2 TTL 门电路是指_____门电路,是双极型电路。
- 2.3 线逻辑是指_____逻辑。
- 2.4 图 2-69 所示电路中,门电路选用 TTL 电路,当 $\overline{EN} = 0$ 时, $F =$ _____, 当 $\overline{EN} = 1$ 时, $F =$ _____。
- 2.5 图 2-69 所示电路中,如果电阻 R 开路,则当 $\overline{EN} = 1$ 时, $F =$ _____。
- 2.6 调试数字电路时,连接电源和信号源的正确步骤是,先接入_____源,再接_____源。断电时,先断开_____源,再切断_____源。
- 2.7 接口电路的作用是_____。
- 2.8 在印制电路板上,每隔 5 块左右 IC,加接一个 $0.01 \sim 0.1\mu\text{F}$ 的电容,其作用是_____。

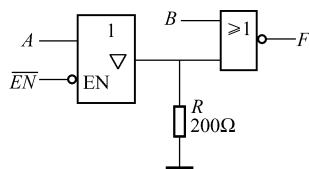


图 2-69

二、单项选择题

- 2.9 如果图 2-69 所示电路中的门电路为 CMOS 电路,且 $R = 10\text{k}\Omega$, 当 $\overline{EN} = 1$ 时, $F =$ _____。
A. $\overline{A} + \overline{B}$ B. $\overline{A} + B$ C. 0 D. \overline{B}
- 2.10 TTL 门电路如图 2-70 所示,能完成 $F = \overline{AB}$ 的电路是_____。

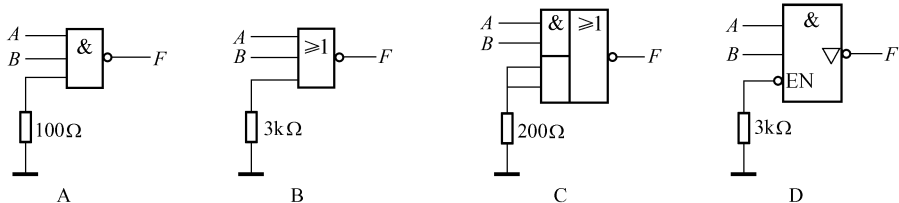


图 2-70

- 2.11 图 2-71 所示电路中 TTL 门电路的参数: $I_{IH} = 15\mu\text{A}$, $I_{IS} = 1.5\text{mA}$, $I_{OH} = 400\mu\text{A}$, $I_{OL} = 15\text{mA}$, 则该电路的扇出系数 N_0 为_____。
A. 13 B. 14 C. 10 D. 26
- 2.12 TTL 门特性如图 2-72 (a) 所示,图 2-72 (b) 所示电路中输出电压 $U_0 = 0.2\text{V}$ 的是_____。
- 2.13 TTL 门电路的阈值电压一般为_____。
A. 0.8V B. 1.4V C. 2.4V D. 5V
- 2.14 图 2-73 所示 CMOS 电路,能实现 $F = \overline{AB}$ 的电路是_____。

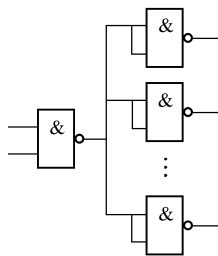


图 2-71

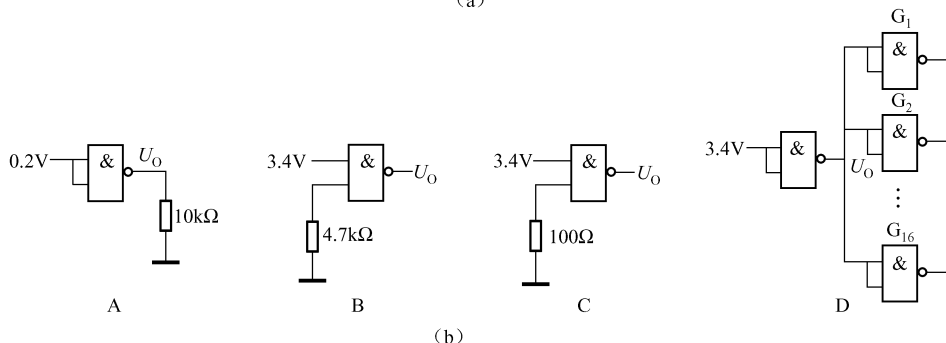
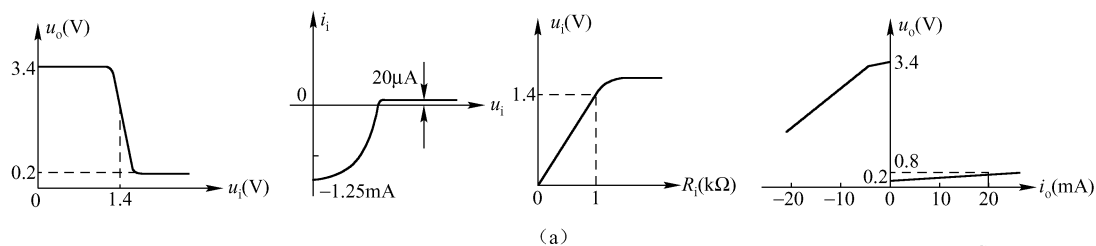


图 2-72

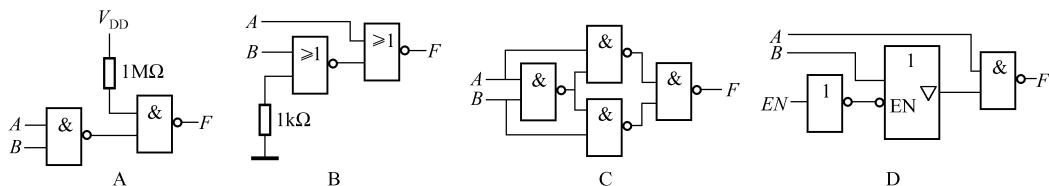


图 2-73

- 2.15 数字电路中，在电源线与地线之间接有多个 $0.01 \sim 0.1\mu\text{F}$ 的电容，其作用是_____。
- A. 容性负载 B. 限流 C. 限压 D. 滤波
- 2.16 _____的功耗会随着工作频率的增加而明显增大。
- A. OC 门 B. 图腾柱输出门 C. OD 门 D. CMOS 门
- 2.17 74 系列 TTL IC 电源电压的范围是_____。
- A. $2 \sim 6\text{V}$ B. $3 \sim 18\text{V}$ C. $4.75 \sim 5.25\text{V}$ D. $4.5 \sim 5.5\text{V}$
- 2.18 国标符号 $\text{CC} \times \times \times \times$ 是指_____。
- A. TTL 电路 B. CMOS 电路 C. ECL 电路 D. HTL 电路

三、多项选择题

- 2.19 逻辑电路如图 2-74 所示，能实现 $F = \overline{AB + CD}$ 的电路有_____。

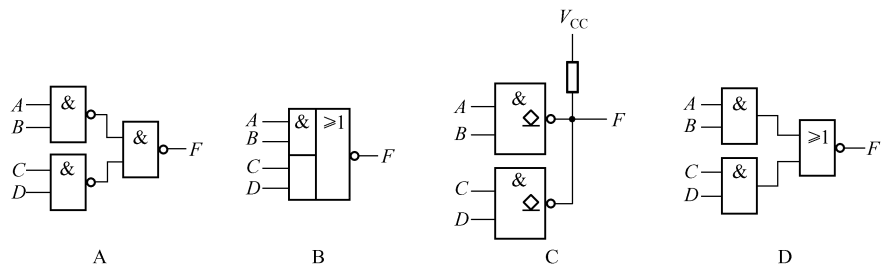


图 2-74

2.20 TTL 电路如图 2-75 所示，电路中有错误的是_____。

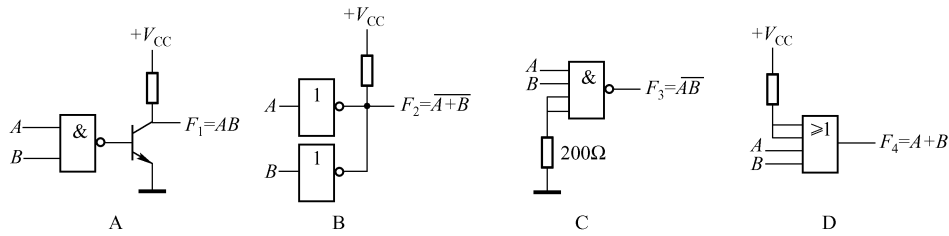


图 2-75

- 2.21 如果控制信号为高电平有效，则控制门应选择_____。
- A. 与门 B. 或门 C. 异或门 D. 与非门
- 2.22 以下_____系列是 TTL 电路。
- A. 54 B. LS C. 4000 D. 74HC
- 2.23 输出端可以并联使用的门有_____。
- A. OC 门 B. 传输门 C. 三态门 D. OD 门
- 2.24 相对 CMOS 电路，双极型电路的特点是_____。
- A. 高集成度 B. 高速 C. 强电流驱动能力 D. 低功耗

四、判断题（正确的在括号中打“√”，错误的打“×”）

- 2.25 有源推拉式输出的门电路输出端可以并联。（ ）
- 2.26 门电路的噪声容限越小，抗干扰能力越强。（ ）
- 2.27 门电路工作时的功耗越大越好。（ ）
- 2.28 扩展器可以增加逻辑门的扇入系数。（ ）
- 2.29 低电平有效的三态门，当使能端为低电平时，输出端呈高阻态。（ ）
- 2.30 三态门的输出端可以直接相连，但同一时刻只能允许一个三态门有效，其他三态门要处于高阻状态。（ ）
- 2.31 门电路的传输延迟时间越小，所允许的最高工作频率越高。（ ）
- 2.32 存放 CMOS 电路的容器可以是任意材料制成的。（ ）
- 2.33 同一块集成电路中的同类型 CMOS 门电路可以并联使用，以提高驱动能力。（ ）
- 2.34 TTL 与非门不用的输入端可以悬空。（ ）
- 2.35 门电路输出端的滤波电容不能太大，否则会使动态功耗增加，电路性能变坏。（ ）
- 2.36 数字电路通电后，可以任意插拔电路中的元器件。（ ）
- 2.37 每块数字集成电路在工作时，都要正确连接上它的直流电源。（ ）
- 2.38 MOS IC，不用的输入端允许悬空。（ ）

第3章 组合逻辑电路

知识目标

- (1) 了解组合逻辑电路的分析方法、设计方法。
- (2) 理解编码器、译码器、数据选择器/分配器等常用组合逻辑电路的基本概念，掌握它们的功能。
- (3) 了解克服竞争与冒险的方法。

技能目标

- (1) 能正确使用集成组合逻辑电路模块。
- (2) 能对常用的集成组合逻辑电路模块进行功能扩展。

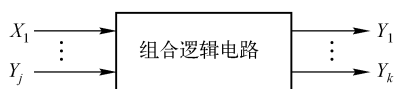


图 3-1 组合逻辑电路组成框图

数字逻辑电路分成两大类：一类为组合逻辑电路，另一类为时序逻辑电路。组合逻辑电路一般有若干个输入端，一个或若干个输出端，如图 3-1 所示，其特点是在任意时刻、任一输出信号的逻辑取值仅由该时刻全部输入信号逻辑取值的组合决定，而与电路之前的状态无关。

本章首先简介组合逻辑电路的分析和设计方法，然后介绍常用的组合逻辑电路，如编码器、译码器、数值比较器等，重点是这些模块电路的逻辑功能和使用方法，所给内部电路可作为资料。本章最后对竞争与冒险现象的成因以及克服的方法进行了简单的讨论。

3.1 组合逻辑电路的分析

分析组合逻辑电路，就是根据逻辑图找出输入与输出之间的逻辑关系，确定逻辑功能。具体步骤如图 3-2 所示。



图 3-2 组合逻辑电路的分析步骤

例 3-1 分析图 3-3 所示逻辑电路。

解：根据已知逻辑图，写出输出 S 和 C 的表达式：

$$S = A \oplus B; \quad C = AB$$

根据表达式列真值表 3-1。分析表 3-1 可见，若把 A, B 看成是两个 1 位二进制数， S 就是二者之和， C 是进位。该电路只考虑本位两数相加的和以及向高位的进位，不考虑低位

进位，称之为半加器。 A 、 B 是加数， S 是本位和， C 是向高一位的进位。

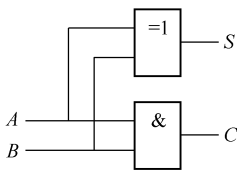


图 3-3 例 3-1 逻辑图

表 3-1 例 3-1 真值表

A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

例 3-2 分析图 3-4 所示逻辑电路。

解：由图知

$$F_1 = A \odot B; F_2 = C \odot D; F = F_1 \odot F_2$$

列出真值表如表 3-2 所示。可见，当输入信号 A 、 B 、 C 、 D 中 1 的总个数为奇数时，输出 F 为 0；反之， F 为 1。输出信号 F 的逻辑取值反映了四个输入信号中含 1 的个数是奇数，还是偶数，因此，该电路实现了 4 位奇偶校验功能，被称为 4 位奇偶树或奇偶校验电路。

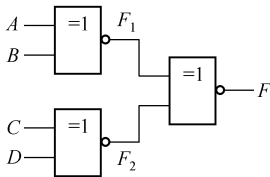


图 3-4 例 3-2 逻辑图

表 3-2 例 3-2 真值表

A	B	C	D	F_1	F_2	F
0	0	0	0	1	1	1
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	1	1
0	1	0	0	0	1	0
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	0	1	0
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	1	1

思考与练习

分析图 3-5 所示组合逻辑电路。

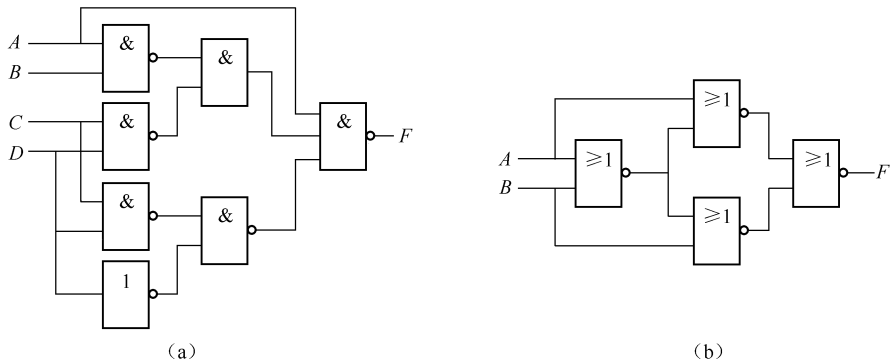


图 3-5

3.2 组合逻辑电路的设计

组合逻辑电路的设计步骤如图 3-6 所示。根据给定的逻辑问题首先列真值表，求逻辑函数最简式，画出逻辑图。在画逻辑图之前，有时还需要消除电路的冒险现象（3.4 节介绍）。

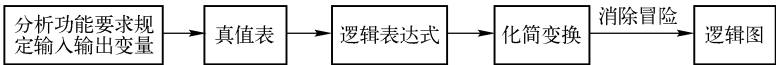


图 3-6 组合逻辑电路的设计步骤

例 3-3 试设计一个全加器。

解：全加器与半加器相比要考虑低位的进位。设：全加器用于二进制数第 i 位的运算， A_i, B_i 为加数， C_{i-1} 为低一位来的进位输入， S_i 为本位和， C_i 为向高一位的进位，全加器的真值表如表 3-3 所示，由真值得：

$$S_i = \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1} = A_i \oplus B_i \oplus C_{i-1}$$
$$C_i = \overline{A_i} B_i C_{i-1} + A_i \overline{B_i} C_{i-1} + A_i B_i \overline{C_{i-1}} + A_i B_i C_{i-1} = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

根据 S_i 与 C_i 表达式，画全加器逻辑图如图 3-7（a）所示。图 3-7（b）是全加器的逻辑符号，其中“总限定符号”“ Σ ”表示输出是对输入信号的求和运算。

表 3-3 全加器真值表

输 入			输 出	
A_i	B_i	C_{i-1}	C_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

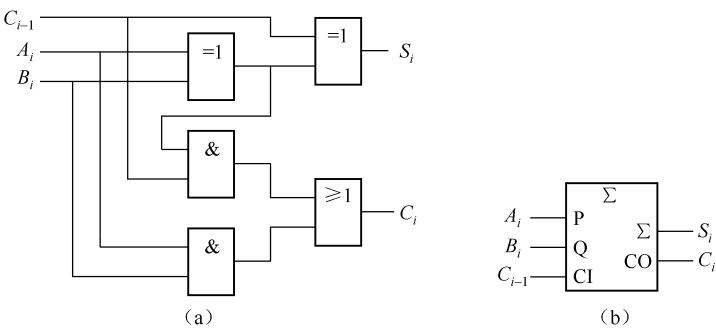


图 3-7 全加器

思考与练习

（1）分别用与非门设计能实现以下逻辑功能的电路，这些电路能应用于哪些场合？

- ① 四变量多数表决器（四个变量中有多数变量为 1 时，输出为 1）。
- ② 三变量判奇电路（三个变量中奇数个变量为 1 时，输出为 1）。
- ③ 三变量一致电路（当变量全部相同时，输出为 1，否则为 0）。

（2）热水器工作时的水位不能太低也不能太高。如图 3-8 所示，水面在 A 线以下为危险状态；在 A、B 之间和在 C 以上为异常状态；在 B、C 之间为正常状

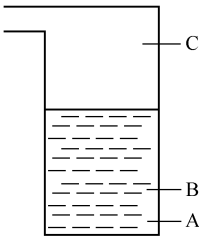


图 3-8

态。现安装自动报警装置，要求在正常状态时点亮绿灯；异常状态时点亮黄灯；危险状态时点亮红灯并发出报警声。试用与非门组成一个控制电路，实现上述要求。

3.3 常用的组合逻辑电路

3.3.1 加法器

半加器或者全加器可以完成两个 1 位数的加法运算。如果是两个多位数相加，由于每一位都要考虑低位进位，因此必须使用全加器，依次将低位全加器进位输出端接到高位全加器进位输入端，就可实现多位加法运算。如图 3-9 所示就是根据上述原理接成的 4 位加法器。由于每一位相加结果必须等到低一位的进位产生以后才能建立，因此这种结构也叫做逐位进位加法器或串行进位加法器。

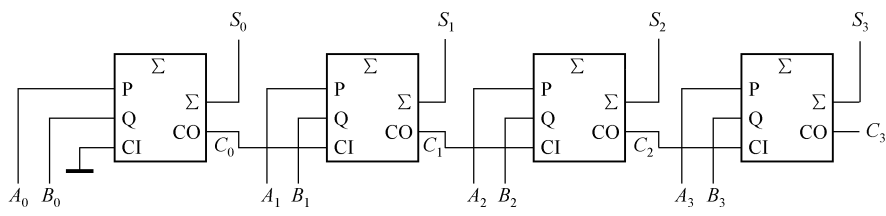


图 3-9 4 位串行进位加法器

串行进位加法器的优点是电路结构比较简单，缺点是运算速度慢。为了克服这一缺点，设计出了超前进位加法器。超前进位的思想是考虑加到第 i 位的进位输入信号是由两个加数 A 、 B 在第 i 位以前的各位状态共同决定，也就是说第 i 位的进位输入信号 C_{i-1} 由 $A_{i-1}A_{i-2}\cdots A_0$ 和 $B_{i-1}B_{i-2}\cdots B_0$ 唯一确定。根据这一想法，就可以由 $A_{i-1}A_{i-2}\cdots A_0$ 和 $B_{i-1}B_{i-2}\cdots B_0$ 直接来运算 C_{i-1} ，如图 3-10 所示，而无须再从最低位开始向高位逐位传递进位信号，从而有效地提高了运算速度。74283 就是采用超前进位的 4 位加法器，逻辑符号如图 3-11 所示。

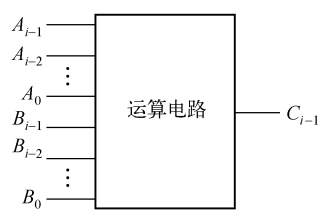


图 3-10 超前计算第 i 位进位的示意图

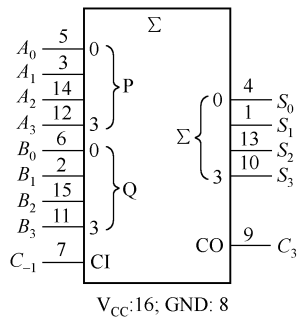


图 3-11 4 位加法器逻辑符号

应用实例

加法器除能进行二进制加法运算外，还可实现码制转换、二进制减法运算、十进制加法运算等功能。下面举一例介绍。

如图 3-12 所示是用一片 74283 将 8421 码转换成余 3 码的码制转换电路。观察表 1-2 不难发现，余 3 码是由 8421 码加 3 形成。由图 3-12 电路可得：

$$Y_3 Y_2 Y_1 Y_0 = A_3 A_2 A_1 A_0 + B_3 B_2 B_1 B_0 + C_0 = ABCD + 0011 + 0 = ABCD + 0011$$

所以，从 $A_3 A_2 A_1 A_0$ 输入 8421 码时，从 $Y_3 Y_2 Y_1 Y_0$ 得到的是与输入 8421 码对应的余 3 码。

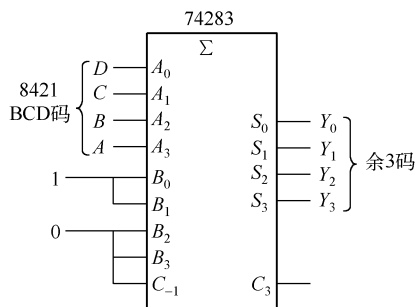


图 3-12 码制转换电路

3.3.2 编码器和优先编码器

1. 编码器

广义讲，用文字、符号或数码表示特定的对象都可以称为编码，例如，为考生编考号，为用户分配电话号码等。用十进制或文字符号编码难以用电路实现，所以在数字电路中采用二进制编码，即用一定位数的二进制码表示不同的数或字符，这些二进制码被称为代码。

能够完成编码的电路称为编码器。例如，计算机键盘就是一个编码器，每按下一键，它便自动将该键产生的信号编成一个对应的代码送入机器中。编码器一般有多个输入端、多个输出端，每一个输入端线代表一个数符，而全部输出线状态代表与某一个输入数符相对应的二进制代码。在任意时刻编码器只能有一个输入端有信号输入。例如，若输入信号为高电平有效，则某一时刻只应有一条输入线为高电平，而其余输入线均为低电平。

例 3-4 设计一个八进制/二进制编码器。

解：根据题意知，编码器应有 8 个输入端，代表 0~7 共 8 个八进制的数字，这 8 个输入端分别用 $A_0 \sim A_7$ 表示；输出用二进制码表示对 8 个数字的编码，二进制码应为 3 位，分别用 F_2, F_1, F_0 表示。列编码真值表（简称编码表）如表 3-4 所示。

表 3-4 例 3-4 编码表

输 入								输 出		
A_0	A_1	A_2	A_3	A_4	A_5	A_6	A_7	F_2	F_1	F_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

由表可见，输入变量互相排斥，根据第 1 章 1.5.3 例 1-15 的结论得 F_2, F_1, F_0 表达式为：

$$F_2 = A_4 + A_5 + A_6 + A_7; F_1 = A_2 + A_3 + A_6 + A_7; F_0 = A_1 + A_3 + A_5 + A_7$$

用或门实现该编码器，画逻辑图如图 3-13 所示。由于该编码器有 8 个输入端，3 个输出端，所以又称为 8-3 线编码器。

2. 优先编码器

上述编码器同一时刻只允许有一个输入信号，即输入信号互斥。而优先编码器则不同，它允许几个信号同时输入，但电路只对其中优先级别最高的一个信号编码，即优先编码。

例 3-5 分析 10-4 线优先编码器 74147，逻辑符号如图 3-14 所示，其中总限定符号“HPRI/BCD”，HPRI 表示输入优先编码，BCD 表示输出 BCD 码。表 3-5 所示是其功能表。

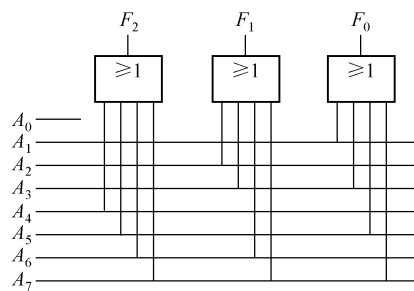


图 3-13 8-3 线编码器

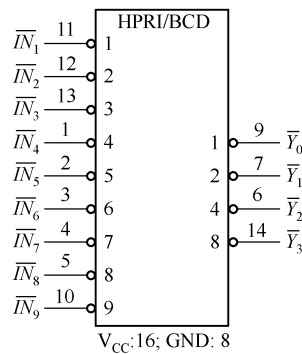


图 3-14 74147 逻辑符号

表 3-5 74147 功能表

十进制数	输入									输出			
	\overline{IN}_1	\overline{IN}_2	\overline{IN}_3	\overline{IN}_4	\overline{IN}_5	\overline{IN}_6	\overline{IN}_7	\overline{IN}_8	\overline{IN}_9	\overline{Y}_3	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0
9	×	×	×	×	×	×	×	×	0	0	1	1	0
8	×	×	×	×	×	×	×	0	1	0	1	1	1
7	×	×	×	×	×	×	0	1	1	1	0	0	0
6	×	×	×	×	×	0	1	1	1	1	0	0	1
5	×	×	×	×	0	1	1	1	1	1	0	1	0
4	×	×	×	0	1	1	1	1	1	1	0	1	1
3	×	×	0	1	1	1	1	1	1	1	1	0	0
2	×	0	1	1	1	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1	1	1

解：由表 3-5 可见，74147 具有输入低电平有效，大数优先编码功能。电路将 9 线数据 $\overline{IN}_1 \sim \overline{IN}_9$ 进行 4 线 8421BCD 大数优先编码，并输出反码，例如，当 \overline{IN}_8 输入低电平时， $\overline{IN}_1 \sim \overline{IN}_7$ 输入电平任意，但 \overline{IN}_9 必须输入高电平，这时有效输入中大数优先级别最高的是“8”，所以编码器按十进制数 8 所对应的 BCD 反码 $\overline{1000} = 0111$ 输出。此编码器省去了 \overline{IN}_0 输入线，原因是当 $\overline{IN}_1 \sim \overline{IN}_9$ 均为高电平时，编码器输出十进制数 0 的 BCD 反码，相当于十进制数 0 被

编码。

如图 3-15 所示为 8-3 线优先编码器 74HC148 的逻辑图及符号， $\overline{IN}_0 \sim \overline{IN}_7$ 表示 8 位输入， $\overline{Y}_0 \sim \overline{Y}_2$ 表示 3 位二进制编码输出，输入、输出均低电平有效，各端上的小圈不仅表示逻辑非，还表示是以逻辑 0 电平作为有效工作电平。为了扩展功能，电路增加了使能输入端 \overline{S} （低电平有效）、优先编码标志输出端 \overline{GS} （低电平有效）、使能输出端 Y_S （高电平有效）。

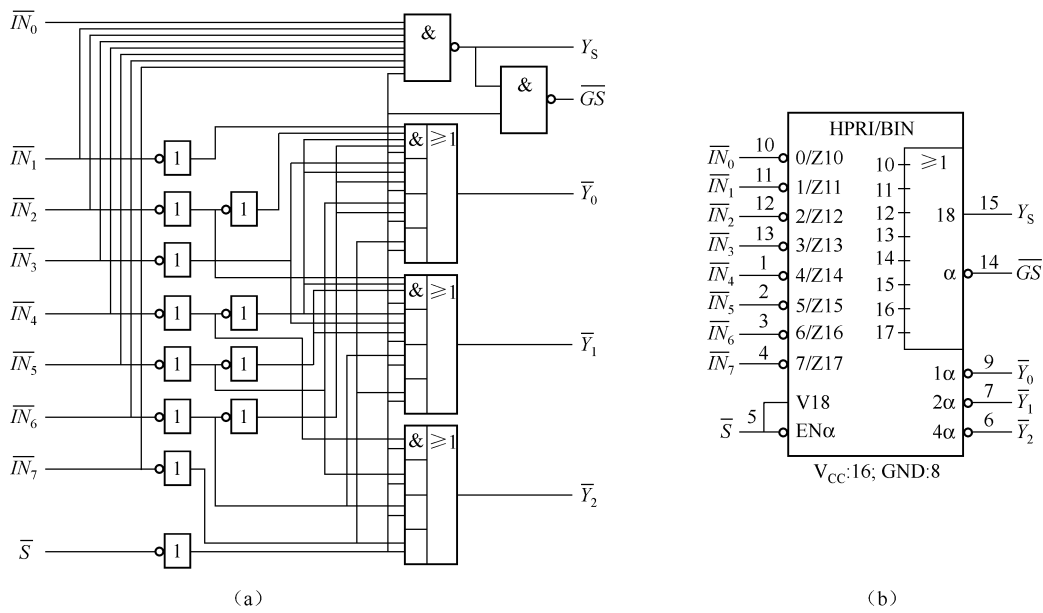


图 3-15 8-3 线优先编码器 74HC148

74HC148 功能表如表 3-6 所示，分析此表可知：

表 3-6 74HC148 功能表

输 入									输 出				
\overline{S}	\overline{IN}_0	\overline{IN}_1	\overline{IN}_2	\overline{IN}_3	\overline{IN}_4	\overline{IN}_5	\overline{IN}_6	\overline{IN}_7	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	\overline{GS}	Y_S
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	x	x	x	x	x	x	x	0	0	0	0	0	1
0	x	x	x	x	x	x	0	1	0	0	1	0	1
0	x	x	x	x	0	1	1	1	0	1	1	0	1
0	x	x	x	0	1	1	1	1	1	0	0	0	1
0	x	x	0	1	1	1	1	1	1	0	1	0	1
0	x	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

成译码的电路称为译码器，也称解码器。

1. 二进制译码器

二进制译码器又称全译码器，它有 N 个输入端， 2^N 个输出端，把 N 个输入视为二进制数，对应每一种输入取值组合，只有一个输出端是有效电平，其它输出端均为无效电平。

如图 3-17 所示是 2-4 线译码器逻辑图。2 个输入为 A_1 、 A_0 ；4 个输出为 $Y_0 \sim Y_3$ ，其中，

$$Y_0 = \overline{A_1} \overline{A_0}; \quad Y_1 = \overline{A_1} A_0; \quad Y_2 = A_1 \overline{A_0}; \quad Y_3 = A_1 A_0$$

根据以上各式列出的 2-4 线译码器功能表如表 3-7 所示。当输入 $A_1 A_0$ 由 00→01→10→11 时，输出 $Y_0 \sim Y_3$ 轮流输出高电平，即译码器输出高电平有效。

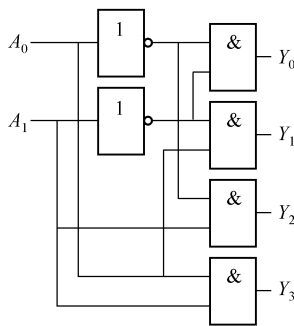


表 3-7 译码器功能表

输 入		输 出			
A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

图 3-17 2-4 线译码器

图 3-18 所示是 3-8 线译码器 74LS138 的逻辑符号，输入为 3 位二进制数，有 8 个低电平互斥的输出。使能控制 $S = S_1 \cdot \overline{S_2} \cdot \overline{S_3}$ ， S_1 高电平有效， $\overline{S_2}$ 、 $\overline{S_3}$ 低电平有效，即当 $S_1 = 1$ ， $\overline{S_2} = \overline{S_3} = 0$ 时，译码器译码，根据输入 $A_0 \sim A_2$ 组合， $\overline{Y_0} \sim \overline{Y_7}$ 中有一位输出低电平。功能表见表 3-8。

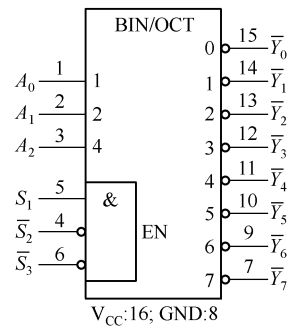


表 3-8 74LS138 功能表

使能控制输入			输 入			输 出							
S_1	$\overline{S_2}$	$\overline{S_3}$	A_3	A_2	A_1	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	1	1	1	0	1

图 3-18 3-8 线译码器
74LS138

利用两片 74LS138 可以实现 4 - 16 线译码，如图 3-19 所示。图中，4 位输入为 $ABCD$ ， A 为最高位。当 $A=0$ 时，片①工作； $A=1$ 时，片②工作。

例 3-6 用 74LS138 并辅以适当门电路实现逻辑函数 $F = \sum m(1,3,4)$ 。

解：分析全译码器的功能可知，它的每个输出端对应一个最小项。又 74LS138 是反码输出，所以，

$$F = \sum m(1,3,4) = m_1 + m_3 + m_4 = \overline{\overline{m_1 + m_3 + m_4}} = \overline{\overline{m_1} \overline{m_3} \overline{m_4}} = \overline{\overline{Y_1} \overline{Y_3} \overline{Y_4}}$$

上式表明，在 74LS138 输出端外接一个与非门便可实现逻辑函数 F ，电路接法如图 3-20 所示。

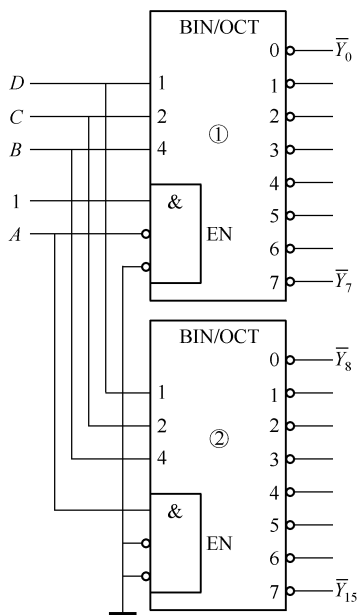


图 3-19 3-8 线译码器功能扩展

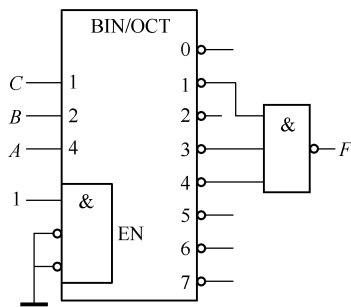


图 3-20 用全译码器实现逻辑函数

典型应用

全译码器用途很广，最为典型的是在计算机或手机中作地址译码器。图 3-21 所示是在计算机系统中作地址译码器选通芯片，CPU 首先送出地址信号 $A_n A_x$ ，然后送出片使能信号 \overline{IO} ，通过 2 - 4 线译码器译码，选中 4 片 IC 中的一片与 CPU 通过数据总线进行数据交换。双线是总线符号的另一表示方法，箭头表示信息的传输方向，因此图中总线都是双向总线。

2. 码制变换译码器

码制变换译码器能将一种码制（或数制）的代码转换成另一种码制（或数制）的代码。通常码制变换器的输出端数 $M < 2^N$ （ N 为输入端数），所以又被称为部分译码器。

74LS42 是 4 - 10 线译码器，它接收高电平有效的 4 位 8421BCD 码输入，并提供 10 个

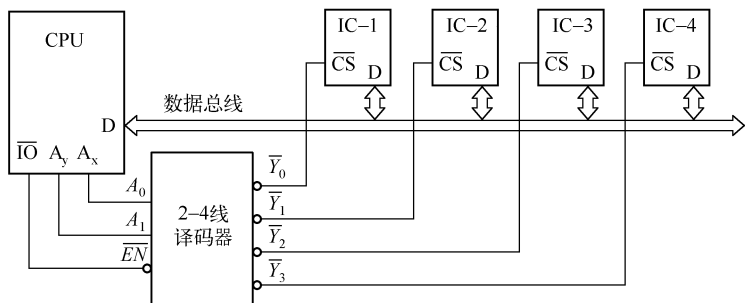


图 3-21 利用译码器选通芯片示意图

互斥低电平有效输出，若输入二进制码大于 9，则所有输出均为高电平。功能如表 3-9 所示。

表 3-9 74LS42 作 4 - 10 线译码功能表

十进制	BCD 码输入				输 出										逻辑符号
	A_3	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7	\bar{Y}_8	\bar{Y}_9	
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1	
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1	
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1	
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1	
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1	
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1	
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1	
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1	
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0	
无效码	1	0	1	0	全部为 1										
	1	0	1	1											
	1	1	0	0											
	1	1	0	1											
	1	1	1	0											
	1	1	1	1											

74LS42 也可作 3 - 8 线译码器，这时最高位输入 A_3 端作为使能端，功能示于表 3-10。

3. 显示译码器

在数字系统中，有时需要将译码的结果以数码的形式显示出来，这时就要用显示译码器。显示译码器能将输入代码译成相应的高低电平，并利用此电平驱动数码显示器件。

LED 数码显示器具有工作电压低、响应速度快、色彩鲜艳（发红光、绿光及其中间色光等）、亮度较高、寿命长、工作稳定可靠等优点，缺点是工作电流较大。

另一种常用的七段字符显示器是液晶显示器。液晶即液态晶体，是一种既具有液体的流动性又具有光学特性的有机化合物。它的透明度和呈现的颜色受外加电场的控制，字符显示器就是利用这一特性做成的。

在没有外加电场的情况下，液晶分子按一定取向整齐地排列着，如图 3-24（a）所示。这时液晶为透明状态，射入的光线大部分被反射电极反射回来，显示器呈灰白色。在电极上加电压后，液晶分子因电离而产生正离子，这些正离子在电场作用下运动并碰撞其他液晶分子，破坏了液晶分子的整齐排列，如图 3-24（b）所示，使液晶呈现混浊状态。这时射入的光线散射后仅有少量反射回来，因此显示器呈黑灰色。外加电场消失后，液晶又恢复到整齐排列的状态。如果将七段透明的电极排成“8”形，如图 3-24（c）所示，那么只要选择不同的电极组合并加以正电压，便能显示出各种字符来。

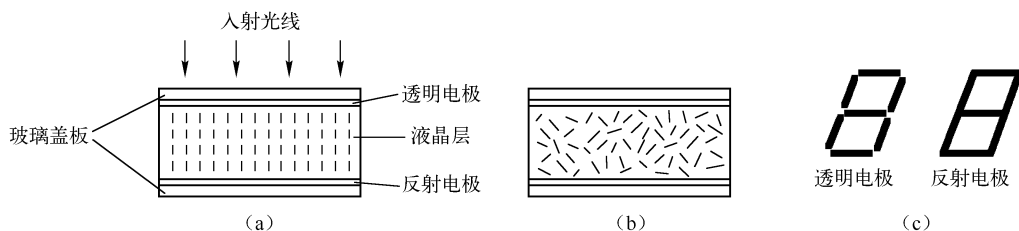


图 3-24 液晶显示器的结构

为了使离子撞击液晶分子的过程不断进行，通常在液晶显示器的两个电极上加以 30 ~ 100Hz 的交流方波电压。对交流电压的控制可以用异或门实现，如图 3-25（a）所示。 u_i 是外加固定频率的对称方波电压。当 $A = 0$ 时，液晶两端的电压 $u_L = u_i - u_o = 0V$ ，显示器不工作，呈灰白色；当 $A = 1$ 时， u_L 为幅度等于两倍 u_i 的对称方波，显示器工作，呈黑灰色。各点电压的波形示于图 3-25（b）中。

液晶显示器的最大优点是功耗极小，每平方厘米的功耗在 $1\mu W$ 以下。它的工作电压也很低，在 1V 以下仍能工作。因此，液晶显示器在电子表以及小型便携式仪器、仪表中得到了广泛的应用。但是，由于它本身不发光，仅仅靠反射外界光线显示字形，所以亮度很差。此外，它的响应速度较低（在 10 ~ 200ms 范围），限制了它在快速系统中的应用。

（2）显示译码器。配合各种七段显示器有专用的七段译码器，下面结合 74LS47 进行介绍。74LS47 逻辑图及逻辑符号如图 3-26 所示，功能表见表 3-11。它是 4 线 - 七段译码器/驱动器， $A_3A_2A_1A_0$ 为 4 线输入； $\bar{a} \sim \bar{g}$ 为七段输出，低电平有效，能直接驱动共阳极显示器

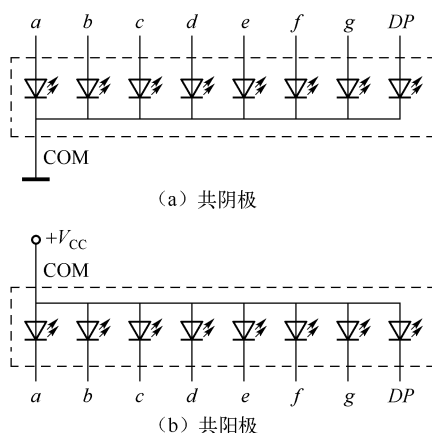


图 3-23 发光二极管的连接方式

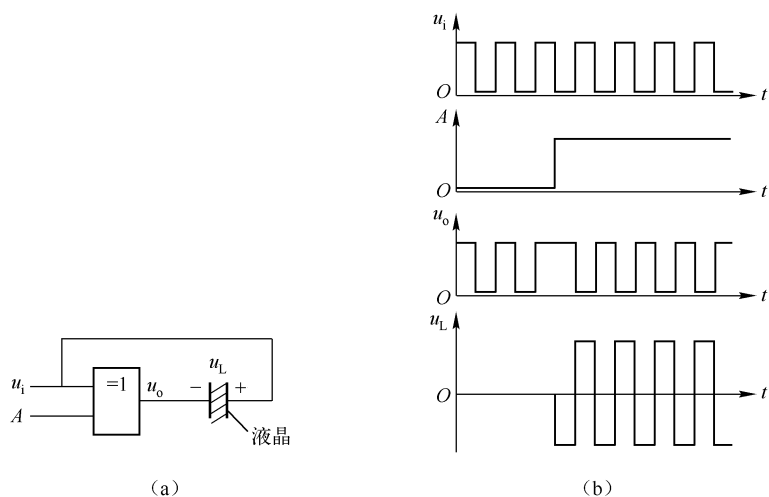


图 3-25 用异或门驱动液晶显示器

件。如 $A_3A_2A_1A_0 = 0111$ 时, $\bar{a} = \bar{b} = \bar{c} = 0$, $\bar{d} = \bar{e} = \bar{f} = \bar{g} = 1$, 用 $\bar{a} \sim \bar{g}$ 驱动共阳极显示器件, 便可显示数字 7。

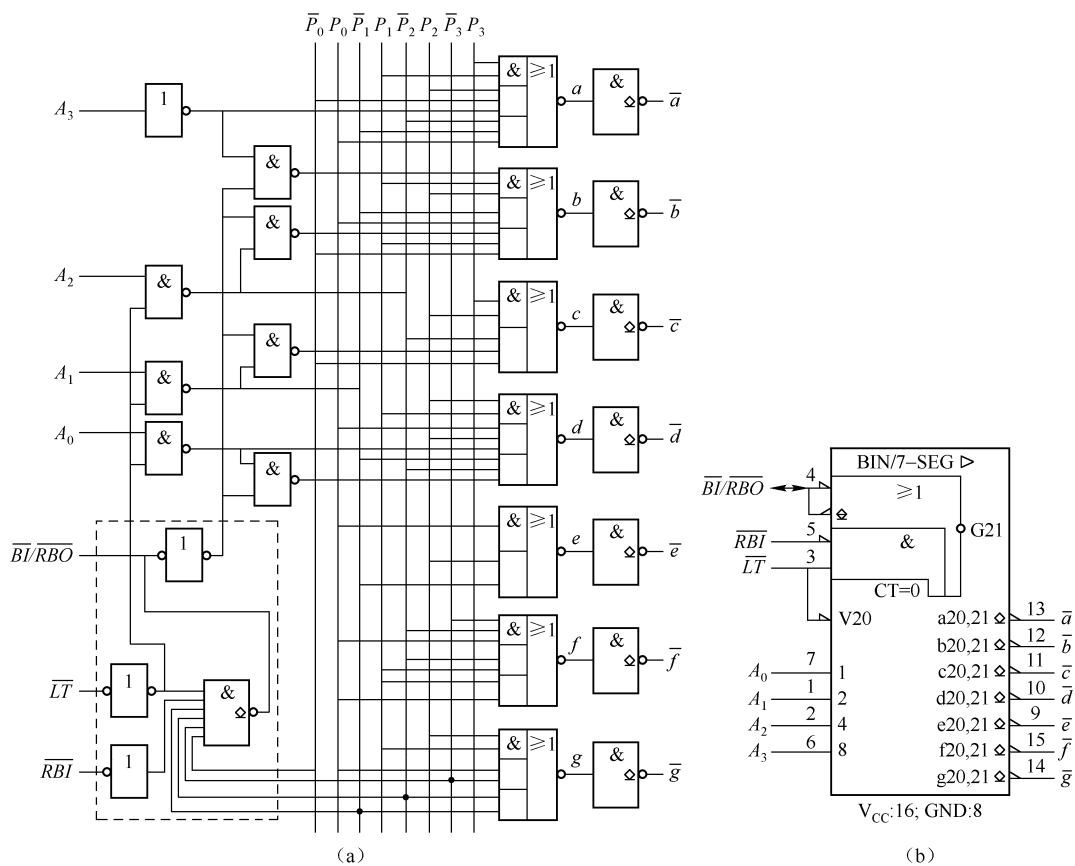


图 3-26 74LS47 的逻辑图与逻辑符号

表 3-11 74LS47 功能表

十进制数或功能	输 入						$\overline{BI}/\overline{RBO}$	输 出						
	\overline{LT}	\overline{RBI}	A_3	A_2	A_1	A_0		\overline{a}	\overline{b}	\overline{c}	\overline{d}	\overline{e}	\overline{f}	\overline{g}
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1
1	1	×	0	0	0	1	1	1	0	0	1	1	1	1
2	1	×	0	0	1	0	1	0	0	1	0	0	1	0
3	1	×	0	0	1	1	1	0	0	0	0	1	1	0
4	1	×	0	1	0	0	1	1	0	0	1	1	0	0
5	1	×	0	1	0	1	1	0	1	0	0	1	0	0
6	1	×	0	1	1	0	1	1	1	0	0	0	0	0
7	1	×	0	1	1	1	1	0	0	0	1	1	1	1
8	1	×	1	0	0	0	1	0	0	0	0	0	0	0
9	1	×	1	0	0	1	1	0	0	0	1	1	0	0
10	1	×	1	0	1	0	1	1	1	1	0	0	1	0
11	1	×	1	0	1	1	1	1	1	0	0	1	1	0
12	1	×	1	1	0	0	1	1	0	1	1	1	0	0
13	1	×	1	1	0	1	1	0	1	1	0	1	0	0
14	1	×	1	1	1	0	1	1	1	1	0	0	0	0
15	1	×	1	1	1	1	1	1	1	1	1	1	1	1
消隐	1	×	×	×	×	×	0	1	1	1	1	1	1	1
脉冲消隐	1	0	0	0	0	0	0	1	1	1	1	1	1	1
试灯	0	×	×	×	×	×	1	0	0	0	0	0	0	0

\overline{LT} 为试灯输入端，用以检查数码管七段是否都能发光，低电平有效。当 $\overline{LT}=0$ 且 $\overline{BI}=1$ 时，无论其它输入端状态如何， $\overline{a} \sim \overline{g}$ 输出均为0，数码管七段全亮。当 $\overline{LT}=1$ 时，译码器译码显示。

\overline{RBI} 为灭零输入端，作用是将数码管显示的数字0熄灭。 $\overline{LT}=1$ 且 $\overline{RBI}=0$ ，当输入数码 $A_3A_2A_1A_0=0000$ 时， $\overline{a} \sim \overline{g}$ 输出均为1，数码管无显示，即灭零。若 $\overline{LT}=1$ 且 $\overline{RBI}=0$ ，而 $A_3A_2A_1A_0 \neq 0000$ 时，数码管正常显示数码。不需要灭零时，应使 $\overline{RBI}=1$ 。

灭灯输入与动态灭零输出共用一端 $\overline{BI}/\overline{RBO}$ ，也就是 $\overline{BI}/\overline{RBO}$ 既可以作为输入端也可以作为输出端。当作为输入端用时称为灭灯输入控制端，利用灭灯输入信号 \overline{BI} 控制数码管按照需要显示或不显示。当 $\overline{BI}=0$ 时，无论 $A_3 \sim A_0$ 状态如何，数码管均无显示。 \overline{BI} 是级别最高的控制信号。

当 $\overline{BI}/\overline{RBO}$ 作为输出端时称为灭灯输出端。多位显示时，灭零输出信号 \overline{RBO} 与 \overline{RBI} 配合可以消去小数的前零和无用的尾零。当 $\overline{LT}=1$ ，本位 $\overline{RBI}=0$ 且输入数码 $A_3A_2A_1A_0=0000$ 时， $\overline{RBO}=0$ 。例如，如果将8位数字00203.400显示成203.4可按图3-27连接。图中用了8片

74LS47, 各片 $\overline{LT}=1$ 。将第①片 \overline{RBI} 接地即 $\overline{RBI}_1=0$, 又因这片输入数码为 0000, 所以本位数字 0 不显示, 而且本位 $\overline{RBO}_1=0$ 。将 \overline{RBO}_1 连接到第②片 \overline{RBI} 端, 又使 $\overline{RBI}_2=0$, 加之第②片输入数码也为 0000, 所以②的数字 0 也不显示。第②片 \overline{RBO} 接到第③片 \overline{RBI} 端虽使 $\overline{RBI}_3=0$, 但因③输入数码不是 0000, 而是 0010, 因而可以正常显示数字 2, 且 $\overline{RBO}_3=1$ 。第④片 $\overline{RBI}_4=1$, 虽然输入数码是 0000, 但仍能显示数字 0。第⑤与第⑥片的 \overline{RBI} 为 1, 可显示由输入决定的任何数字, 所以⑤显示数字 3, ⑥显示数字 4。而第⑧片 $\overline{RBI}_8=0$, 本位输入数码 0000 将被熄灭, 同时 $\overline{RBO}_8=0$, 使 $\overline{RBI}_7=0$, 片⑦被灭零。

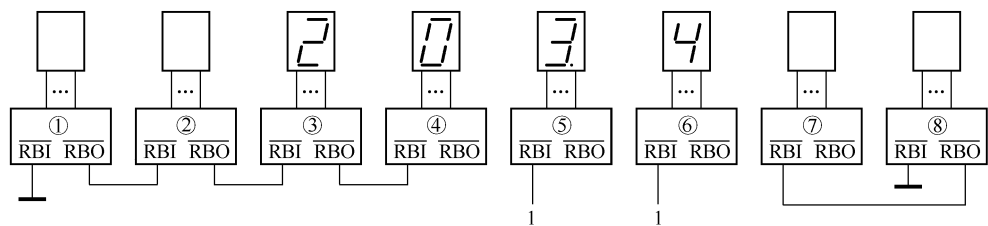


图 3-27 8 位数字显示

例 3-7 画出用 74LS47 驱动数码管 LA5011 的 1 位数码显示电路, 要求同时显示小数点。

解: LA5011 的引脚为上下排列, 引脚序号如图 3-28 (a) 所示 (两侧排列的引脚, 左上角第 1 针为第 1 脚), 它是共阳极显示器, 发红光, 电源电压 5V, 驱动电流 10~20mA。74LS47 为反码输出, OC 结构, 需外接上拉电阻, 最大工作电压 15V, 能为各显示段提供达 24mA 电流。根据上述分析, 画电路如图 3-28 (b) 所示, 图中排阻 (集中制作的 8 个阻值相同的电阻) $330\Omega \times 8$ 中的 7 个为 74LS47 的上拉电阻, 另一个为小数点段的限流电阻。

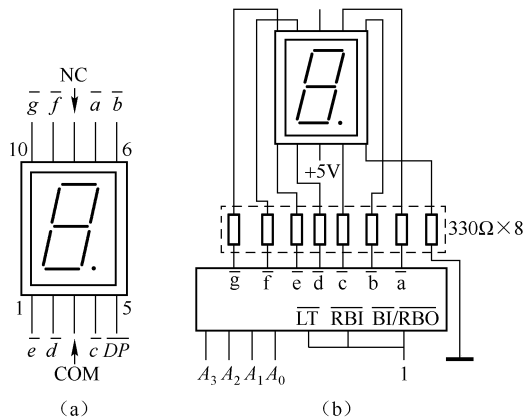


图 3-28 74LS47 与 LA5011 的连接

74LS47 用于 BCD 码输入 - 七段译码输出时, 若输入代码大于 9, 则显示不正常字符或不显示字符, 如图 3-22 所示。

3.3.4 数值比较器

数值比较器是用来比较两数大小的运算电路。

1. 1 位数值比较器

两个 1 位二进制数 A 和 B 进行比较的结果有三种: A 等于 B ; A 大于 B ; A 小于 B 。设 1 位数值比较器输入变量为 A 、 B ; 对应三种比较结果的输出分别为 $(A > B)_o$ 、 $(A < B)_o$ 、

$(A = B)_o$ ，且为高电平互斥变量，真值表如表 3-12 所示。由表 3-12 可得：

$$(A > B)_o \cdot A \bar{B} = A \cdot \bar{A} \bar{B}; \quad (A < B)_o = \bar{A} B = B \cdot \bar{A} \bar{B}; \quad (A = B)_o = \overline{A \oplus B} = \overline{A \bar{B} + \bar{A} B}$$

由以上各式画 1 位数值比较器逻辑图及逻辑符号如图 3-29 所示。

表 3-12 1 位数值比较器

A	B	$(A > B)_o$	$(A < B)_o$	$(A = B)_o$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

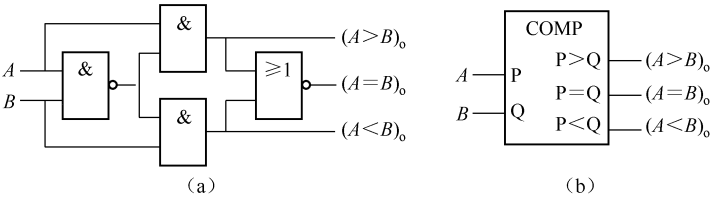


图 3-29 1 位数值比较器

2. 多位数值比较器

多位数值比较时从高位起开始比较，高位能比出大小便可立即做出结论。若高位相等，再去比较次高位，……。74HC85 是 4 位数值比较器，表 3-13 是其功能表。 $A_3 \sim A_0$ 和 $B_3 \sim B_0$ 是两个相比较 4 位二进制数的输入； $(A > B)_i$ ， $(A < B)_i$ ， $(A = B)_i$ 是级联输入，在多片连接时与低位片输出端相连； $(A > B)_o$ ， $(A < B)_o$ ， $(A = B)_o$ 是总比较结果输出。图 3-30 所示是其逻辑符号。

表 3-13 74HC85 功能表

比较输入				级联输入			输出		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$(A > B)_i$	$(A < B)_i$	$(A = B)_i$	$(A > B)_o$	$(A < B)_o$	$(A = B)_o$
$A_3 > B_3$	×	×	×	×	×	×	1	0	0
$A_3 < B_3$	×	×	×	×	×	×	0	1	0
$A_3 = B_3$	$A_2 > B_2$	×	×	×	×	×	1	0	0
$A_3 = B_3$	$A_2 < B_2$	×	×	×	×	×	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	×	×	×	×	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	×	×	×	×	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	×	×	×	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	×	×	×	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	0	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	1	0	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	0	1	0	0	1

利用级联端可以扩展数值比较器的比较位数。例如，两片 74HC85 按图 3-31 所示级联，可以对两个 8 位二进制数比较。两 8 位数码同时加到比较器输入端，低 4 位比较结果送到高 4 位比较器级联输入端，比较的最后结果由高 4 位数值比较器的输出端输出。

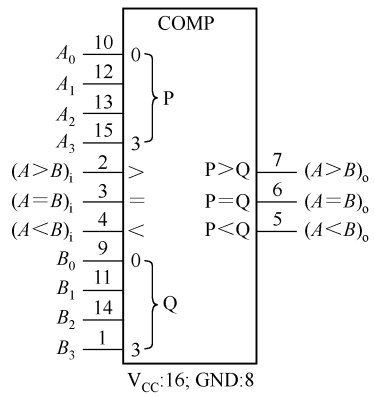


图 3-30 4 位数值比较器 74HC85

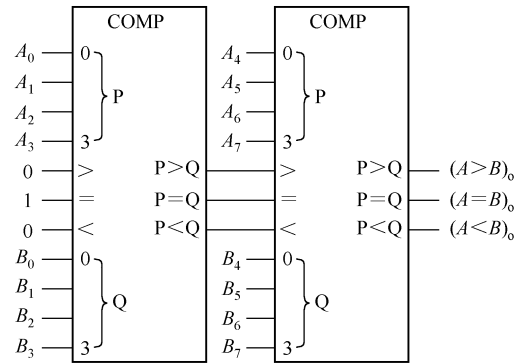


图 3-31 8 位数值比较器

3.3.5 数据选择器与分配器

1. 数据选择器

数据选择器是一种多输入、单输出电路，能在控制信号作用下，从多路输入数据中选择一路传输，也称多路调制器或多路开关。常用的数据选择器有 2 选 1，4 选 1，8 选 1，16 选 1 等。图 3-32 所示是 4 选 1 数据选择器，图（a）为逻辑图，其作用相当于一个单刀四掷的开关，示意如图（b）所示。图（c）是 4 选 1 数据选择器的逻辑符号。

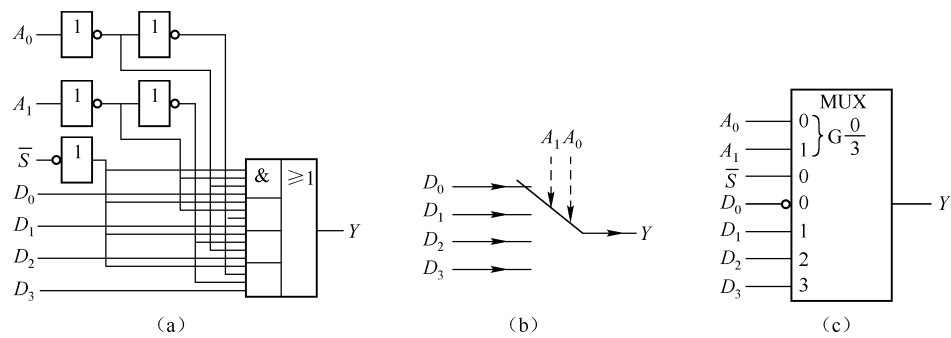


图 3-32 4 选 1 数据选择器

$D_0 \sim D_3$ 为数据输入端，其个数称为通道数； A_1 、 A_0 是控制信号或称地址输入信号、地址码。地址输入端数 M 与通道数 N 应满足 $N = 2^M$ 。根据 A_1 、 A_0 取值组合，选取 $D_0 \sim D_3$ 中 1 路数据传输至输出 Y ；输入控制端 \bar{S} 称为选通端，低电平有效，功能如表 3-14 所示。由表可得：

$$Y = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3 \cdot \bar{S}$$

当 $\bar{S}=1$ 时, $Y=0$, 数据选择器禁止传输数据; $\bar{S}=0$ 时, 有

$$Y = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

如果地址 $A_1 A_0$ 依次改变, 由 $00 \rightarrow 01 \rightarrow 10 \rightarrow 11$, 则选择器依次输出 $D_0 \rightarrow D_1 \rightarrow D_2 \rightarrow D_3$ 。可见, 数据选择器还能将同时输入的代码即并行输入代码, 转变为依次输出的代码即串行输出代码。

图 3-33 所示是 8 选 1 数据选择器 74LS251, 它有一对互补三态输出 Y 与 \bar{Y} , 选通 \bar{S} 为高电平时电路工作为禁止, 输出是高阻态, 因此, 允许多片输出并接以扩大通道数。

表 3-14 4 选 1 数据选择器功能表

输 入							输 出
\bar{S}	A_1	A_0	D_3	D_2	D_1	D_0	Y
1	x	x	x	x	x	x	0
0	0	0	x	x	x	0	0
0	0	0	x	x	x	1	1
0	0	1	x	x	0	x	0
0	0	1	x	x	1	x	1
0	1	0	x	0	x	x	0
0	1	0	x	1	x	x	1
0	1	1	0	x	x	x	0
0	1	1	1	x	x	x	1

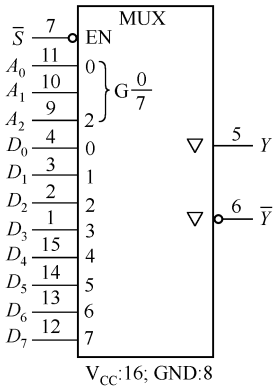


图 3-33 8 选 1 数据选择器 74LS251

应用实例

利用数据选择器能够实现逻辑函数。若数据选择器地址输入端为 N 个, 该数据选择器能够实现任意给定的有 $(N+1)$ 个输入变量的逻辑函数。其中 N 个变量作为地址输入, 剩下的 1 个变量, 根据需要以原变量或反变量的形式, 接到相应的数据输入端。

例 3-8 用数据选择器实现逻辑函数:

$$F = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} C \bar{D} + \bar{A} B \bar{C} \bar{D} + \bar{A} B C \bar{D} + A \bar{B} \bar{C} \bar{D} + A \bar{B} C \bar{D} + A B \bar{C} \bar{D} + A B C \bar{D}$$

解: F 是一个四变量函数, 所以要用具有三个地址输入端的选择器, 即用 8 选 1 数据选择器实现。令 8 选 1 数据选择器三个地址输入分别为 A 、 B 、 C 且 A 为高位, 则输出 Y 为

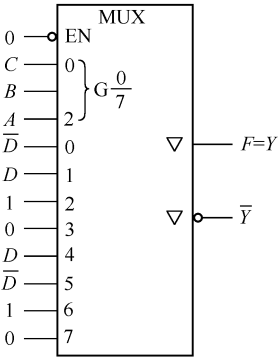


图 3-34 例 3-8 图

$$Y = \bar{A} \bar{B} \bar{C} D_0 + \bar{A} \bar{B} C D_1 + \bar{A} B \bar{C} D_2 + \bar{A} B C D_3 + A \bar{B} \bar{C} D_4 + A \bar{B} C D_5 + A B \bar{C} D_6 + A B C D_7$$

为了便于将 F 与 Y 比较, 对 F 作适当变换, 重写 F 如下:

$$F = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} C \bar{D} + \bar{A} B \bar{C} (\bar{D} + D) + A \bar{B} \bar{C} \bar{D} + A \bar{B} C \bar{D} + A B \bar{C} (\bar{D} + D)$$

比较 F 与 Y 表达式可知:

$$D_0 = \bar{D}; \quad D_1 = D; \quad D_2 = D + \bar{D} = 1; \quad D_3 = 0; \quad D_4 = D;$$

$$D_5 = \bar{D}; \quad D_6 = D + \bar{D} = 1; \quad D_7 = 0$$

现选用 74LS251, 按图 3-34 所示连接, 便可实现逻辑函

数 F 。

2. 数据分配器

能将 1 路输入变为多路输出的组合逻辑电路称为数据分配器，又称多路解调器。其功能与数据选择器相反，能将串行输入数据转变为并行输出数据。图 3-35 (a) 所示为 4 路数据分配器，功能相当于图 3-35 (b) 所示的单刀四掷开关， D 是数据输入端； A_1 、 A_0 是地址码输入端； $Y_0 \sim Y_3$ 是数据输出端。当 1 路数据送至 D 端，若地址码依次为 $00 \rightarrow 01 \rightarrow 10 \rightarrow 11$ ，数据便可分别从 Y_0 、 Y_1 、 Y_2 、 Y_3 依次输出。图 3-35 (c) 是 4 路数据分配器的逻辑符号。

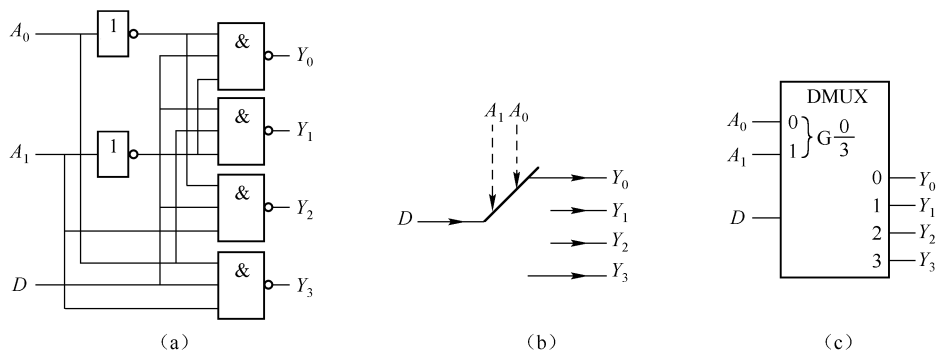


图 3-35 4 路数据分配器

若将 A_1 、 A_0 看做译码器的输入端， D 看做译码器的使能端，图 3-36 所示逻辑图与 2-4 线译码器完全一样。因此，任何带使能端的全译码器都可作数据分配器使用。

3. 双向开关

双向开关即数据选择/分配器，它既可作为数据选择器，又可作为数据分配器。图 3-36 所示是双向开关 CC4051，它为三态工作， \overline{INH} 是使能端，低电平有效； A_2 、 A_1 、 A_0 是地址码输入端； $D_0 \sim D_7$ 是数据输入/输出端； D_8 是数据输出/输入端。由符号“ \cap ”可知，CC4051 能够传输模拟信号，所以它是一个模拟双向开关。

工程应用

(1) 串并行数据转换。利用数据选择器可将并行数据转换成串行数据，而用数据分配器可将串行数据转换成并行数据。

图 3-37 所示是用 16 选 1 数据选择器/多路转换器 (3S) 74150 构成的并串行转换器。

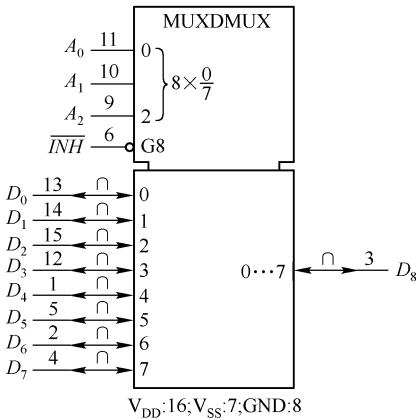


图 3-36 CC4051 逻辑符号

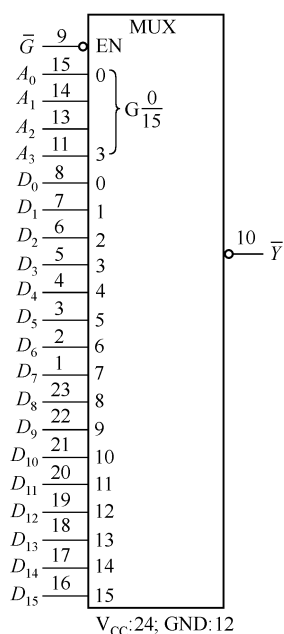


图 3-37 数据并行输入转换成串行输出

当使能控制 $\bar{G} = 0$ ，选择输入控制 $A_3A_2A_1A_0$ 由 0000 依次递增至 1111 时，16 位并行数据 $D_0 \sim D_{15}$ 依次被传送到输出端转换成串行数据。如果将 $D_0 \cdots D_{15}$ 预先设置为 0 或 1，则此时在选择输入 $A_3A_2A_1A_0$ 控制下， \bar{Y} 将输出所要求的序列信号，这时称电路为“可编序列信号发生器”。

(2) 实现总线传输。利用数据选择器和分配器可用一条数据线分时传送多路数据，图 3-38 示意地表示了这一概念。

(3) 扩展数据通道。如图 3-39 所示是利用选通端并附加门电路来扩展数据通道。74HC153 是双 4 选 1 数据选择器，在图示连接下实现了 8 选 1 功能。当 $\bar{S} = 0$ 时，选中上方选择器，根据 A_1A_0 取值组合，从 $D_0 \sim D_3$ 中选出 1 路数据输出；当 $\bar{S} = 1$ 时，选中下方选择器，从 $D_4 \sim D_7$ 中输出 1 路。

图 3-40 所示是数片选择器 74150 按树形结构组成的 256 选 1 多路开关。它采用分级选择的方法，即根据地址码低 4 位 $A_3A_2A_1A_0$ 由选择器 (1) ~ (16) 先进行一级选择，从 256 路数据中选出 16 路，再根据地址码高 4 位 $A_7A_6A_5A_4$ 由选择器 (17) 进行二级选择，最后选出 1 路数据输出。

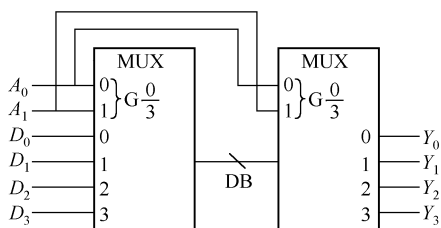


图 3-38 总线传输

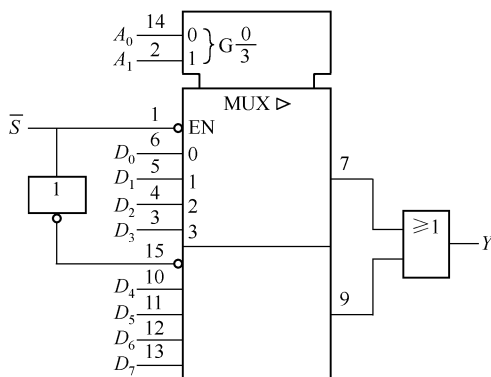


图 3-39 利用选通端扩充通道

本节最后列出部分集成组合逻辑电路产品于表 3-15 中，以供参考。

表 3-15 组合逻辑电路模块

类 型	功 能	型 号
加法器	双全加器	183
	4 位超前进位加法器	283, 4008
编码器	8-3 线优先编码器	148, 348, 4532, 14532
	10-4 线优先编码器	147, 40147

续表

类 型	功 能	型 号
译码器	4 - 16 线译码器/分配器	154, 159, 4514, 4515
	4 - 10 线译码器	42, 43, 44, 537, 4028
	双 2 - 4 线译码器/多路分配器	138, 238, 538, 548
	3 - 8 线译码器 (带地址锁存)	131, 137, 237, 547
数据选择器	16 选 1 数据选择器	150, 250, 850, 851, 4067
	双 4 选 1 数据选择器/多路转换器	153, 352, 4052, 4539
	四 2 选 1 数据选择器 (有存储)	604, 605, 606, 607
	双 8 选 1 数据选择器	351, 4097
代码转换器	BCD - 二进制代码转换器	184, 484
	二 - BCD 代码转换器	185, 485

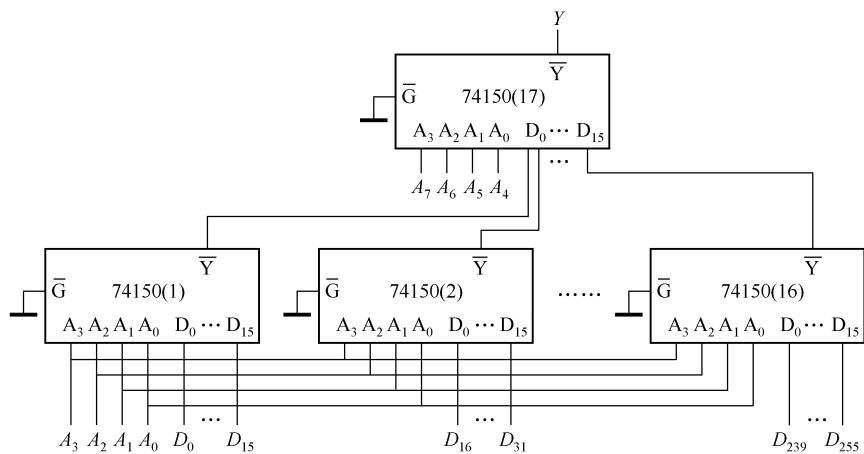


图 3-40 256 选 1 多路开关

思考与练习

- (1) 设计一个大数优先编码器，将十进制数转换成 2421BCD 码。
- (2) 分析图 3-16 中优先编码标志 GS 的逻辑取值。如果用 3 块 74HC148 组成 24 线输入优先编码器，请确定输出线数，并画出逻辑图。
- (3) 通过因特网或通过查阅器件手册，确定 74LS147 的功能。说明：手册中一般用“H”表示高电平，用“L”表示低电平，用“×”表示任意项。
- (4) 用一片 74LS138 并辅以适当门电路构成 4 - 10 线译码器，应如何连接？用数片 74LS138 构成 6 - 64 线译码器，应如何连接？
- (5) 写出图 3-41 所示电路中 F_1 、 F_2 、 F_3 、 F_4 的逻辑表达式。
- (6) 表 3-16 是 74LS48 功能表。根据表 3-16 回答下列问题：

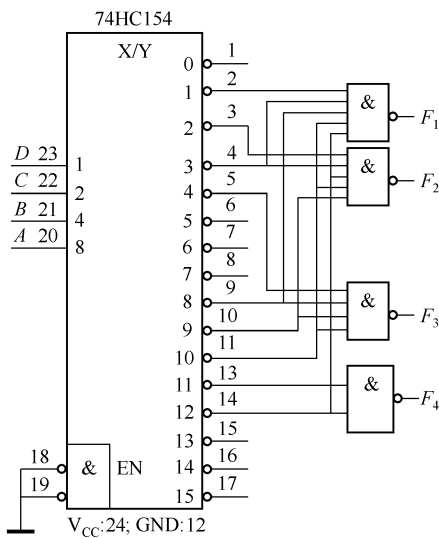


图 3-41

- ① 74LS48 驱动共阴极显示器件还是共阳极显示器件？
- ② 在表 3-16 中填写“字形”栏；
- ③ 正常显示时， \overline{LT} 、 $\overline{BI}/\overline{RBO}$ 应处于什么电平？
- ④ 试灯时 \overline{LT} =？对数据输入 $A_0 \sim A_3$ 有要求吗？
- ⑤ 灭零时，应如何处理 \overline{RBI} 端？当 $\overline{RBI}=0$ 但输入数据不为 0 时，显示器是否正常显示？当灭零时， $\overline{BI}/\overline{RBO}$ 输出什么电平？

表 3-16

十进数或功能	输 入						$\overline{BI}/\overline{RBO}$	输 出							字 形
	\overline{LT}	\overline{RBI}	A_3	A_2	A_1	A_0		a	b	c	d	e	f	g	
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	
1	1	×	0	0	0	1	1	0	1	1	0	0	0	0	
2	1	×	0	0	1	0	1	1	1	0	1	1	0	1	
3	1	×	0	0	1	1	1	1	1	1	1	0	0	1	
4	1	×	0	1	0	0	1	0	1	1	0	0	1	1	
5	1	×	0	1	0	1	1	1	0	1	1	0	1	1	
6	1	×	0	1	1	0	1	0	0	1	1	1	1	1	
7	1	×	0	1	1	1	1	1	1	1	0	0	0	0	
8	1	×	1	0	0	0	1	1	1	1	1	1	1	1	
9	1	×	1	0	0	1	1	1	1	1	0	0	1	1	
10	1	×	1	0	1	0	1	0	0	0	1	1	0	1	
11	1	×	1	0	1	1	1	0	0	1	1	0	0	1	
12	1	×	1	1	0	0	1	0	1	0	0	0	1	1	
13	1	×	1	1	0	1	1	1	0	0	1	0	1	1	
14	1	×	1	1	1	0	1	0	0	0	1	1	1	1	
15	1	×	1	1	1	1	1	0	0	0	0	0	0	0	
消隐	×	×	×	×	×	×	0	0	0	0	0	0	0	0	
脉冲消隐	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
试灯	0	×	×	×	×	×	1	1	1	1	1	1	1	1	

- (7) 计算图 3-28 中小数点段的工作电流。能否将限流电阻减小到 200Ω 或增加到 510Ω？
- (8) 在 9 位数字显示电路中，若将 00607.0100 显示成 607.01，应如何连接？若将 00000.0000 显示成 0，应如何连接？（提示：小数点显示驱动可与小数点后第 1 位的 \overline{RBO} 相连，但要考虑驱动电平和限流问题）
- (9) 用 74LS138 实现逻辑函数 $F = \overline{A}C + BC + A\overline{B}\overline{C}$ 。用 74LS251 实现上述函数如何连接？
- (10) 用两片 74LS251 构成 16 选 1 数据选择器。
- (11) 用数据选择器实现逻辑函数： $F_1 = \sum m(1, 2, 4, 7)$ ； $F_2 = \sum m(0, 2, 5, 7, 10, 12, 15)$ ； $F_3 = \sum m(3, 5, 6, 9, 12, 13, 14, 15) + \sum m_{\times}(0, 1, 7)$ 。
- (12) 用 74HC85 对两个 12 位二进制数进行比较，如何连接电路？
- (13) 判断图 3-42 所示电路中各发光二极管的状态。问：330Ω×3 电阻有何作用？不接行吗？

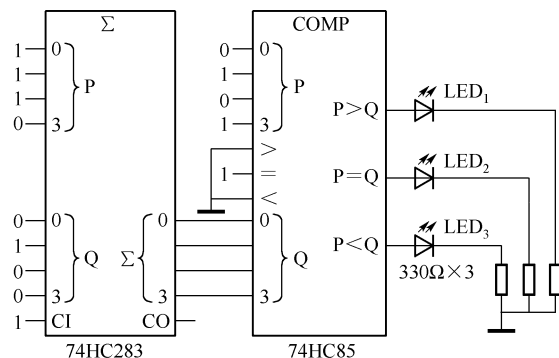


图 3-42

(14) 在图 3-36 中，欲使 Y 输出序列为 0001 0010 0100 1000，问如何设置 $D_0 \sim D_{15}$ ？

3.4 组合逻辑电路的竞争与冒险

本章前面讨论组合逻辑电路时，没有考虑门的传输延迟。但实际由于门传输延迟的影响，会导致电路在某些情况下，在输出端产生错误信号。

3.4.1 竞争与冒险

在图 3-43 (a) 中， $F = A + \bar{A} = 1$ ，即无论 A 如何变化， F 应恒为 1。但实际在图 3-43 (b) 中，当 A 由 1 变 0 的 t_2 时刻，由于 G_1 存在传输延迟 t_p ，所以在 $t_2 \sim (t_2 + t_p)$ 期间， G_2 的两个输入均为 0，经 G_2 延迟 t_p 后， F 在 $(t_2 + t_p) \sim (t_2 + 2t_p)$ 期间为 0，产生了不应有的负窄脉冲（俗称毛刺），这种现象称为 0 型冒险。

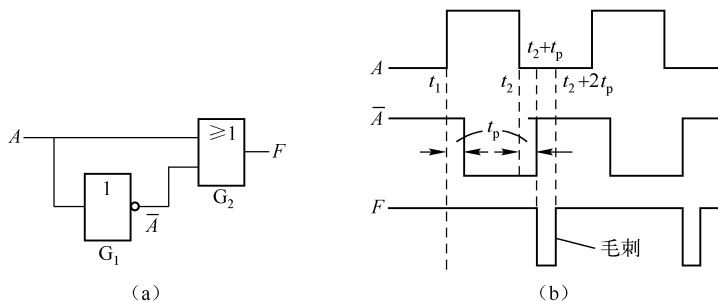


图 3-43 0 型冒险

图 3-44 中， F 应恒为低电平，但因传输延迟 t_p 的影响，输出端出现了正向毛刺，此称为 1 型冒险。

又如图 3-45 (a) 所示电路，当 $A = 0$ 、 $B = 1$ 时， $F = 1$ 。若变为 $A = 1$ 、 $B = 0$ ， $F = 1$ 不变。但如果把电路改为图 3-45 (b) 所示，这时，由于 A 由 0 变 1 时刻早于 B' 由 1 变 0 时刻，在输出端也会出现毛刺，如图 3-45 (c) 所示。

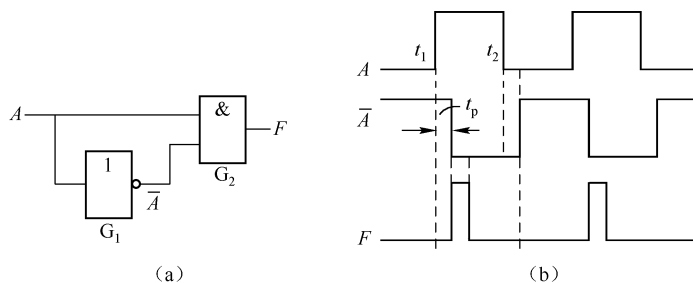


图 3-44 1 型冒险

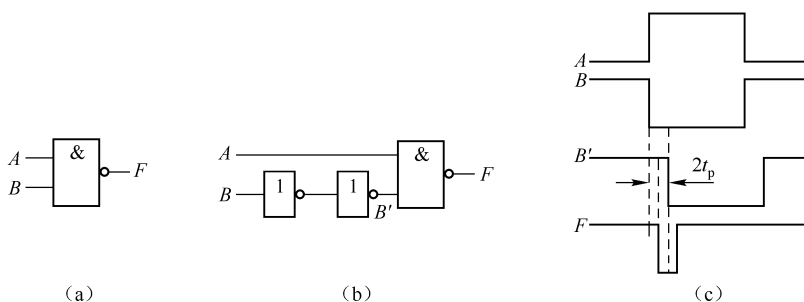


图 3-45 两输入信号变化时的冒险

一般来说，当一个门的输入有两个或两个以上信号发生改变时，由于这些信号是经过不同的路径传输来的，因此使得它们状态改变的时刻有先有后，这种现象称为竞争。竞争的结果有时会导致发生冒险。在图 3-43 (b) 中，在 t_1 时刻附近，虽有竞争，但没有冒险。而在 t_2 时刻附近，有竞争并导致冒险发生。

3.4.2 冒险的判断

由以上分析可知，发生冒险有两种情况。

(1) 如果一个门电路的两个输入信号 A 和 \bar{A} 是输入变量 A 经过两个不同的传输途径而来的，那么当输入变量 A 发生突变时，该门电路的输出有可能产生冒险。因此，只要一个门电路的输出逻辑函数在一定条件下能简化成：

$$F = A + \bar{A}; \quad F = A \cdot \bar{A}; \quad F = \overline{A + \bar{A}}; \quad F = \overline{A \cdot \bar{A}}$$

则可判定有可能出现冒险。

(2) 当门电路有两个或两个以上输入信号发生改变时容易出现冒险。对于这类情况可以利用卡诺图判断。具体方法是：在卡诺图中，若两个大卡诺圈（至少包含 2 个最小项）相切，即两圈不重迭，彼此之间又有相邻最小项时，则对应逻辑电路便可能产生冒险。

例 3-9 判断图 3-46 (a) 所示逻辑电路中， F 是否存在冒险。

解：由图 3-46 (a) 得 $F = \overline{ABAC} = \overline{AB} + \overline{AC}$ ，画卡诺图如图 3-46 (b) 所示。由图可见， $\sum m(1, 3)$ 与 $\sum m(6, 7)$ 两圈相切，因此电路在 ABC 由 $011 \rightarrow 111$ 时可能产生 0 型冒险。

必须指出，在多个输入变量同时发生状态改变时，如果输入变量的数目很多，采用以上

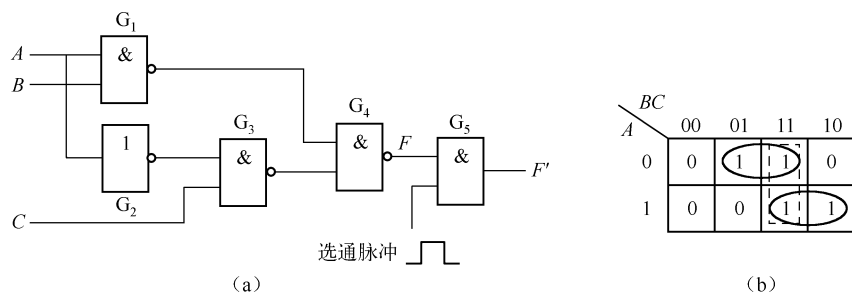


图 3-46 例 3-9 图

方法是很难找出所有可能产生冒险情况的，这时可利用计算机辅助分析来迅速查出电路是否存在冒险现象。目前这类成熟的程序已有很多。

3.4.3 消除冒险的方法

1. 接入滤波电容

由于冒险而产生的毛刺一般在几十纳秒以内，所以只要在输出端并接一个很小的滤波电容 C_f ，如图 3-47 所示，就足以把毛刺幅度削弱至门阈值电压以下。在 TTL 电路中， C_f 的数值通常取几十至几百皮法。

这种方法的优点是简单易行，缺点是增加了输出矩形电压波形的上升时间和下降时间，使波形变坏。

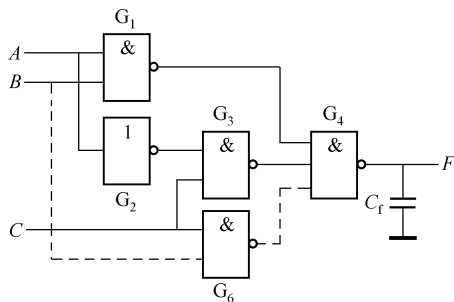


图 3-47 消除冒险的方法

2. 加选通脉冲

加选通脉冲的方法如图 3-46 (a) 所示，选通脉冲仅在 F 处于稳定值期间到来，以保证输出正确的结果。但要注意，这时的输出信号 F' 也将变成脉冲信号，其宽度与选通脉冲相同。

3. 修改逻辑设计

以下结合例子介绍通过修改逻辑设计，增加冗余项来消除冒险的方法。

例 3-10 已知在图 3-46 (a) 所示逻辑电路中 F 存在冒险，试加以消除。

解：由例 3-9 分析知， $\sum m(1, 3)$ 与 $\sum m(6, 7)$ 两圈相切，当 ABC 由 $011 \rightarrow 111$ 时可能产生 0 型冒险。为消除之，增加冗余项 $\sum m(3, 7)$ ，如图 3-46 (b) 中虚线所示，原逻辑设计修改为 $F = AB + \overline{A}C + BC = \overline{\overline{AB} \overline{AC} \overline{BC}}$ ，电路相应增加门 G_6 ，如图 3-47 中虚线所示（图中未画 G_5 ），这样，当 ABC 由 $011 \rightarrow 111$ 时，因 G_6 输出低电平将 G_4 封锁，从而不会发生冒险。

思考与练习

判断图 3-48 所示电路是否存在冒险。如果存在，试通过修改逻辑设计加以消除。

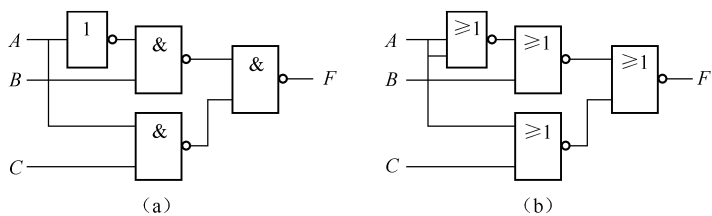


图 3-48

实验与技能训练

实验 5 组合逻辑电路

(1) 实验目的。初步掌握组合逻辑电路的设计方法及功能测试方法。

(2) 实验用器件。数片 74LS00、74LS54、74LS86。74LS54 是 4 路 2-3-3-2 输入与或非门，74LS86 是四 2 输入异或门，它们的逻辑符号如图 3-49 所示。

(3) 实验要求。

① 用已有器件构成半加器、全加器、4 位奇偶校验电路，画出逻辑图。

② 观察冒险现象，用增加冗余项的方法消除险象。参考图 3-47 接线，输入 A 为 1MHz 以上的矩形波， $B = C = 1$ 。

③ 选择实验用设备及资料。

④ 拟定实验步骤，预备实验用表格。

⑤ 连接电路。

⑥ 完成实验。

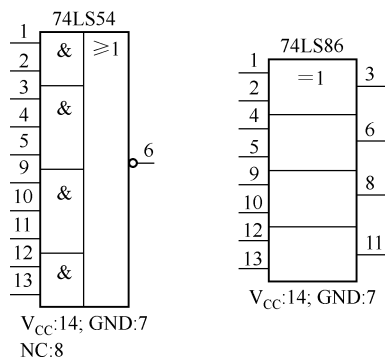


图 3-49

实验 6 译码器

(1) 实验目的。学会译码器、显示译码器、显示器件的使用方法。

(2) 实验用器件。74LS00、74LS139、74LS48 及 LC5011。

74LS139 是双 2-4 线译码器/双 4 路分配器，做译码器时逻辑符号如图 3-50 (a) 所示，做分配器时逻辑符号如图 3-50 (b) 所示。

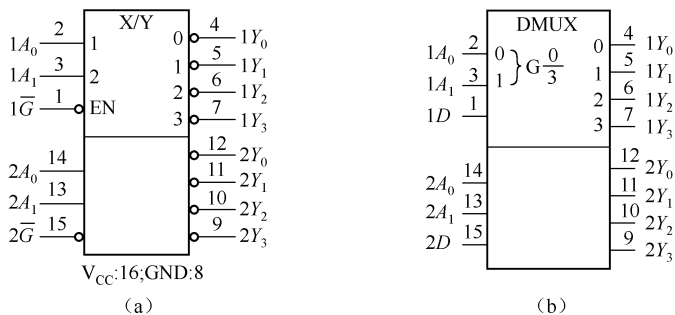



图 3-50

74LS48 逻辑符号如图 3-51 (a) 所示，它是 4 线-七段译码器/驱动器，BCD 输入，OC 输出，输出高电平有效，驱动共阴极显示器件。由于内有上拉电阻 (图 3-51 (b) 所示是其一个输出端——a 端的结

构)，所以在逻辑符号中输出端加了符号“”。

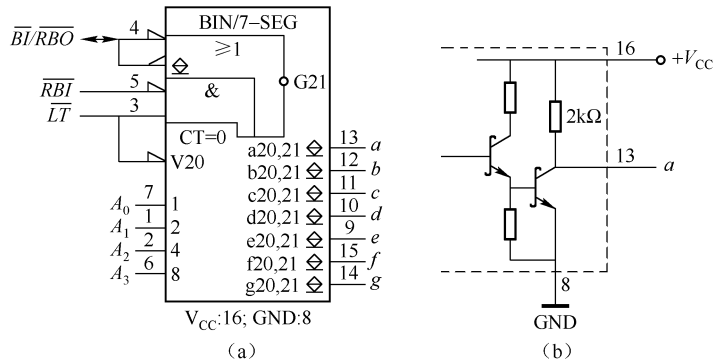


图 3-51

LC5011 为 LED 共阴极数码管，字段管脚排列同 LA5011，参见图 3-28 (a)，发红光，驱动电流 10 ~ 20mA。

- (3) 实验用设备。数字电路通用实验仪，万用表。
- (4) 实验内容。①验证 74LS139 的 2-4 线译码功能，并将结果填入表 3-17。
- ②用 74LS139 构成 3-8 线译码器如图 3-52 所示，验证 3-8 线译码功能，并将结果填入自拟表格。

表 3-17

输 入			输 出			
\overline{G}	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

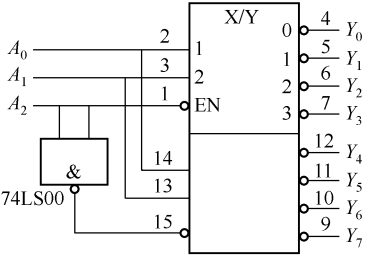


图 3-52

③用 74LS48 与 LC5011 构成译码显示单元电路如图 3-53 所示， $V_{CC} = 5V$ 。考虑 74LS48 输出高电平时如果直接驱动 LC5011，流过字段 LED 的电流是由 V_{CC} 经其内部 2kΩ 上拉电阻提供，只有 2mA 左右，因此又并联了 510Ω 的电阻，使字段驱动电流提高到约 12mA。

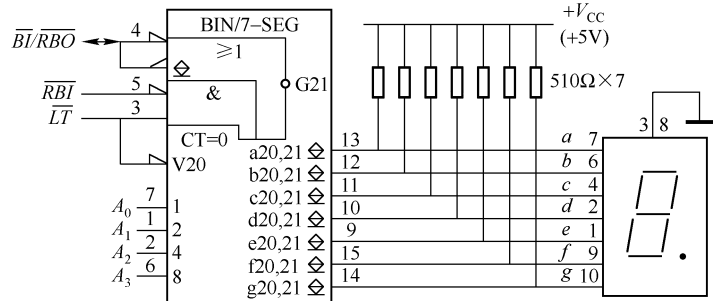


图 3-53

根据表 3-18，改变输入信号状态，观察并记录数码管显示情况填入表 3-18。

表 3-18

十进数或功能	输 入						$\overline{BI}/\overline{RBO}$	输 出							字形
	\overline{LT}	\overline{RBI}	A_3	A_1	A_1	A_0		a	b	c	d	e	f	g	
0	1	1	0	0	0	0	1								
1	1	×	0	0	0	1	1								
2	1	×	0	0	1	0	1								
3	1	×	0	0	1	1	1								
4	1	×	0	1	0	0	1								
5	1	×	0	1	0	1	1								
6	1	×	0	1	1	0	1								
7	1	×	0	1	1	1	1								
8	1	×	1	0	0	0	1								
9	1	×	1	0	0	1	1								
10	1	×	1	0	1	0	1								
11	1	×	1	0	1	1	1								
12	1	×	1	1	0	0	1								
13	1	×	1	1	0	1	1								
14	1	×	1	1	1	0	1								
15	1	×	1	1	1	1	1								
消隐	×	×	×	×	×	×	0								
脉冲消隐	1	0	0	0	0	0	0								
试灯	0	×	×	×	×	×	1								

本章小结

1. 组合逻辑电路在逻辑功能上的特点是，任意时刻的输出仅取决于同一时刻的输入，而与电路过去的状态无关。在电路结构上的特点是，它只包含门电路，没有存储（记忆）单元，没有反馈电路。
2. 组合逻辑电路的种类很多，常用的中规模集成组合逻辑电路有：加法器、编码器、译码器、数值比较器、数据选择/分配器等，它们的共同特点是：

通用性——一个功能部件芯片可实现多种功能；
自扩展——将若干个功能部件芯片通过适当连接，扩展成位数更多的复杂部件。
兼容性——便于不同品种、功能的电路混合使用。

要掌握各类常用组合逻辑电路的功能及用途，特别是附加控制端（或称为使能端、选通输入端、片选端、禁止端等）的使用方法，合理运用这些控制端，能最大限度地发挥电路的潜力。
3. 组合逻辑电路在状态转换过程中经常出现冒险现象。如果负载是对毛刺敏感的电路（如触发器），就必须采取措施防止由于竞争而产生的冒险。如果负载不敏感（如光电显示器件），就不必考虑这个问题了。

目标检测

一、填空题

- 3.1 组合逻辑电路的特点是_____。
- 3.2 编码是指_____。译码是指_____。
- 3.3 数据选择器的功能是_____。数据分配器的功能是_____。
- 3.4 七段译码/显示驱动器试灯输入信号的作用是_____。
- 3.5 逻辑电路的竞争是指_____。

二、单项选择题

- 3.6 图 3-54 中, 使组件 P 动作的地址码 $A_7A_6\cdots A_0$ 为_____。
- A. $A5_H$ B. $A2_H$ C. $B5_H$ D. $B2_H$
- 3.7 图 3-55 中, 用 7448 驱动 LED, 已知 7448 内置上拉电阻为 $20k\Omega$, LED 的驱动电流 $10\sim 20mA$, 则电阻 R 的正确选择是_____。
- A. 将 R 断开 B. $R=100\Omega$ C. $R=300\Omega$ D. 用导线代替 R

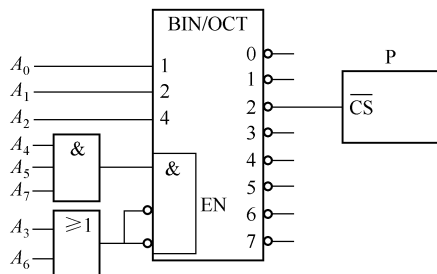


图 3-54

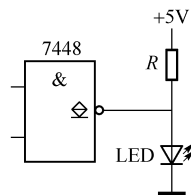


图 3-55

- 3.8 多路调制器有 16 个通道, 则地址线应有_____。
- A. 1 条 B. 2 条 C. 3 条 D. 4 条
- 3.9 将译码器的使能端看作输入端, 译码器的输入端看作地址端, 则全译码器可作_____使用。
- A. 多路调制器 B. 多路解调器 C. 编码器 D. 码制变换器
- 3.10 4 位串行进位加法器每位的最长延迟为 $5ns$, 则加法器的最快工作频率是_____。
- A. $50MHz$ B. $100MHz$ C. $120MHz$ D. $150MHz$
- 3.11 图 3-56 中, G_1 的延迟时间 t_p 为 $20ns$, G_2 的延迟时间 t_p 为 $30ns$, 输入信号波形如图所示, 则 F 为高电平的时间为_____。
- A. $20\sim 60ns$ B. $50\sim 100ns$ C. $20\sim 80ns$ D. $80\sim 110ns$

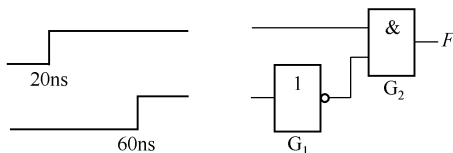


图 3-56

三、多项选择题

- 3.12 利用_____ 能够实现总线的时分复用。

- A. OC 门 B. 三态门 C. 数据选择器及数据分配器 D. 双向开关

3.13 组合逻辑电路克服冒险的方法有_____。

- A. 加选通脉冲 B. 加滤波电容 C. 逻辑式中加冗余项 D. 增加电源电压

四、判断题（正确的在括号中打“√”，错误的打“×”）

3.14 全加器的功能是将本位的两个数与低位的进位数相加，得本位和。（ ）

3.15 优先编码器只对同时输入的信号中的优先级别最高的一个信号编码。（ ）

3.16 奇偶校验电路的功能是，利用输出信号的逻辑值反映输入信号中含 1 的总个数是奇数还是偶数。（ ）

3.17 三态门与数据选择器的输出端都能接数据总线，且两者的工作原理相同。（ ）

3.18 4 位数值比较器进行数值比较时，是从低位到高位进行比较。（ ）

3.19 超前进位加法器第 i 位的进位输入信号 C_{i-1} 由两个加数的 $A_{i-1}A_{i-2}\cdots A_0$ 和 $B_{i-1}B_{i-2}\cdots B_0$ 直接来运算，而不是从最低位开始向高位逐位传递进位信号，从而有效地提高了运算速度。（ ）

3.20 组合逻辑电路中有竞争就一定会导致冒险发生。（ ）

五、综合题

3.21 试用 74LS138 与一个与非门实现 $F_1 = \overline{A}\overline{B}\overline{C} + AB$ ，并与一个与门实现 $F_2 = A\overline{B} + \overline{C}$ ，画出逻辑图。

3.22 由两片 74153 组成的电路和输入波形如图 3-57 所示。试写出输出函数 F 表达式，并画出其波形。

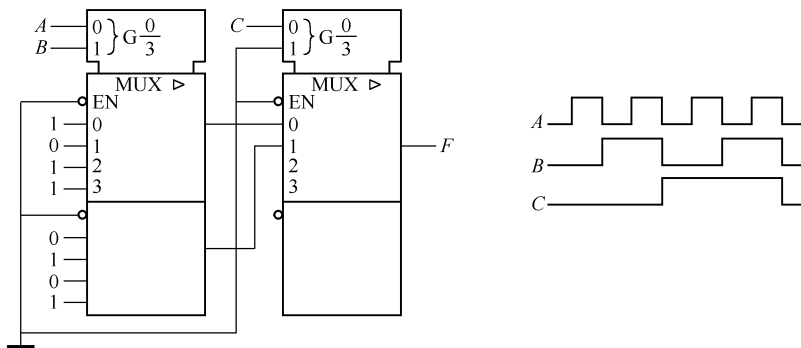


图 3-57

3.23 由 74LS153 组成的逻辑电路如图 3-58 所示，写出 F_1 、 F_2 的表达式。

3.24 用一片 8 选 1 数据选择器并配合少量与非门设计一个多功能电路，功能表如表 3-19 所示。

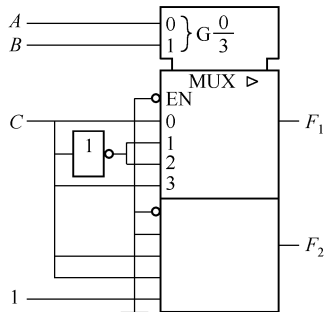


图 3-58

表 3-19

A_1	A_0	输 出 F
0	0	A
0	1	$A \oplus B$
1	0	AB
1	1	$A + B$

第4章 触 发 器

知识目标

- (1) 熟知基本 RS 触发器的电路组成、工作原理。
- (2) 理解同步触发、主从触发、边沿触发的概念，熟悉其触发特点。
- (3) 掌握 RS 触发器、JK 触发器、D 触发器、T 触发器和 T' 触发器的逻辑功能。

技能目标

- (1) 能正确使用集成触发器模块。
- (2) 能利用已有的触发器进行逻辑功能转换。

双稳态电路又称双稳态触发器简称触发器，它有一个或多个输入端，两个互补输出端： Q 和 \bar{Q} 。规定用 Q 状态表示触发器状态：当 $Q=0$ 、 $\bar{Q}=1$ 时，称触发器为 0 态；当 $Q=1$ 、 $\bar{Q}=0$ 时，称触发器为 1 态。0 态与 1 态是触发器两种稳定工作状态。在外加信号（称为触发信号）作用下，触发器可从一种稳态翻转为另一种稳态（称为触发翻转），当触发信号消失后，触发器能保持新的稳态不变。所以说触发器具有记忆功能，或说触发器能存储信息。

触发器按逻辑功能分有 RS、D、JK、T、T' 触发器等，按触发方式分有电平、主从、边沿触发器，按结构分有基本、同步、主从触发器等。本章按照触发器的电路结构以及由于结构不同而带来的不同动作特点依次介绍各种触发器，然后再从逻辑功能上对触发器进行分类介绍。

4.1 基本 RS 触发器

基本 RS 触发器是最简单的触发器，如图 4-1 (a) 所示是用两个与非门构成的基本 RS 触发器，它有两个输入端： \bar{R}_D 端称为置 0 端或复位端； \bar{S}_D 端称为置 1 端或置位端。

4.1.1 逻辑功能分析

下面结合图 4-1 (a) 分析 \bar{R}_D 、 \bar{S}_D 在下列四种取值组合时触发器的状态。

1. $\bar{R}_D = \bar{S}_D = 1$ 触发器保持原状态不变

设触发器原状态为 0 态， $Q=0$ 反馈到 G_2 ， $\bar{Q}=1$ 反馈到 G_1 ，使 G_2 输入有 0，输出 \bar{Q} 为 1； G_1 输入全为 1， Q 为 0，触发器维持 0 态不变；若触发器原状态为 1，由电路对称性知，触发器维持 1 态不变。

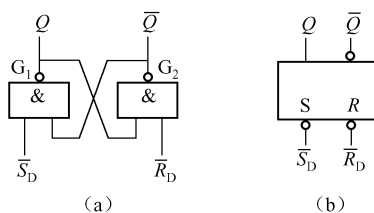


图 4-1 基本 RS 触发器

2. $\overline{R}_D = 0$ 、 $\overline{S}_D = 1$ 触发器被置 0

因为无论 Q 原状态如何, 只要 $\overline{R}_D = 0$, 将使 G_2 输入有 0, \overline{Q} 为 1; $\overline{Q} = 1$ 反馈到 G_1 , 使 G_1 输入全为 1, Q 为 0, 所以触发器被置 0。因此, $\overline{R}_D = 0$ 称为置 0 信号, 也称复位信号。

可见, 使触发器置 0, 要在 \overline{R}_D 端加低电平信号, 即 \overline{R}_D 信号低电平作用有效。

3. $\overline{R}_D = 1$ 、 $\overline{S}_D = 0$ 触发器被置 1

由电路对称性知此时触发器置 1。 \overline{S}_D 信号称为置 1 信号, 又称置位信号, 低电平有效。

4. $\overline{R}_D = \overline{S}_D = 0$ 不允许

当 $\overline{R}_D = \overline{S}_D = 0$ 时, $Q = \overline{Q} = 1$ 。由于规定触发器状态的前提是 Q 与 \overline{Q} 互补, 所以这时触发器的状态既不是规定的 0 态, 也不是规定的 1 态, 因而不能确定。且当 \overline{R}_D 和 \overline{S}_D 同时由 0 变 1 后, G_1 与 G_2 输入均全为 1, 两门输出都要由 1 向 0 转变, 这就出现了竞争。因 G_1 与 G_2 哪个门延迟时间短、翻转速度快, 事前并不知道, 所以触发器的新状态无法确定。因此, 不允许 \overline{R}_D 与 \overline{S}_D 信号同时为 0, 即应满足约束条件 $\overline{R}_D + \overline{S}_D = 1$ 。

顺便指出, 如果 \overline{R}_D 、 \overline{S}_D 不同时由 0 变 1, 触发器的状态由后变信号决定。例如, 若 $\overline{S}_D = 0$ 持续时间长, 则当 \overline{R}_D 由 0 变 1 时, \overline{S}_D 仍为 0, 这时触发器将被置 1。

4.1.2 逻辑功能描述

触发器的逻辑功能用状态转换真值表、特征方程、状态转换图及波形图等描述。

1. 状态转换真值表

根据以上分析, 可列基本 RS 触发器状态转换真值表 (简称状态表) 如表 4-1 所示。表中, Q^n 表示触发器当前的状态, 称为现态; Q^{n+1} 表示在输入信号 \overline{R}_D 、 \overline{S}_D 作用下触发器的新状态, 称为次态。可见, 基本 RS 触发器具有保持状态不变、置 0 和置 1 功能。图 4-1 (b) 所示是其逻辑符号。

表 4-1 基本 RS 触发器状态转换真值表

现态 Q^n	触发信号		次态 Q^{n+1}	说 明
	\overline{R}_D	\overline{S}_D		
0	1	1	0	状态保持
1	1	1	1	
0	1	0	1	置 1
1	1	0	1	
0	0	1	0	0
1	0	1	0	
0	0	0	×	不允许
1	0	0	×	

2. 特征方程

触发器特征方程又称特性方程，也即触发器次态逻辑表达式。根据表 4-1 可画 Q^{n+1} 卡诺图如图 4-2 所示。利用约束项化简，得 Q^{n+1} 逻辑表达式，即基本 RS 触发器特征方程为：

$$\begin{cases} Q^{n+1} = \bar{S}_D + \bar{R}_D Q^n \\ \bar{R}_D + \bar{S}_D = 1 \end{cases} \quad (4-1)$$

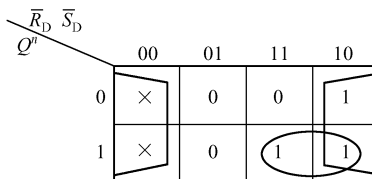


图 4-2 Q^{n+1} 卡诺图

3. 状态转换图

状态转换图简称状态图，是描述触发器状态转换关系的图形，如图 4-3 所示，图中圆圈内数字表示触发器状态，状态之间用带箭头的转移线连接起来，箭头所指方向表示状态转换方向，转移线旁边标注的是状态转换所需要的输入条件，符号“×”表示信号取 0 或取 1 任意。

例 4-1 根据图 4-4 中 \bar{R}_D 和 \bar{S}_D 的波形，画基本 RS 触发器 Q 端与 \bar{Q} 端的波形。

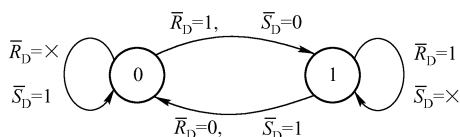


图 4-3 基本 RS 触发器状态图

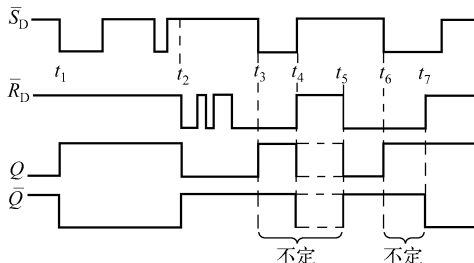


图 4-4 基本 RS 触发器波形图

解：首先设触发器初态 $Q = 0$ 。在 t_1 时刻之前 $\bar{S}_D = 1$ ，触发器维持 0 态不变。 t_1 时刻置 1 信号 $\bar{S}_D = 0$ ，触发器被置 1。 t_2 时刻置 0 信号 $\bar{R}_D = 0$ ，触发器又被置 0……。

$t_3 \sim t_4$ 期间， $\bar{R}_D = \bar{S}_D = 0$ ， $Q = \bar{Q} = 1$ ，触发器处于不定状态。 t_4 时刻， \bar{R}_D 和 \bar{S}_D 同时由 0 变 1，出现竞争，触发器状态可能为 1 也可能翻转为 0，图中用虚线表示这种不定状态。直到 t_5 时刻 $\bar{R}_D = 0$ ，触发器状态确定为 0。 $t_6 \sim t_7$ 期间， \bar{R}_D 与 \bar{S}_D 同时为 0，触发器又处于 $Q = \bar{Q} = 1$ 的不定状态。但 t_7 时刻，由于 $\bar{R}_D = 1$ 、 $\bar{S}_D = 0$ ，触发器将稳定在 1 态……。

根据以上分析，画 Q 波形如图 4-4 所示。除状态不定期间外，其余时间由 Q 取非，便可画出 \bar{Q} 。

应用实例

机械触点开关，在断开或闭合时会有抖动。图 4-5 (a) 所示是一个拨动开关的例子，当开关 S 由“1”拨到“2”时由于发生抖动，会使 A 间断的接“地”，A 的逻辑电平会在 0 与 1 之间抖动一段时间才能稳定，如图 4-5 (b) 所示，这种抖动对人来说是察觉不到的，

但对精密设备来说情况就完全不一样了。如果设备处理信号的速度在微秒级，而抖动的时间至少是毫秒级，这样，当你拨动一次开关时，设备却执行了多次处理开关信号的操作，因此处理起来肯定出错。

利用基本 RS 触发器构成的开关去抖电路如图 4-5 (c) 所示，当开关由“1”掷于“2”时，使基本 RS 触发器 Q 置 0，这时尽管 A 的逻辑电平有抖动， Q 保持 0 不变，见图 4-5 (b)，消除了开关信号的抖动。

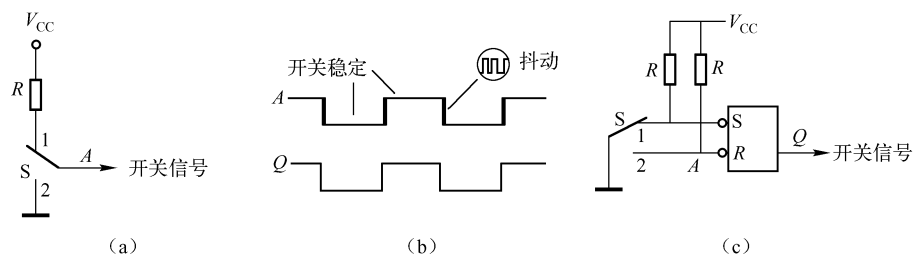


图 4-5 开关去抖电路

思考与练习

(1) 分析图 4-6 所示由或非门组成的基本 RS 触发器。将触发器 Q^{n+1} 状态填入表 4-2 中，并判断触发信号有效电平。

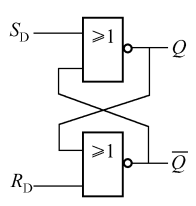


图 4-6

表 4-2

Q^n	R_D	S_D	Q^{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

(2) 对于图 4-1 所示电路，当输入信号如图 4-7 所示时，试分别画出 Q 与 \bar{Q} 端波形图。

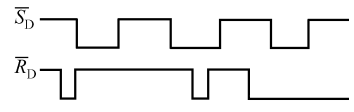


图 4-7

4.2 同步触发器

基本触发器的状态置入无法从时间上加以控制，只要有效触发信号出现在输入端，触发器状态就翻转。在数字系统中，常常需要某些触发器同步动作。能使各触发器同步动作的矩

形波控制信号叫时钟脉冲（Clock Pulse），记做 CP 或 $CLOCK$ ，如图 4-8 所示。用时钟脉冲做控制信号的触发器，可以控制触发器的翻转时刻，所以称为可控触发器或同步触发器。



图 4-8 时钟脉冲 CP

4.2.1 同步 RS 触发器

同步 RS 触发器由基本 RS 触发器与两个控制门 G_1 、 G_2 构成，如图 4-9（a）所示。时钟脉冲从 CP 端输入， R 是置 0 端， S 是置 1 端。逻辑符号如图 4-9（b）所示。

1. 状态表

$CP=0$ 时控制门被封锁， R 、 S 端输入信号不起作用。这时 $\bar{R}_D = \bar{S}_D = 1$ ，因此，触发器状态保持不变。

$CP=1$ 时控制门被打开， R 和 S 信号被传送。因 $\bar{R}_D = \bar{R}$ ， $\bar{S}_D = \bar{S}$ ，由基本 RS 触发器状态表可直接得同步 RS 触发器状态表 4-3。由于 $R = S = 1$ 将使 $\bar{R}_D = \bar{S}_D = 0$ ，因此，在 $CP=1$ 期间不允许 R 和 S 同时为 1，即 R 、 S 须满足约束条件： $RS=0$ 。

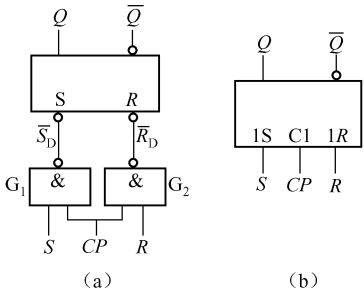


图 4-9 同步 RS 触发器

表 4-3 同步 RS 触发器状态转换真值表

Q^n	时钟信号 CP	触发信号		Q^{n+1}	说 明
		R	S		
\times	0	\times	\times	Q^n	触发信号不起作用
0	1	0	0	0	状态保持
1	1	0	0	1	
0	1	0	1	1	置 1
1	1	0	1	1	
0	1	1	0	0	置 0
1	1	1	0	0	
0	1	1	1	\times	不允许
1	1	1	1	\times	

将表 4-3 与表 4-1 对照可看出，因同为 RS 触发器，所以触发器的基本功能没有发生变化，但由于 G_1 、 G_2 门的反相作用，使得输入触发信号由原来的低电平有效变成了高电平有效。

2. 特征方程及状态图

将 $\bar{R}_D = \bar{R}$ ， $\bar{S}_D = \bar{S}$ 代入基本 RS 触发器特征方程，经变换得同步 RS 触发器特征方程：

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (4-2)$$

根据表 4-3 画同步 RS 触发器状态图如图 4-10 所示。

例 4-2 由图 4-11 所示 R 和 S 信号波形，画出同步 RS 触发器 Q 的波形。

解：设 Q 初态为 0。当 $CP=0$ 时， R 和 S 变化，触发器状态不变。只有在 $CP=1$ 期间， R 、 S 信号变化才能引起触发器状态改变，根据表 4-3，画 Q 波形如图 4-11 所示。

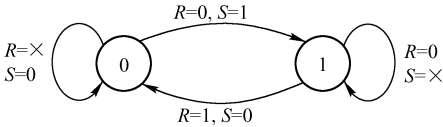


图 4-10 同步 RS 触发器状态图

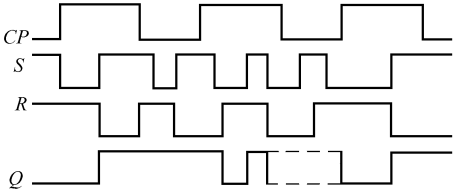


图 4-11 同步 RS 触发器波形图

4.2.2 同步 D 触发器

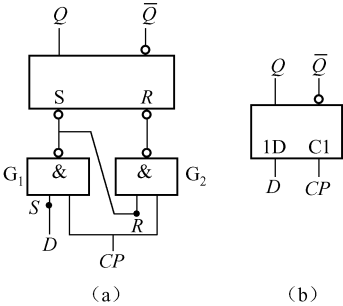


图 4-12 同步 D 触发器

同步 D 触发器逻辑图及逻辑符号如图 4-12 所示。与图 4-9 (a) 比较可知，它由同步 RS 触发器演变而来。可以看出，在 $CP=1$ 期间总能满足 $R \neq S$ ，所以不会出现触发器状态不定现象。

因 $CP=1$ 期间， $R = \overline{D}$ 、 $S = D$ 。将 R 、 S 代入同步 RS 触发器特征方程可得：

$$Q^{n+1} = D + \overline{\overline{D}}Q^n = D + DQ^n = D$$

即

$$Q^{n+1} = D \quad (4-3)$$

上式即为同步 D 触发器特征方程。可见，D 触发器次态总与输入信号 D 状态保持一致。表 4-4 所示是其状态表。

表 4-4 D 触发器状态转换真值表

CP	Q^n	触发信号 D	Q^{n+1}	说 明
0	\times	\times	Q^n	触发不起作用
1	0	0	0	输出状态与 D 端状态相同
	1	0	0	
	0	1	1	
	1	1	1	

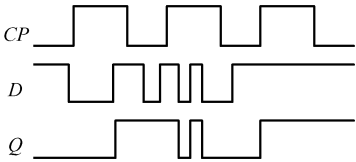


图 4-13 D 触发器波形图

例 4-3 由图 4-13 所示 CP 和 D 信号波形，画 D 触发器 Q 端波形。设 Q 初态为 0。

解： $CP=0$ 期间 Q 保持不变； $CP=1$ 期间 $Q = D$ ，由此可画 Q 端波形如图 4-13 所示。

由于在 $CP=1$ 期间，始终有 $Q = D$ ，因此同步 D 触发器又称为透明寄存器。

4.2.3 电平触发方式的空翻现象

同步触发器在 $CP=1$ 期间接收触发信号，并且状态随触发信号变化而变化，这种触发方式称为电平触发。因电平触发同步触发器在 $CP=0$ 期间能够保持状态不变，即将信号锁存住，所以又称为锁存器。

由于电平触发器在 CP 为有效电平的整个期间都接收触发信号，所以，当触发信号多次变化时，触发器状态也将多次变化。这种在同一 CP 脉冲作用下触发器发生两次或更多次翻转的现象称为空翻。

多数情况下触发器空翻是不允许的，应予以克服。显而易见，要防止空翻应尽量减小 CP 脉冲的宽度。但 CP 脉宽也不能太小，因为电路传输信号需要一定的时间， CP 脉宽太小将使触发器不能可靠翻转，所以只能在电路结构上加以改进。

思考与练习

- (1) 什么是时钟信号？其作用是什么？
- (2) 试将同步 RS 触发器当 $Q^n \rightarrow Q^{n+1}$ 时的 R 和 S 状态填入表 4-5 中。

表 4-5

$Q^n \rightarrow Q^{n+1}$		R	S
0	0		
0	1		
1	0		
1	1		

- (3) 已知图 4-9 所示同步 RS 触发器输入信号如图 4-14 所示，画出 Q 端波形图。
- (4) 图 4-12 中 CP 及 D 信号的波形如图 4-15 所示，画出 Q 端波形。

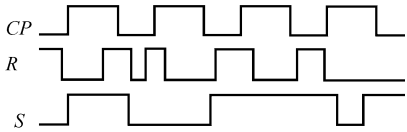


图 4-14

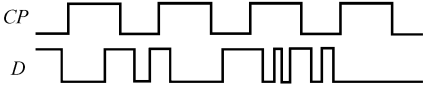


图 4-15

- (5) 请根据表 4-4 画出 D 触发器的状态图。

4.3 主从触发器

主从型触发器由于采用具有存储功能的触发引导电路，从而避免了空翻现象。

4.3.1 主从 RS 触发器

主从 RS 触发器如图 4-16 (a) 所示，其主要结构是两个同步 RS 触发器，直接接收并能够存储触发信号的触发器称为主触发器，输出信号的触发器称为从触发器。G 是反相器，它将主触发器的时钟信号反相后作为从触发器的时钟，从而使主、从触发器的翻转分步进

行。第一步 CP 由 0 变 1 后, 主触发器接收输入信号, 其状态 Q' 由 R 和 S 决定, 由于从触发器时钟信号 $\overline{CP}=0$, 所以, 即使主触发器跟随 R 和 S 多次翻转, 从触发器状态也不变。第二步, CP 由 1 变 0 时, 从触发器接收主触发器状态 Q' , 使整个触发器状态 Q 发生变化。由于 $CP=0$ 期间主触发器不接收输入信号, 主触发器状态保持不变, 从触发器状态也不变, 可见在一个 CP 脉冲作用下, 输出 Q 的状态只翻转一次, 克服了空翻。

由上分析知, 主从结构触发器在 $CP=1$ 期间接收触发信号, 在 CP 下降沿时改变状态, 为表示这一特性, 图 4-16 (b) 逻辑符号中, 在 Q 、 \overline{Q} 端加了延迟符号 “ \neg ”。

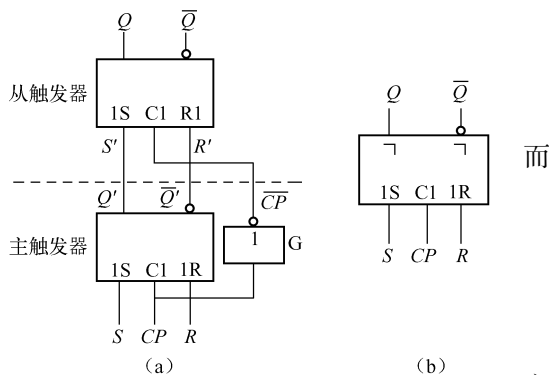


图 4-16 主从 RS 触发器

由图 4-16 可以求得：

$$\begin{cases} Q'^{n+1} = S + \overline{R}Q'^n \\ RS = 0 \end{cases} \quad (4-4)$$

$$\begin{cases} Q^{n+1} = S' + \overline{R}'Q^n \\ R'S' = 0 \end{cases} \quad (4-5)$$

又 $S' = Q'$ 、 $R' = \overline{Q}'$, 代入 (4-5) 式, 得:

$$Q^{n+1} = Q'^{n+1} + Q'^{n+1}Q^n = Q'^{n+1} \quad (4-6)$$

亦即

$$Q^n = Q'^n \quad (4-7)$$

将式 (4-6)、(4-7) 代入式 (4-4), 可得:

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \quad (4-8)$$

例 4-4 主从 RS 触发器 CP 、 R 、 S 波形如图 4-17 所示。对图 4-17 (a) 画 Q' 和 Q 波形, 对图 4-17 (b) 画 Q 波形。

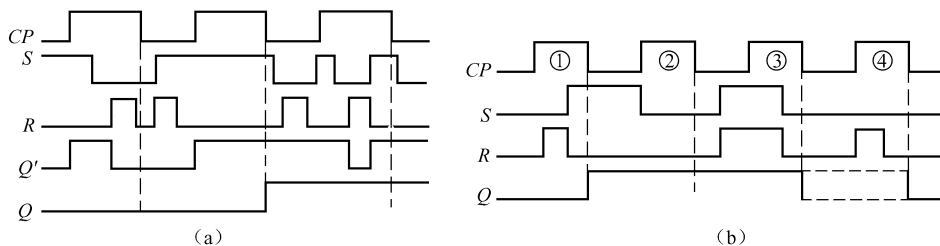


图 4-17 主从 RS 触发器波形图

解：图 4-17 (a) 中, 设初态 $Q' = Q = 0$, 画 Q' 和 Q 波形如图所示。由图可见, 在 $CP=1$ 期间, 虽然主触发器多次翻转, 但从触发器只在 CP 负跳变时刻翻转一次, 没有空翻。

分析图 4-17 (a) 可以看出, 从触发器状态是否翻转, 取决于 $CP=1$ 期间最后有效的 R 或 S 信号。因此, 在画 Q 波形时只需观察 $CP=1$ 期间最后有效的信号是哪一个即可, Q 翻转时刻对应 CP 下降沿。

图 4-17 (b) 中, 设 Q 初态为 0。第 1 个时钟信号 CP ① 作用期间, 最后的有效信号是 S , 所以 Q 次态为 1。 CP ② 作用期间, 由于 S 、 R 始终为 0, 因此, Q 状态不变, Q 次态仍为

1。CP③作用时，因最后 $S=R=1$ ，故 Q 次态不定。CP④作用后， Q 次态为 0。

例 4-5 根据图 4-18 主从 RS 触发器 CP 、 \bar{R}_D 、 S_1 、 S_2 、 R 波形，画 Q 波形。设 $\bar{S}_D = 1$ 。

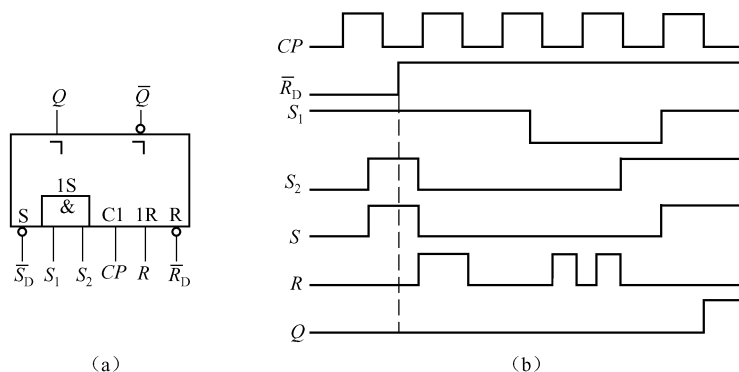


图 4-18 例 4-5 图

解：图 4-18 (a) 所示主从 RS 触发器， \bar{R}_D 与 \bar{S}_D 分别为直接置 0 和置 1 端，只要在 \bar{R}_D 或 \bar{S}_D 端加低电平，立即可将触发器置 0 或置 1。也就是说，不管输入信号 R 、 S 状态如何，也不管 CP 脉冲状态如何， $\bar{R}_D = 0$ 或 $\bar{S}_D = 0$ 优先决定触发器状态。但须注意，不能在 \bar{R}_D 和 \bar{S}_D 端同时加低电平。此外，由于 \bar{R}_D 置 0 时刻与时钟无关，因此又称为异步置 0， \bar{S}_D 为异步置 1，当需要将触发器预先置于某种状态时，就可以利用这两端的作用，所以 \bar{R}_D 和 \bar{S}_D 端又被称为预置端。

触发信号输入端具有 2 个相与的 S 端，即 $S = S_1 \cdot S_2$ ，因此，特征方程为：

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n = (S_1 S_2) + \bar{R}Q^n \\ RS = R(S_1 S_2) = 0 \end{cases}$$

为作图方便，首先画 $S = S_1 S_2$ 的波形，再根据 R 与 S 波形，画 Q 波形如图 4-18 (b) 所示。

主从 RS 触发器虽然克服了空翻，但仍存在状态不定现象。以下介绍的主从 JK 触发器既不存在空翻现象，也不存在状态不定现象。

4.3.2 主从 JK 触发器

1. 逻辑功能分析

主从 JK 触发器如图 4-19 所示，其逻辑图与图 4-16 所示 RS 触发器逻辑图比较显然有

$$S = J \bar{Q}^n; R = K Q^n$$

将 R 、 S 代入 RS 触发器特征方程，可得：

$$Q^{n+1} = S + \bar{R}Q^n = J \bar{Q}^n + \overline{K Q^n} Q^n = J \bar{Q}^n + \bar{K} Q^n$$

即

$$Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n \quad (4-9)$$

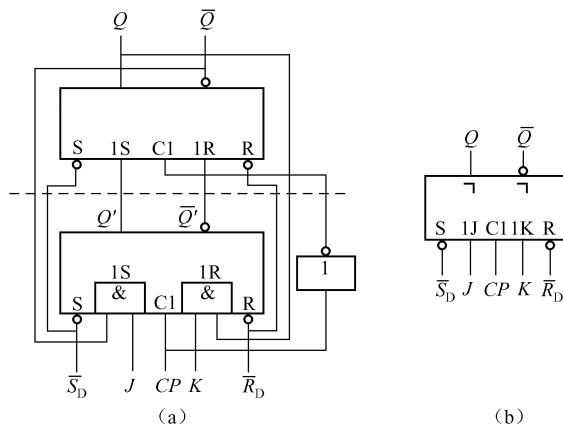


图 4-19 主从 JK 触发器

上式即为 JK 触发器的特征方程。考虑到 $RS = KQ^n \cdot J\bar{Q}^n = 0$ 总能满足约束条件 $RS = 0$ ，因此 J 与 K 间无须加约束。

JK 触发器的状态表如表 4-6 所示，它具有保持、置 0、置 1、取反（又称计数翻转，简称计数）功能。

表 4-6 JK 触发器状态转换真值表

Q^n	$CP = 1$ 期间		Q^{n+1}	说 明
	J	K		
0	0	0	0	状态保持
1	0	0	1	
0	0	1	0	置 0
1	0	1	0	
0	1	0	1	置 1
1	1	0	1	
0	1	1	1	取反
1	1	1	0	

2. 一次翻转现象

主从 JK 触发器逻辑功能强，并且 J 与 K 间不存在约束，因此用途十分广泛。但其缺点是，在 $CP = 1$ 期间要求 J 和 K 信号保持不变，否则有可能导致触发器误翻转。为说明这个问题，下面分析在图 4-20 所示 J 、 K 信号作用下，主从 JK 触发器的工作。

设触发器初始状态为 $Q = Q' = 0$ 。在第 1 个时钟脉冲 $CP①$ 作用期间，由于 $J = 1$ 、 $K = 0$ ，主触发器状态将变为 $Q' = 1$ ， $CP①$ 由 1 变 0 后，从触发器接受此状态，即 $Q = Q' = 1$ 。

在第 2 个时钟脉冲 $CP②$ 作用期间，开始 $J = 1$ 、 $K = 0$ ，主触发器保持 $Q' = 1$ 不变。但在 t_1 时刻， K 信号受到干扰，短时间出现 $K = 1$ ，使主触发器被错误置 0。干扰过去后，虽然 K 恢复为 0，但因 $\bar{Q} = 0$ 使主触发器输入信号 J 被封锁，参见图 4-19 (a)，主触发器无法恢复

原来的 1 态。当 CP ②由 1 变 0 时，被错误置 0 的主触发器将状态打入从触发器，使 $Q=0$ 。

由此可看出， $CP=1$ 期间主触发器只能翻转一次。一旦翻转，即使 J 、 K 信号发生变化，也不能再翻转回去，并在 CP 由 1 变 0 时将状态打入从触发器，这种现象称为一次翻转现象。

一次翻转现象降低了 JK 触发器的抗干扰能力。因此，为保证触发器可靠工作，要求 J 和 K 信号在整个 $CP=1$ 期间应保持不变，且信号前沿应略超前于 CP 脉冲前沿，而后沿略滞后于 CP 脉冲后沿，如图 4-21 所示。

显而易见， CP 脉宽越窄，触发器受干扰的可能性越小。因此，使用脉宽较小的窄脉冲做 CP 信号，有利于提高触发器的抗干扰能力。

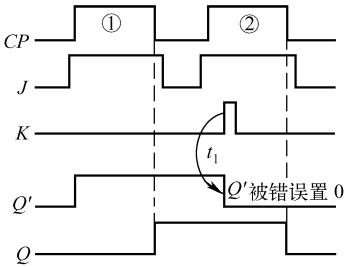


图 4-20 主从 JK 触发器的一次翻转现象

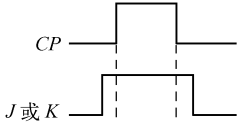


图 4-21 J 、 K 信号与 CP 脉宽的关系

例 4-6 根据图 4-22 所示主从 JK 触发器 J 、 K 端的信号波形，画出 Q 端的波形。

解：设 Q 初态为 0。 Q 端波形如图 4-22 所示。画图时注意以下两个问题：

① 触发器对应 CP 后沿翻转。

② Q 次态由 $CP=1$ 整个期间输入信号决定。由于存在一次翻转，故 $CP=1$ 期间 J 或 K 只能一个信号作用有效；当 Q 现态为 0 时， J 信号作用有效；当 Q 现态为 1 时， K 信号作用有效。

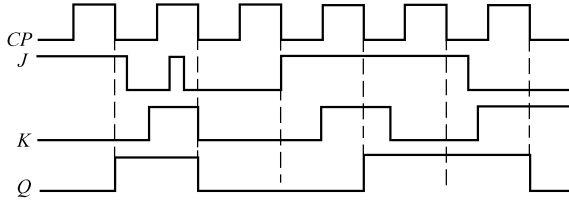


图 4-22 主从 JK 触发器波形图

思考与练习

(1) 根据图 4-23 所示主从 RS 触发器各端波形，画出 Q 波形。

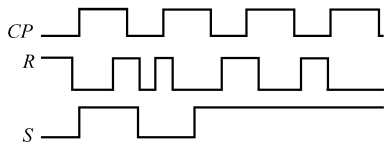


图 4-23

(2) 主从 JK 触发器如图 4-19 所示。试写出表 4-7 中, 当 $Q^n \rightarrow Q^{n+1}$ 时 J 和 K 的状态。

(3) 主从 JK 触发器输入波形如图 4-24 所示, 画出 Q 端波形。 \bar{R}_D 为异步置 0。

表 4-7

$Q^n \rightarrow Q^{n+1}$		J	K
0	0		
0	1		
1	0		
1	1		

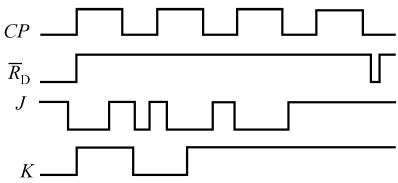


图 4-24

(4) 请根据表 4-6, 画出 JK 触发器的状态图。

4.4 边沿触发器

主从 JK 触发器虽然克服了空翻, 但仍有一次翻转现象, 容易受脉冲干扰而造成错误翻转。边沿触发器通过对电路进一步改进, 使触发器只对应 CP 上升或下降沿接收输入信号并发生状态转变, 是能够克服空翻的另一类型触发器。其中使用最多的是上升沿 D 和负边沿 JK 触发器。

上升沿 D 触发器对应时钟 CP 上升沿翻转, 其状态仅取决于 CP 上升沿到来时刻触发信号 D 的状态。为表示触发器仅在 CP 上升沿时刻接收信号并立即翻转, 图 4-25 (a) 所示触发器逻辑符号中, 时钟输入端 $C1$ 加了动态符号 “>”。

例 4-7 根据图 4-26 所示有关波形, 画出上升沿 D 触发器 Q 的波形。

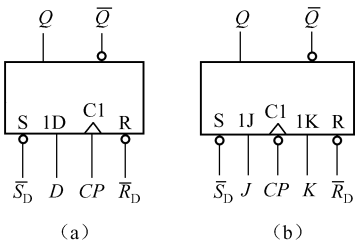


图 4-25 边沿触发器

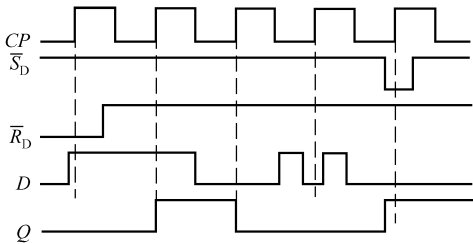


图 4-26 上升沿 D 触发器波形图

解: Q 波形如图 4-26 所示。画图时注意下面两个方面:

- ① 异步置位、复位信号具有优先权。
- ② 对应每个 CP 上升沿, 触发器状态是否翻转, 取决于 CP 上升沿前时刻 D 信号。

负边沿 JK 触发器只对应 CP 下降沿接收输入信号, 为表明这一特性, 图 4-25 (b) 所示负边沿 JK 触发器逻辑符号中, 在时钟输入端 $C1$ 特别加一个小圆圈。

例 4-8 已知负边沿 JK 触发器 CP 及 J 、 K 、 \bar{R}_D 波形如图 4-27 所示, 画出 Q 波形。

解: 画图时注意以下两个问题:

- ① 触发器对应 CP 下降沿 (也称负边沿或后沿) 翻转。
- ② Q 次态仅由 CP 下降沿前时刻输入信号决定, 并且当 Q 现态为 0 时, J 信号作用有效; 当 Q 现态为 1 时, K 信号作用有效。

设 $\bar{S}_D = 1$, 画 Q 端波形如图 4-27 所示。

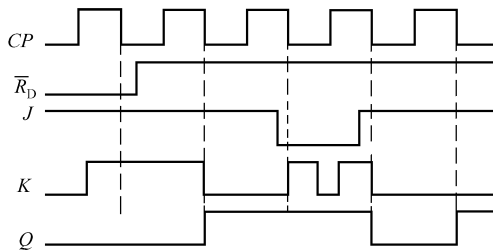


图 4-27 负边沿 JK 触发器波形图

思考与练习

- (1) 上升沿 D 触发器输入波形如图 4-28 所示，画出 Q 端波形。 \overline{R}_D 为异步置 0。
- (2) 负边沿 JK 触发器输入波形如图 4-29 所示，画出 Q 端波形。 \overline{R}_D 为异步置 0。

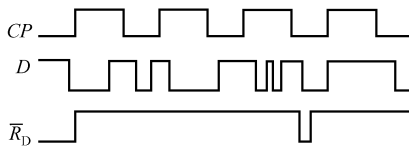


图 4-28

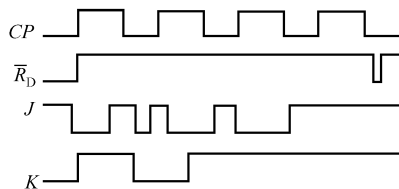


图 4-29

- (3) 比较例 4-6 与例 4-8，可以得出什么结论？

4.5 集成触发器

实际使用触发器时，一般都选用集成触发器。表 4-8 列出了部分常用的集成触发器。

表 4-8 常用集成触发器

名称及功能	型 号
正边沿 JK 触发器	70
带清零负沿触发双 JK 触发器	73
双 JK 负沿触发器（带预置和清零）	76, 112
双主从 JK 触发器（带置位和复位）	4027, 14027
双 JK 触发器（带预置端）	78, 109
与门输入 JK 触发器（带预置和复位端）	104
双负边沿 JK 触发器	113, 114
六 D 触发器（带“使能输出”端）	378
八 D 触发器（三态输出）	374
八 D 触发器（带清零）	273
上升沿触发双 D 触发器（带预置和复位）	74, 4013
六 D 型锁存器	268
四 \overline{RS} 锁存器	279, 4043, 4044

如果要选用的触发器没有现成产品时，可利用已有的触发器进行功能转换。如将 JK 触发器两输入端连接在一起变成一个输入端 T 便可构成 T 触发器。令 $J = K = T$ ，代入 JK 触发器特征方程，可得 T 触发器特征方程为：

$$Q^{n+1} = T \bar{Q}^n + \bar{T} Q^n \quad (4-10)$$

上式中，当 $T = 0$ 时 $Q^{n+1} = Q^n$ ，即触发器状态保持不变；当 $T = 1$ 时 $Q^{n+1} = \bar{Q}^n$ ，触发器处于计数状态，即触发器翻转次数，记录了送入触发器的 CP 脉冲个数。处于计数状态的触发器称为计数触发器或 T' 触发器。因此，T 触发器中令 $T = 1$ ，则 T 触发器即为 T' 触发器。

应用实例

触发器是构成时序逻辑电路的基本单元，几乎所有的数字系统都用到触发器。此处举一例介绍：用四 $\bar{R}\bar{S}$ 锁存器 74LS279（逻辑符号如图 4-30 所示）构成 8 路抢答器。

抢答器的结构框图如图 4-31 所示，它应具有以下功能：一是分辨出选手按键的先后，并锁存优先抢答者的编号，同时译码显示编号；二是使其他选手的按键操作无效。控制部分可控制抢答器的工作状态依次为准备抢答→等待抢答→接受并显示抢答结果。

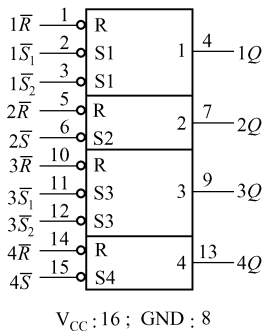


图 4-30 74LS279

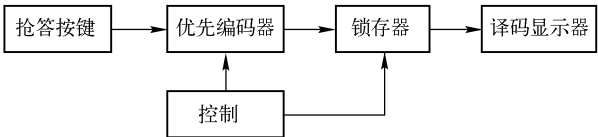


图 4-31 抢答器结构框图

抢答器逻辑图如图 4-32 所示。工作过程如下：控制开关 S 首先置于“复位”，74LS279 的四个 RS 触发器的置 0 端均为 0，使四个触发器均被置 0。1Q 为 0 使 74LS148 使能 $\overline{EN} = 0$ ，74LS148 处于允许编码状态，同时 1Q 为 0 使 74LS48 灭灯输入 $\overline{BI} = 0$ ，数码管无显示。这时抢答器处于准备抢答状态。

当将开关 S 拨到“抢答”位置时，抢答器处于等待状态。当有选手将按键开关按下时，抢答器将接受并显示抢答结果，假设按下的是 S4，则 74LS148 的编码输出为 011，此代码送入 74LS279 锁存后使 4Q3Q2Q = 100，亦即 74LS48 的输入为 0100；又 74LS148 的优先编码标志输出 \overline{GS} 为 0，使 1Q = 1，即 $\overline{BI} = 1$ ，74LS48 处于译码状态，译码的结果显示为“4”。同时 1Q = 1 使 74LS148 的 $\overline{EN} = 1$ ，74LS148 处于禁止状态，从而封锁了其他按键的输入。此外，当优先抢答者的按键松开再按下时，由于仍为 1Q = 1 使 $\overline{EN} = 1$ ，74LS148 仍处于禁止状态，确保不会接受二次按键时的输入信号，保证了抢答者的优先性。

如果进行再次抢答，这时将 S 拨到“复位”，74LS279 的四个 RS 触发器均被置 0，抢答器又进入了准备抢答状态。

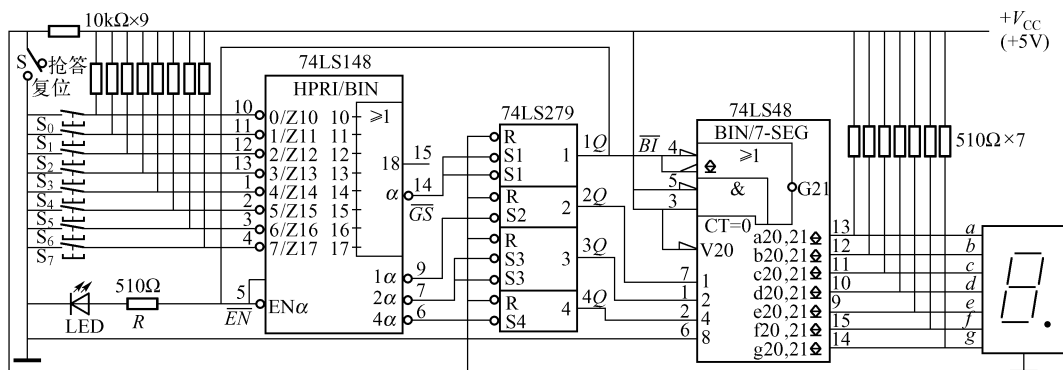


图 4-32 8 路抢答器

思考与练习

- (1) 画出用 JK 触发器构成 T 触发器的接线图。根据 T 触发器特征方程，列出其状态表。
- (2) 如何用 T 触发器构成计数触发器，即构成 T' 触发器。
- (3) 设图 4-33 (a) 所示各触发器的初态为 0，画出各触发器 Q 端的波形。时钟 CP 如图 4-33 (b) 所示。

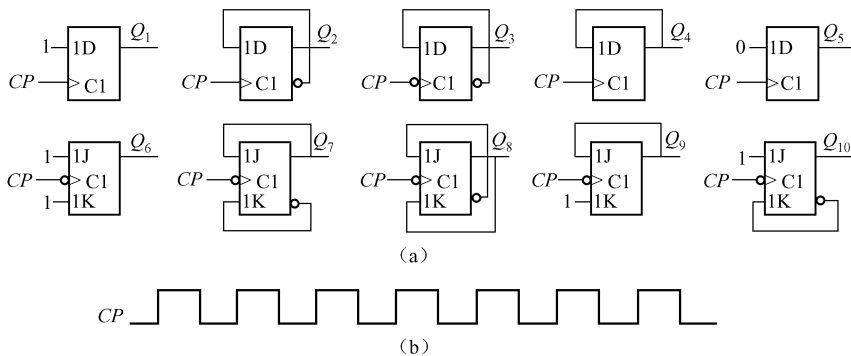


图 4-33

- (4) 图 4-32 中，LED 支路有何作用？

实验与技能训练

实验 7 触发器

- (1) 实验目的。进一步熟悉触发器的逻辑功能，掌握触发器的使用方法。

- (2) 实验用器件。74LS00、74LS112A、74LS75。

74LS112A 为双下降沿 JK 触发器（有预置和清除），逻辑符号如图 4-34 (a) 所示。

74LS75 为四 D 锁存器，逻辑符号如图 4-34 (b) 所示，每两个 D 锁存器由一个锁存信号 C 控制，C 高电平有效；C=1 时，锁存器接收输入数据，Q 随 D 信号变化而变化；C=0 时，Q 锁存 C 在由高变低时刻前的输入数据。

- (3) 实验用设备。数字电路通用实验仪，万用表。

- (4) 实验内容。

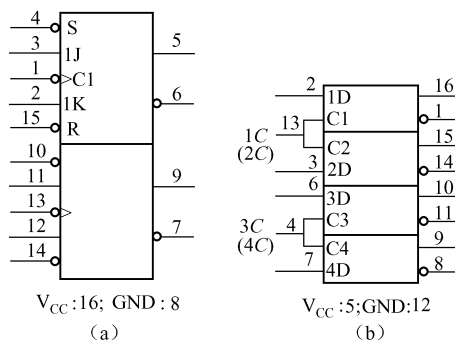


图 4-34

① 验证 74LS112 功能。将测试 74LS112 的结果填入表 4-9。注意， CP 信号由实验仪的单次脉冲提供。“↓”表示脉冲下降沿作用。

表 4-9

CP	\overline{R}_D	\overline{S}_D	J	K	Q^{n+1}	功 能
×	0	1	×	×		
×	1	0	×	×		
×	0	0	×	×		
×	1	1	×	×		
↓	1	1	0	1		
↓	1	1	1	0		
↓	1	1	0	0		
↓	1	1	1	1		

② 触发器功能转换。用 74LS112A 接成 D 触发器，接线如图 4-35 所示。验证触发器功能，并将结果填入自拟表格。

③ 验证锁存器功能。将 74LS75 其中之一锁存器，输入接逻辑开关，输出接电平指示灯，验证锁存器功能，并填入表 4-10。

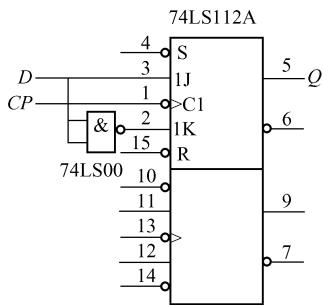


图 4-35

表 4-10

$1C$	$1D$	$1Q$
0	$0 \rightarrow 1 \rightarrow 0$	
1	$0 \rightarrow 1 \rightarrow 0$	
↓	0	
	1	

④ 数据锁存器。按图 4-36 接线，74LS75 的 $1D \sim 4D$ 接逻辑开关， $1Q \sim 4Q$ 接 74LS48 的 $A_0 \sim A_3$ 端，验证 74LS75 数据锁存功能，填入表 4-11。

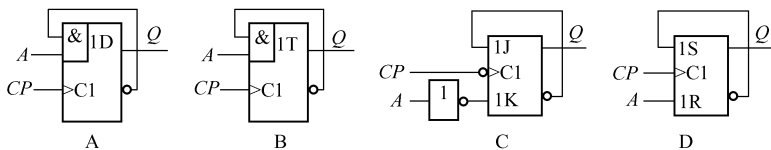


图 4-37

4.6 下降沿触发的 JK 触发器是否翻转, 由 CP 下降沿前时刻的触发信号及触发器现态共同决定。当现态为 1 时, 只要 CP 下降沿前时刻_____, 触发器状态对应 CP 下降沿就翻转。

- A. $J=0$ B. $K=0$ C. $J=1$ D. $K=1$
- 4.7 异步复位信号作用于复位端时, 可使触发器_____复位。
A. 在 CP 上升沿 B. 在 CP 下降沿 C. 在 CP 为高电平期间 D. 立即
- 4.8 某触发器的状态图如图 4-38 所示, 则该触发器的逻辑功能属_____。
A. RS 触发器 B. T 触发器 C. JK 触发器 D. D 触发器
- 4.9 存在一次翻转现象的触发器是_____。
A. 同步 JK 触发器 B. 主从 JK 触发器 C. 上边沿 JK 触发器 D. 负边沿 JK 触发器

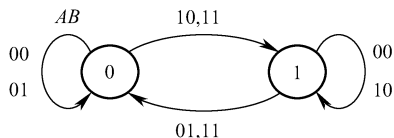


图 4-38

三、多项选择题

- 4.10 时钟信号是_____。
A. 控制信号 B. 输入信号 C. 输出信号 D. 矩形信号
- 4.11 图 4-39 中, 将 JK 触发器转换成 T 触发器的电路有_____。

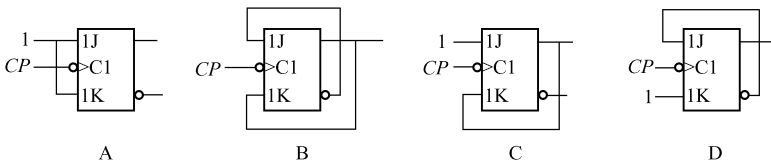


图 4-39

- 4.12 为防止主从 JK 触发器发生一次翻转, 应_____。
A. 减小 CP 脉冲宽度 B. 在整个 CP 有效期间, 保持 J 、 K 信号不变
C. 减小 J 信号宽度 D. 减小 K 信号宽度

四、综合题

- 4.13 根据图 4-40 所示电路及 CP 和 \bar{R}_D 波形, 画出 Q_1 、 Q_2 的波形。

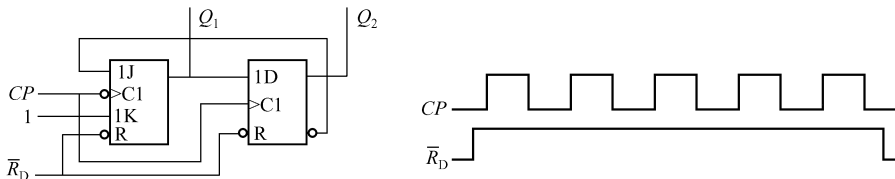


图 4-40

第5章 时序逻辑电路

知识目标

- (1) 了解时序电路的概念和分类。
- (2) 掌握常用的计数器、寄存器的逻辑功能。

技能目标

- (1) 能够查阅器件手册，识读计数器和寄存器模块的引脚和功能。
- (2) 能根据功能表正确使用计数器、寄存器模块并扩展其功能。

时序逻辑电路简称时序电路，与组合逻辑电路的区别是，任意时刻的输出信号不仅取决于该时刻的输入信号，而且与前一时刻的电路状态有关。

时序电路由组合逻辑电路和存储电路（触发器是构成存储电路的基本单元）两部分组成，如图5-1所示， $D(D_1, \dots, D_i)$ 是输入信号； $Y(Y_1, \dots, Y_l)$ 是输出信号； $W(W_1, \dots, W_k)$ 是存储电路的输入信号，它们取自组合逻辑电路的部分输出； $Q(Q_1, \dots, Q_j)$ 是存储电路的输出信号，用它们作为组合逻辑电路的部分输入信号。以上各信号间的逻辑关系可用下列三个方程组描述：

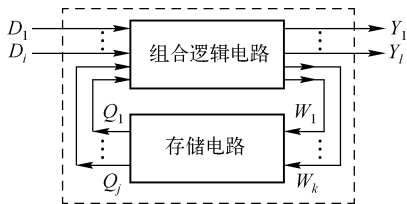


图5-1 时序电路的组成框图

时序电路输出方程组：

$$Y_m(t_n) = F_m[D_1(t_n), D_2(t_n), \dots, D_i(t_n), Q_1(t_n), Q_2(t_n), \dots, Q_j(t_n)], m = 1, 2, \dots, l$$

存储电路（触发器）驱动方程组又称激励方程组：

$$W_m(t_n) = Z_m[D_1(t_n), D_2(t_n), \dots, D_i(t_n), Q_1(t_n), Q_2(t_n), \dots, Q_j(t_n)], m = 1, 2, \dots, k$$

存储电路（触发器）的状态方程组：

$$Q_m(t_{n+1}) = H_m[W_1(t_n), W_2(t_n), \dots, W_k(t_n), Q_1(t_n), Q_2(t_n), \dots, Q_j(t_n)], m = 1, 2, \dots, j$$

需要说明，并不是所有的时序电路都具有图5-1所示的完整形式。有些时序电路没有组合逻辑电路部分，有些时序电路没有输入信号，但它们仍具有时序电路的基本特点。

时序电路按状态转换情况分为同步和异步时序电路两大类。同步电路中，存储电路状态的转变在同一时钟下发生。异步电路不用统一时钟，或没有时钟。

本章主要介绍计数器、寄存器等时序模块电路的基本原理、功能及使用方法。

5.1 计数器

计数器由触发器和门电路组成，它按预定顺序改变其内部各触发器的状态，用以表征送入脉冲的个数，即计数。

计数器按工作方式分为同步计数器和异步计数器；按进位数制分为二进制计数器和非二进制计数器。

5.1.1 同步计数器

同步是指组成计数器的所有触发器共用一个时钟，从而使得应该翻转的触发器在同一时刻一起翻转，并且该时钟就是被计数的输入脉冲。

1. 二进制计数器

由 k 个触发器组成的二进制计数器称为 k 位二进制计数器，它可以累计 $2^k = N$ 个二进制数： $0, 1, \dots, 2^k - 1$ 。 N 称为计数器的模或进制。若 $k = 1, 2, 3, \dots$ ，则 $N = 2, 4, 8, \dots$ ，相应的计数器就称为模 2 计数器，模 4 计数器，模 8 计数器， \dots 。

二进制计数器按计数顺序可以分为加法、减法和可逆计数器三种。

(1) 二进制加法计数器。二进制加法的计数规律是，当计数脉冲依次输入时，计数器的状态按二进制数依次增加。图 5-2 (a) 所示是 3 位二进制加法计数器，它由 3 个接成 T 功能的 JK 触发器和门电路组成。 CP 是计数脉冲输入端； $Q_0 \sim Q_2$ 是计数输出端； CO 是进位输出端。T 触发器的特征方程为：

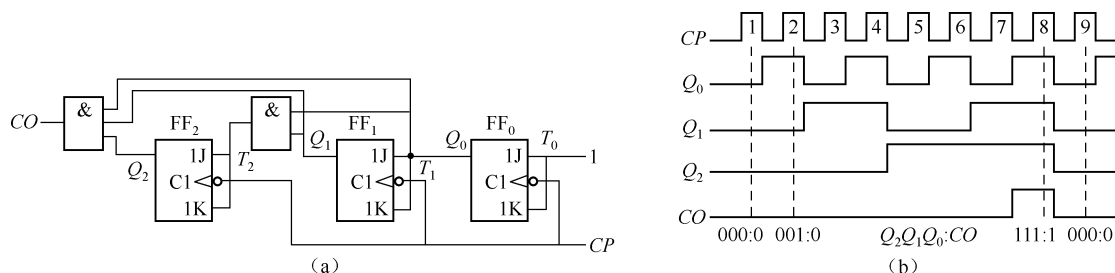


图 5-2 同步 3 位二进制加法计数器

$$Q^{n+1} = T \bar{Q}^n + \bar{T} Q^n \quad CP \text{ 下降沿有效}$$

可见，虽然 CP 接到各触发器的时钟端，但只有 $T = 1$ 的触发器在 CP 下降沿作用时才能翻转， $Q^{n+1} = \bar{Q}^n$ ；而 $T = 0$ 的触发器不翻转，即 $Q^{n+1} = Q^n$ 。图中各触发器驱动方程为：

$$T_2 = Q_1^n Q_0^n; T_1 = Q_0^n; T_0 = 1$$

进位输出方程为：

$$CO = Q_2^n Q_1^n Q_0^n$$

初始时计数器首先置 0，即 $Q_2^n Q_1^n Q_0^n = 000$ 。将计数器初态代入驱动方程得：

$$T_2 = 0; T_1 = 0; T_0 = 1$$

所以，当第一个 CP 下降沿作用时，触发器 FF_2 、 FF_1 不改变状态，只有 FF_0 翻转，计数器状态变为 $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = 001$ 。若把以上次态作为现态，即 $Q_2^n Q_1^n Q_0^n = 001$ ，则有

$$T_2 = 0; T_1 = 1; T_0 = 1$$

当第二个 CP 下降沿作用时， FF_2 不改变 0 态， FF_1 由 0 变 1， FF_0 由 1 变 0，即 $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = 010, \dots$ 。随着计数脉冲的输入，当计数到 $Q_2^n Q_1^n Q_0^n = 111$ 时， $T_2 \sim T_0$ 均为 1 且有 CO 进位输

出。当 CP 下降沿再次作用时, $FF_2 \sim FF_0$ 均由 1 变 0, 计数器回到 0 态。计数情况如表 5-1 所示。

表 5-1 3 位二进制加法计数器状态表

输入脉冲序号	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	输出 CO
1	0	0	0	0	0	1	0
2	0	0	1	0	1	0	0
3	0	1	0	0	1	1	0
4	0	1	1	1	0	0	0
5	1	0	0	1	0	1	0
6	1	0	1	1	1	0	0
7	1	1	0	1	1	1	0
8	1	1	1	0	0	0	1

根据表 5-1 可画出各触发器的输出波形图如图 5-2 (b) 所示。由图可以看出, 每经过一级触发器, 输出脉冲的周期增加一倍, 即频率降低为原来的 $1/2$ 。因此, 1 位二进制计数器也是一个二分频器, 3 位二进制计数器为八分频器。如触发器有 K 级, 则最后一级触发器所输出的脉冲频率就降低为最初输入频率的 $1/2^k$, 计数器就是 2^k 分频器。

(2) 二进制减法计数器。减法的计数规律与加法相反, 每来一个计数脉冲, 计数数值减 1。以 4 位二进制减法计数器为例, 计数规律如表 5-2 所示。表中 BO 是向高一位的借位输出信号。

表 5-2 4 位二进制减法计数器状态表

输入脉冲序号	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	输出 BO
1	1	1	1	1	1	1	1	0	0
2	1	1	1	0	1	1	0	1	0
3	1	1	0	1	1	1	0	0	0
4	1	1	0	0	1	0	1	1	0
5	1	0	1	1	1	0	1	0	0
6	1	0	1	0	1	0	0	1	0
7	1	0	0	1	1	0	0	0	0
8	1	0	0	0	0	1	1	1	0
9	0	1	1	1	0	1	1	0	0
10	0	1	1	0	0	1	0	1	0
11	0	1	0	1	0	1	0	0	0
12	0	1	0	0	0	0	1	1	0
13	0	0	1	1	0	0	1	0	0
14	0	0	1	0	0	0	0	1	0
15	0	0	0	1	0	0	0	0	0
16	0	0	0	0	1	1	1	1	1

(3) 二进制可逆计数器。将加减计数器合在一起并加上加/减控制信号 $\overline{U/D}$ 予以控制,就可构成可逆计数器。图 5-3 所示是 4 位二进制加/减计数器 74HC191, 它除具有可逆计数功能外, 还增加了并行送数等功能, 功能表如表 5-3 所示。表中“ \uparrow ”表示 CP 脉冲上升沿作用时, 计数器状态改变。

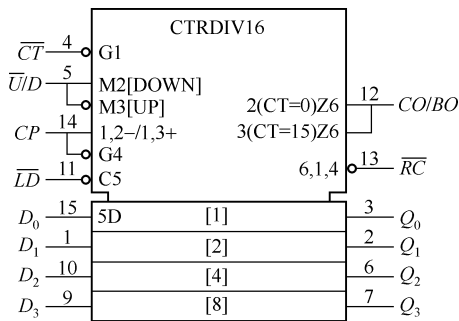


图 5-3 74HC191 逻辑符号

表 5-3 74HC191 功能表

\overline{LD}	\overline{CT}	$\overline{U/D}$	CP	动作
0	×	×	×	异步预置数
1	0	0	\uparrow	加计数
		1	\uparrow	减计数
	1	×	×	禁止

$Q_3Q_2Q_1Q_0$ 是计数输出端, Q_0 是低位, Q_3 是高位。

\overline{CT} 是允许计数控制端, 低电平有效, 即 $\overline{CT} = 0$ 时允许计数器计数; $\overline{CT} = 1$ 时禁止计数。

$D_3D_2D_1D_0$ 是预置数输入端。 \overline{LD} 是异步预置控制端, 低电平有效。 $\overline{LD} = 0$ 时不管是否有时钟, 都强迫给计数器置数, 将 $D_3 \sim D_0$ 数据并行送入计数器。如果将 $Q_3 \sim Q_0$ 预置初始数, 如 0111, 则计数器计数时先从 7 开始, 第一次计数顺序是 $7 \rightarrow 8 \rightarrow \dots \rightarrow 15$, 以后仍按 $0 \rightarrow \dots \rightarrow 15$ 计数。因此, 利用预置初始值可以改变计数器的计数长度。

$\overline{U/D}$ 是加减控制端。当 $\overline{U/D} = 0$ 时执行加计数, 当 $\overline{U/D} = 1$ 时执行减计数。

CO/BO 是进位/借位信号输出端。

\overline{RC} 是串行脉冲 (又称行波脉冲) 输出端, 在 $\overline{CT} = 0$ 且 $CO/BO = 1$ 时, 输出一个和 CP 同宽的负脉冲, 在多级连接时, 作为下一级的 CP 脉冲或向下一级的进位、借位信号。图 5-4 所示是两个多级连接的实例, 均为 12 位二进制计数器。图 5-4 (a) 中所示, 前级 \overline{RC} 接后级 CP, 前级输出行波脉冲作为后级的时钟。除第一级外, 各级均接成允许计数状态, 这样, 当前级有行波脉冲输出时, 后级计数器的计数值加 1 或减 1。例如, 在执行加计数中, 若第一级 $Q_3Q_2Q_1Q_0$ 全为 1, 第二级 $Q_7Q_6Q_5Q_4$ 不全为 1 (设为 0101), 当下一个计数脉冲到来时, 第一级产生一个行波脉冲输出并送入第二级, 同时 $Q_3Q_2Q_1Q_0$ 恢复为全 0, 而 $Q_7Q_6Q_5Q_4$ 计数值加 1 (成为 0110); 由于 $Q_7Q_6Q_5Q_4$ 不全为 1, 故没有行波脉冲输出, 即第三级无计数脉冲输入, 所以 $Q_{11}Q_{10}Q_9Q_8$ 状态不变。图中各级计数器为串行连接, 虽然在每片内电路是同步工作的, 但片与片之间是异步工作。图 5-4 (b) 中所示各级计数器是全同步工作的, 时钟脉冲 CP 同时驱动各级计数器。此外, 除第一级 \overline{CT} 接地外, 其余各级 \overline{CT} 均接前级 \overline{RC} , 前级 \overline{RC} 信号作为向后级的进位/借位信号, 并以串行方式传送。当前级有进位或借位信号输出时, 才使后一级计数。

74HC191 在执行加或减计数时使用同一个时钟输入端, 具体执行加或减操作, 由 $\overline{U/D}$ 控

制，所以称为单时钟结构。如果在执行加或减计数时计数脉冲来自两个不同的输入端，如 74HC193（逻辑符号见图 5-5 所示，功能表见表 5-4 所列），在执行加计数时，时钟由 CP_U 输入而 $CP_D=1$ ，在执行减计数时，时钟由 CP_D 输入而 $CP_U=1$ ，则该计数器为双时钟结构。由于采用双时钟，所以省去了加/减操作控制端。此外， CR 为异步复位信号，也称异步清零信号，高电平有效，即只要 $CR=1$ ，立刻使计数器中各触发器置零。计数时应使 $CR=0$ 。

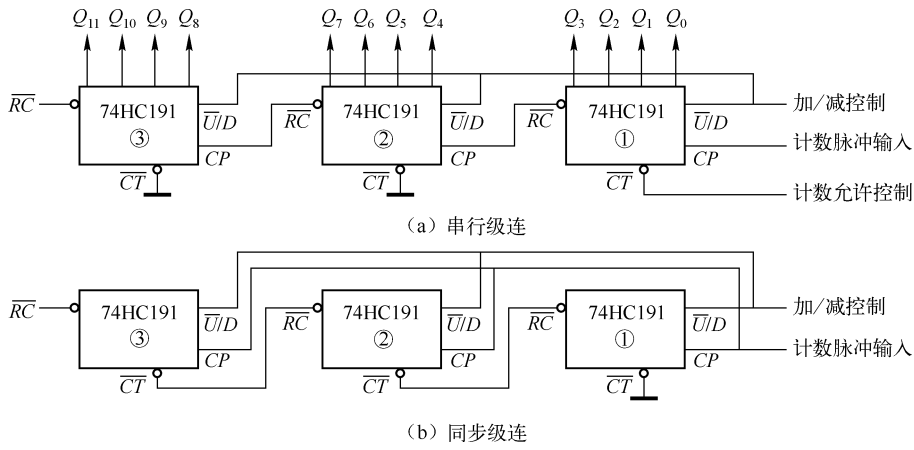


图 5-4 多级计数器的连接

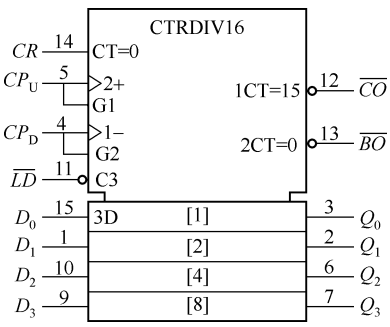


图 5-5 74HC193 逻辑符号

表 5-4 74HC193 功能表

CR	\overline{LD}	CP_U	CP_D	动作
1	×	×	×	异步清零
0	0	×	×	异步预置数
0	1	1	↑	减计数
0	1	↑	1	加计数

2. 非二进制计数器

非二进制计数器是指模 $N \neq 2^k$ 的任意进制计数器。例如，当计数器 $N=5, 10, 12$ 时，就称之为模 5，模 10，模 12 计数器，也称为五，十，十二进制计数器。

74HC162 是十进制加法计数器，逻辑图和逻辑符号如图 5-6 所示，功能如表 5-5 所示，表 5-6 是其状态表。 $Q_3 \sim Q_0$ 是计数输出端。 RC 是串行进位输出端。 \overline{CR} 是同步清零端，低电平有效，当 $\overline{CR}=0$ 时，在 CP 上升沿作用下计数器被置零。同步预置控制端 \overline{LD} 为低电平有效，当 $\overline{LD}=0$ 且 $\overline{CR}=1$ 时，在 CP 上升沿作用下，将预置数 $P_3P_2P_1P_0$ 置入计数器，使 $Q_3Q_2Q_1Q_0 = P_3P_2P_1P_0$ 。 CT_T 、 CT_P 是计数控制端，高电平有效，如果 $\overline{CR}=1$ ， $\overline{LD}=1$ ，而 $CT_T \cdot CT_P=0$ ，计数器将保持原状态不变，只有 $CT_T \cdot CT_P=1$ ，计数器才能计数。

表 5-5 74HC162 功能表

CP	\overline{CR}	\overline{LD}	CT_T	CT_P	操 作
\uparrow	0	\times	\times	\times	同步清零
\uparrow	1	0	\times	\times	同步预置数
\uparrow	1	1	1	1	加计数
\times	1	1	0	\times	保持
\times	1	1	\times	0	保持

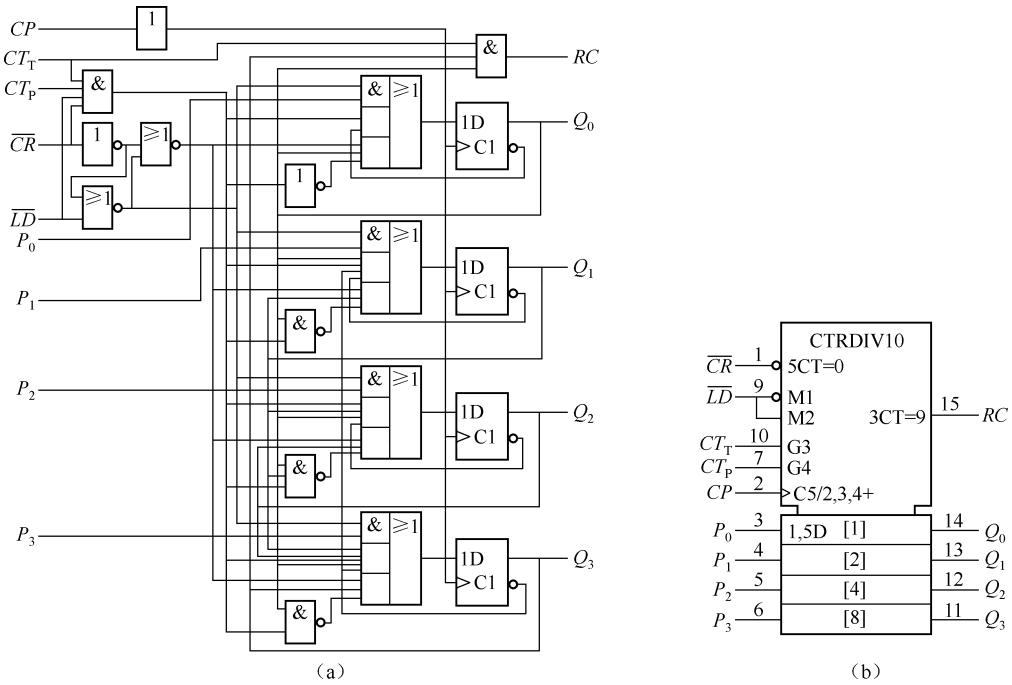


图 5-6 十进制加法计数器 74HC162

表 5-6 74HC162 状态表

序 号	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	RC	说 明
1	0	0	0	0	0	0	0	1	0	有效状态
2	0	0	0	1	0	0	1	0	0	
3	0	0	1	0	0	0	1	1	0	
4	0	0	1	1	0	1	0	0	0	
5	0	1	0	0	0	1	0	1	0	
6	0	1	0	1	0	1	1	0	0	
7	0	1	1	0	0	1	1	1	0	
8	0	1	1	1	1	0	0	0	0	
9	1	0	0	0	1	0	0	1	0	
10	1	0	0	1	0	0	0	0	1	

续表

序 号	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	RC	说 明
11	1	0	1	0	1	0	1	1	0	无效状态
12	1	0	1	1	0	1	0	0	1	
13	1	1	0	0	1	1	0	1	0	
14	1	1	0	1	0	1	0	0	1	
15	1	1	1	0	1	1	1	1	0	
16	1	1	1	1	0	0	0	0	1	

根据表 5-6 画计数器状态图如图 5-7 所示。图中，转移线旁边的标注是输出 RC 取值。

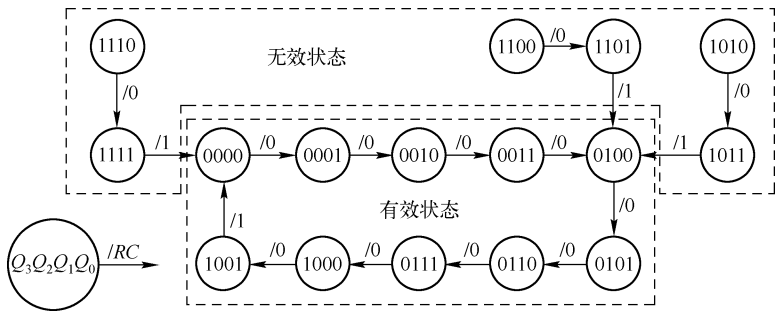


图 5-7 74HC162 计数状态图

由 4 个触发器组成的计数器有 $2^4 = 16$ 种状态，而十进制计数器只用 10 种，这 10 种状态称为有效状态，其余 6 种称为无效状态。如果计数器能由无效状态自动转入有效状态，则称计数器能自启动。只要有一个无效状态始终不能转入有效状态，就称不能自启动。可见，74HC162 计数器具有自启动功能。

图 5-8 所示是 74HC162 计数波形图，它直观反映了计数器中各触发器的状态及输出信号与计数脉冲 CP 在时间上的对应关系。可见， Q_3 端输出脉冲频率是输入 CP 频率的十分频。

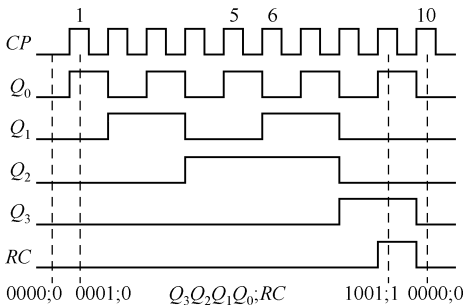


图 5-8 十进制加法计数器波形图

5.1.2 异步计数器

异步计数器的各级触发器时钟并不都来源于计数脉冲，各级触发器的状态转变不是同时进行。因而在异步计数器工作时，要注意各级触发器的时钟信号，以确定其状态转变时刻。

1. 二进制计数器

图 5-9 所示是异步 4 位二进制加法计数器，由 4 个具有 T' 功能的 JK 触发器组成。计数脉冲加到第一级触发器 CP 端，其余各触发器 Q 端依次接高一位触发器 CP 端，即 $CP_0 = CP$ ； $CP_1 = Q_0$ ； $CP_2 = Q_1$ ； $CP_3 = Q_2$ 。由于 T' 触发器具有计数功能，因此，只要低位触发器

状态从 1 变 0，其 Q 端产生的下降沿就使高一位触发器翻转。最低位触发器则在 CP 下降沿时翻转。根据以上分析可得异步 4 位二进制计数器波形图如图 5-10 所示。图中箭头所指表示低位触发器下降沿触发高位触发器，使其改变状态。

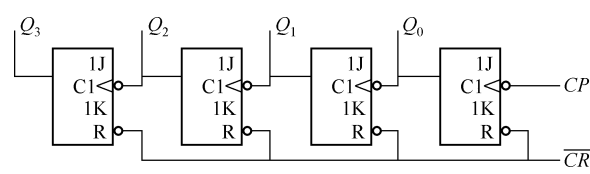


图 5-9 异步 4 位二进制加法计数器

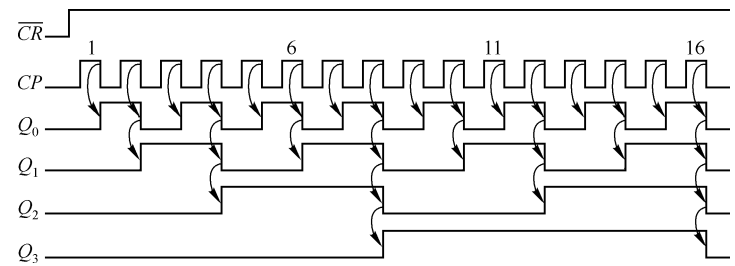


图 5-10 异步 4 位二进制加法计数器波形图

2. 非二进制计数器

74LS90 是二 - 五 - 十进制加法计数器，表 5-7 是其功能表。若输入时钟 CP 接于 CP_0 端，输出端为 Q_0 ，则是一位二进制计数器；若输入时钟 CP 接于 CP_1 端，输出端为 $Q_3Q_2Q_1$ ，则是五进制加法计数器。若将输入时钟 CP 接于 CP_0 端，并将 CP_1 端与 Q_0 端相连，输出端 $Q_3Q_2Q_1Q_0$ ，便构成 8421 码异步十进制加法计数器。若将输入时钟 CP 接于 CP_1 端， CP_0 端与 Q_3 端相连，输出端 $Q_0Q_3Q_2Q_1$ ，则构成 5421 码异步十进制加法计数器，图 5-11（a）示出其连接方法，计数波形如图 5-11（b）所示，显然， Q_0 端输出的是方波，且是输入 CP 脉冲的十分频。

表 5-7 74LS90 功能表（复置位/计数）

复置位输入				输 出	说 明	逻辑符号
R_1	R_2	S_1	S_2	$Q_3Q_2Q_1Q_0$		
1	1	0	×	0 0 0 0	置 0	<p>$V_{CC}:5; \text{GND}:10; \text{NC}:4, 13$</p>
1	1	×	0	0 0 0 0		
0	×	1	1	1 0 0 1		
×	0	1	1	1 0 0 1	置 9	
0	×	0	×	计数		
×	0	×	0	计数		
0	×	×	0	计数		
×	0	0	×	计数		

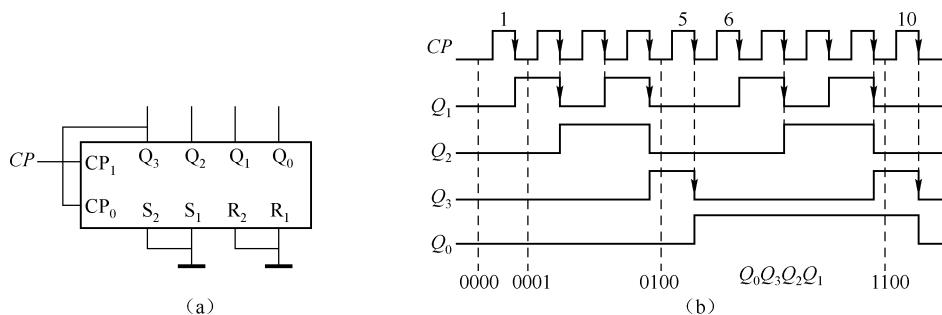


图 5-11 5421 码异步十进制加法计数器

74LS90 还具有置 0 和置 9 功能，操作方式见表 5-7 所示。

异步计数器结构简单，但由于各触发器异步翻转，所以工作速度低，并且在进行状态译码输出时容易产生冒险。异步计数器主要作为分频器。

为便于读者选用，表 5-8 列出若干集成计数器，其中有同步计数器，也有异步计数器。

表 5-8 集成计数器

型 号	名 称	功 能
161	4 位二进制同步计数器	同步计数，异步并行清零，锁存，有行波进位输出，可级联
163	4 位二进制同步计数器	同步清零
193	4 位二进制同步加/减计数器	直接清零，可预置数，双时钟，进位、借位分别输出，可级联
196	二 - 五 - 十进制计数器	直接清零，可预置数，二、五分频，双时钟
197	二 - 八 - 十六进制计数器	直接清零，可预置数，二、八分频，双时钟
191	可逆二进制计数器	同步清零，带加减计数方式控制
90A, LS90	4 位二 - 五 - 十进制计数器	双输入计数，二、五分频，有置 9 输入，直接清零
160	4 位十进制同步计数器	同步计数，异步预置数，异步清零，锁存，有行波进位输出
162	4 位十进制同步计数器	同步清零
190	十进制同步加/减计数器	同步计数，异步预置数，有加/减控制，进位/借位输出，有串行时钟输出，可锁存
192	十进制同步加/减计数器	加 1、减 1 计数分别控制，进位、借位分别输出，双时钟
92	十二分频计数器	二 - 三 - 十二进制计数，直接清零

5.1.3 集成计数器构成 N 进制计数器

利用集成计数器构成 N 进制计数器有两种方法。

1. 串接法

将两计数器串接，所得新计数器的模为两计数器模之乘积。例如，用模 10 和模 6 计数器串接起来，可以构成模 60 计数器，如图 5-12 所示。可见，此方法能够增大计数器的计数长度，即增大计数器的模值。



图 5-12 模 60 计数器

2. 反馈法

反馈法是利用计数器计数到某一数值时，由电路产生的置位或复位脉冲加到计数器预置数控制端或清零端，使计数器恢复到起始状态并重新计数，达到改变计数器计数长度的方法。使用该方法，能够由模值大的计数器得到模值小的计数器。

下面结合图 5-13，分析利用反馈法用 74HC160 构成模 6 计数器的原理。74HC160 与 74HC162 功能相同，只是 74HC160 为异步复位 \overline{CR} ，参见表 5-5 所示。

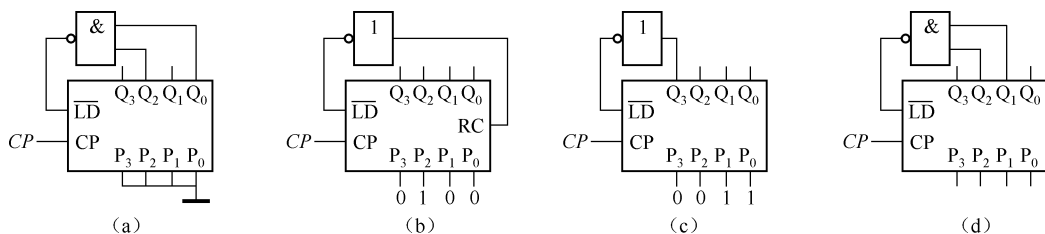


图 5-13 模 6 计数器

(1) 反馈置 0 法。图 5-13 (a) 所示电路的计数状态是 $0_{10} \rightarrow 1_{10} \rightarrow \dots \rightarrow 5_{10}$ ，当计数器计数到 5_{10} 时 Q_0 和 Q_2 为 1，与非门输出是 0，即 \overline{LD} 是 0。因 74HC160 是同步预置数，所以，下一个计数脉冲即 CP 到来时，将 $P_3 \sim P_0$ 数据 0000 送入计数器，使计数器又从 0_{10} 开始计数，一直计数到 5_{10} ，重复上述过程。可见，此 N 进制计数器是使计数器计数到 $(N-1)$ 时，利用反馈置计数器初始值为 0000 的方法构成。

(2) 反馈预置法。图 5-13 (b) 所示电路的计数状态是 $4_{10} \rightarrow 5_{10} \rightarrow 9_{10}$ ，当计数到 9_{10} 时进位输出 RC 为 1，经非门后 \overline{LD} 为 0，所以下一个 CP 时钟到来时， $P_3 \sim P_0$ 的数据 0100 送入计数器，此后又从 4_{10} 开始计数，重复上述过程。因此，该 N 进制计数器是利用反馈来预置初始值的方法构成。

图 5-13 (c) 所示的计数状态是 $3_{10} \rightarrow 4_{10} \rightarrow 5_{10} \rightarrow 6_{10} \rightarrow 7_{10} \rightarrow 8_{10}$ ，请读者自行分析其原理。

(3) 直接复位法。图 5-13 (d) 所示电路是利用了直接置 0 端 \overline{CR} ，工作状态为 $0_{10} \rightarrow 1_{10} \rightarrow \dots \rightarrow 5_{10}$ ，当计数器计到 6_{10} 时（状态 6_{10} 出现的时间极短，不能作为一种计数态，它仅仅是为了使计数器复位的过渡态）， Q_2 和 Q_1 均为 1，使 \overline{CR} 为 0，由于 74HC160 是异步复位，所以计数器立即被强迫回到 0_{10} ，开始新的循环。这种方法的缺点是输出信号有毛刺，见图 5-14 所示中的 Q_1 。这是因为 Q_2 和 Q_1 同时为 1（即状态 6_{10} ）时才会产生置 0 脉冲，并且送到 \overline{CR} 端，而一旦计数器被置 0， Q_2 和 Q_1 又回到 0，使得计数器在状态 6_{10} 闪了一下的缘故。此外，如果 Q_2 和 Q_1 中有一个先回到 0，置 0 脉冲立即消失，另一个触发器就不能置 0，因而计数器不能可靠置 0。改进的方法是加一个基本 RS 触发器，如图 5-15 (a) 所示，计数波形如图 5-15 (b) 所示。当计数器计到 6_{10} 时，基本 RS 触发器置 0，使 \overline{CR} 端为 0，该 0 一直持续到 CP 下降沿到来为止，故计数器能可靠置 0。

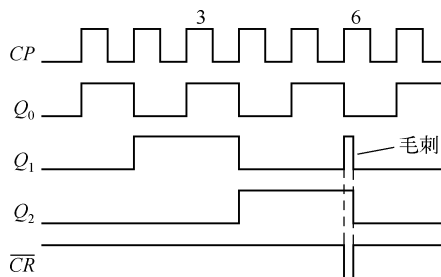


图 5-14 图 5-13 (d) 电路波形图

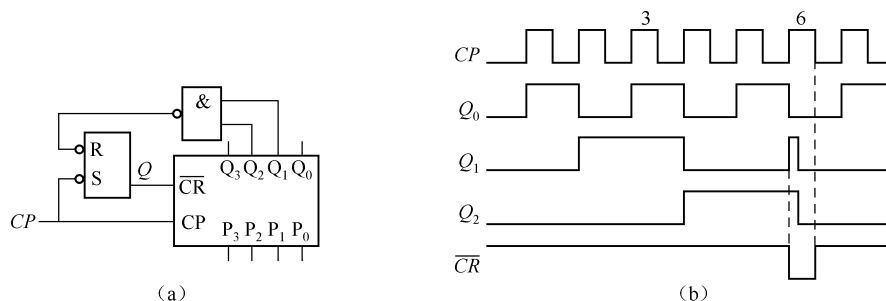


图 5-15 改进的模 6 计数器

总结以上分析可得结论如下：

(1) 利用同步置数（也包括同步复位）改变计数长度时，由于计数器状态的改变要与 CP 配合进行，所以可利用计数的最后一种状态来形成置数控制信号或复位信号，在下一个 CP 到来时对计数器强制置数或清零。

利用异步复位（也包括异步置数）改变计数长度时，由于异步操作是“一触即发”，所以计数器需要有过渡态来形成复位信号或置数控制信号使计数器立即复位或置数，而过渡态不能作为一种计数状态。

(2) 如果计数长度为 N ，当初值为 0_{10} 时，同步置数最大计数值为 $(N-1)$ ，异步置数过渡态为 N 。如果初值为 X ，则同步置数最大计数值为 $(N+X-1)$ ，异步置数的过渡态为 $(N+X)$ 。

(3) 利用行波脉冲（包括进位、借位信号）作置数控制信号时，初值设置为 $X = (M - N)$ ，其中 M 为集成计数器的进制。当 $N = M$ 时， $X = 0$ ，这时行波脉冲也可以作复位信号。

5.1.4 计数器的设计与分析

1. 计数器的设计

计数器的设计方法有两种，一种是利用现有的集成计数器通过外部电路适当连接构成，另一种是利用触发器和门电路构成。以下通过两个实例介绍这两种设计方法。

例 5-1 利用两片 74HC162 构成六十进制计数器。

解：构成的六十进制计数器如图 5-16 所示。图中，片①为模 10 计数器，片②接成模 6 计数器，片①的行波进位输出 RC 与片②的 CT_T 、 CT_P 相连。这样，当①的 $RC = 1$ 时便可使高位计数器计数；而①的 $RC = 0$ 时高位计数器状态不变。计入五十九个脉冲后，计数器状态为：

$$Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 01011001$$

与非门输出为0，使片②的 $\overline{CR}=0$ 。由于74HC162为同步置0，所以，下一个CP到来时，计数器恢复为全0。

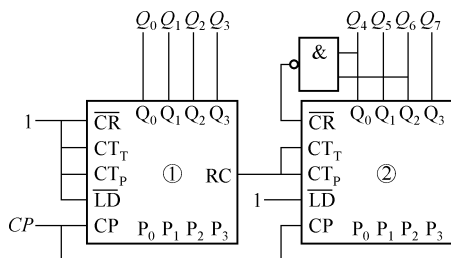


图 5-16 六十进制计数器

*** 例 5-2** 设计一个同步模 6 计数器。

解：设计过程通常分为 5 个步骤。

(1) 根据设计所要求的计数器的逻辑功能，确定状态数，画出原始状态图。

由设计要求知，计数器应有 6 种状态，分别用 S_0 、 S_1 、 \dots 、 S_5 表示。画出原始状态图如图 5-17 所示，图中转移线旁边的标注是进位输出取值。计数器计满 6 个脉冲后恢复到起始状态，并有进位输出。

(2) 根据总状态数 N ，确定所用触发器的数目 k 。 k 满足条件：

$$2^k \geq N$$

确定触发器的数目后进行状态分配或称状态编码，即用触发器的不同状态组合分别表示计数器的不同状态。同一计数器由于状态编码不同，设计出的电路也就不同。

本设计题目有 6 种状态，要求触发器数目 k 为： $2^k \geq N=6$ ，所以要用 3 个触发器。

在进行状态编码时，可以有多种方案。本例按二进制递增顺序编码，依次取 000 ~ 101 共 6 个编码分别表示 $S_0 \sim S_5$ 。编码后的状态图如图 5-18 所示，状态表见表 5-9。其中，110 及 111 两种状态未用，作为约束项处理。

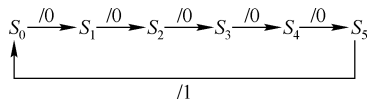


图 5-17 例 5-2 原始状态图

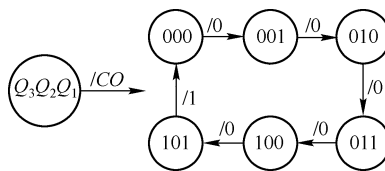


图 5-18 模 6 计数器状态图

表 5-9 模 6 计数器状态表

输入脉冲序号	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CO
1	0	0	0	0	0	1	0
2	0	0	1	0	1	0	0
3	0	1	0	0	1	1	0
4	0	1	1	1	0	0	0
5	1	0	0	1	0	1	0

续表

输入脉冲序号	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CO
6	1	0	1	0	0	0	1
无效状态	1	1	0	×	×	×	×
	1	1	1	×	×	×	×

(3) 选定触发器的类型，求状态方程，进而求驱动方程和输出方程。如果是异步计数器，还要考虑时钟条件。

现选用 JK 触发器。根据表 5-9 得 Q_3^{n+1} 、 Q_2^{n+1} 、 Q_1^{n+1} 卡诺图如图 5-19 所示，化简得状态方程：

$$Q_3^{n+1} = Q_1^n Q_2^n \cdot \bar{Q}_3^n + \bar{Q}_1^n \cdot Q_3^n$$

$$Q_2^{n+1} = Q_1^n \bar{Q}_3^n \cdot \bar{Q}_2^n + \bar{Q}_1^n \cdot Q_2^n$$

$$Q_1^{n+1} = \bar{Q}_1^n$$

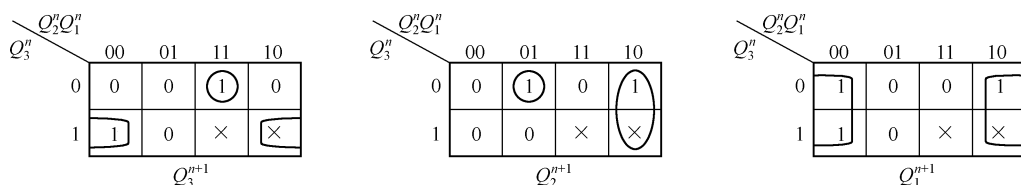


图 5-19 模 6 计数器次态卡诺图

特别指出，为便于求驱动方程，在合并化简得 Q_i^{n+1} 与或式时，每个与项均应含有 Q_i^n 或 \bar{Q}_i^n 。在求 Q_3^{n+1} 时，没有利用约束项将 Q_3^n 消去就是这个原因。

将 Q_3^{n+1} 、 Q_2^{n+1} 、 Q_1^{n+1} 的表达式与 JK 触发器特征方程 $Q^{n+1} = J \bar{Q}^n + \bar{K} Q^n$ 比较，得驱动方程

$$J_3 = Q_1^n Q_2^n \quad K_3 = Q_1^n$$

$$J_2 = Q_1^n \bar{Q}_3^n \quad K_2 = Q_1^n$$

$$J_1 = 1 \quad K_1 = 1$$

由表 5-9 得 CO 卡诺图如图 5-20 所示。化简得输出方程为：

$$CO = Q_1^n Q_3^n$$

(4) 根据驱动方程、输出方程画逻辑图，画逻辑图如图 5-21 所示。由于是同步计数器，所以各触发器使用同一时钟。

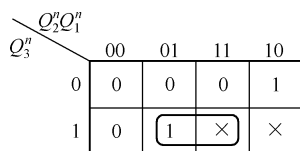


图 5-20 CO 卡诺图

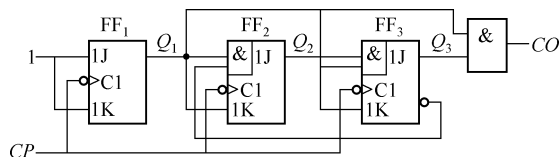


图 5-21 模 6 计数器

(5) 根据状态方程检查计数器能否自启动。两个无效状态的次态分别为 $110 \rightarrow 111$ ； $111 \rightarrow 000$ ，所以电路能够自启动。如果不能自启动则应重新设计，修改无效状态的次态，使之能进入有效状态。

* 2. 计数器的分析

以下结合例 5-3 介绍计数器的分析方法。

例 5-3 分析图 5-22 所示时序电路。

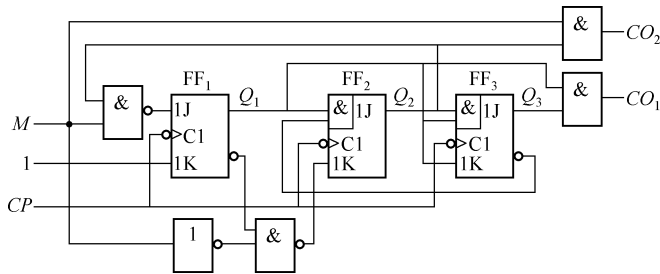


图 5-22 例 5-3 逻辑图

解：分析过程一般为 5 个步骤。

(1) 确定触发器的驱动方程，有时还需要写时钟方程（即触发器的时钟信号表达式）。

由图 5-22 可得：

$$\begin{aligned} J_1 &= \overline{Q_2^n} M & K_1 &= 1 \\ J_2 &= Q_1^n \overline{Q_3^n} & K_2 &= \overline{M} \overline{Q_1^n} \\ J_3 &= Q_1^n Q_2^n & K_3 &= Q_1^n \end{aligned}$$

时钟方程为：

$$CP_1 = CP_2 = CP_3 = CP \text{ (同步时序电路的时钟方程也可省略不写)}$$

(2) 求所用触发器的状态方程。把驱动方程代入 JK 触发器特征方程，可得状态方程为：

$$\begin{aligned} Q_1^{n+1} &= \overline{Q_2^n} M \overline{Q_1^n} + 0 \cdot Q_1^n = \overline{Q_2^n} \overline{Q_1^n} + M \overline{Q_1^n} \\ Q_2^{n+1} &= Q_1^n \overline{Q_3^n} \overline{Q_2^n} + \overline{M} \overline{Q_1^n} Q_2^n \\ Q_3^{n+1} &= Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} Q_3^n \end{aligned}$$

由图 5-22 求输出方程为：

$$CO_1 = Q_3^n Q_1^n; CO_2 = M Q_2^n$$

(3) 列状态表如表 5-10 所示。

表 5-10 例 5-3 状态表

M	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CO_1	CO_2
0	0	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	0
0	0	1	0	0	1	1	0	0
0	0	1	1	1	0	0	0	0
0	1	0	0	1	0	1	0	0
0	1	0	1	0	0	0	1	0

续表

M	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	CO_1	CO_2
0	1	1	0	1	1	1	0	0
0	1	1	1	0	0	0	1	0
1	0	0	0	0	0	1	0	0
1	0	0	1	0	1	0	0	0
1	0	1	0	0	0	0	0	1
1	0	1	1	1	0	0	0	1
1	1	0	0	1	0	1	0	0
1	1	0	1	0	0	0	1	0
1	1	1	0	1	0	0	0	1
1	1	1	1	0	0	0	1	1

(4) 根据状态表，画状态图。如图 5-23 所示。

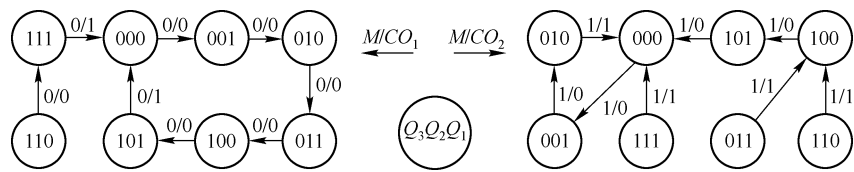


图 5-23 例 5-3 状态图

(5) 判断逻辑功能。由以上分析可知，当控制信号 $M=0$ 时，计数器按模 6 计数，能自启动；当 $M=1$ 时，按模 3 计数，能自启动。所以该电路是一个可控变模自启动计数器。

应用实例

计数器是数字系统中用途最广泛的基本部件之一，它不仅可以用来定时、计数，测量脉冲频率、周期，还可以构成节拍脉冲发生器等。

1. 测量脉冲频率、周期

用计数器构成的测量频率的电路如图 5-24 所示。测量前先将计数器清零，然后将待测信号和取样脉冲信号一起加到门 G。在 $t_1 \sim t_2$ 期间，取样脉冲为正，G 开通并输出被测信号脉冲，此脉冲由计数器计数，计数值就是 $t_1 \sim t_2$ 期间被测脉冲的个数 N ，由此求得被测脉冲的频率为：

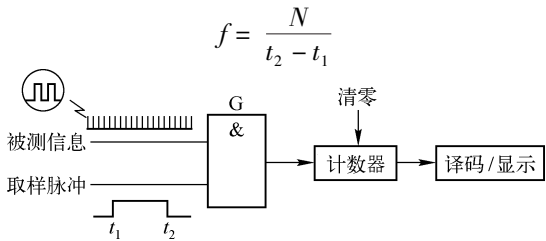


图 5-24 测量脉冲频率

将上述测量频率的电路稍加改动便可测量脉冲周期，如图 5-25 所示。将基准频率为 1MHz 的脉冲信号经门 G 加到计数器输入端，在待测时间间隔 T_x 内，计数器对基准信号计数， $T_x = N/f = N(\mu s)$ ，即计数显示数值就是以 μs 为单位的脉冲周期 T_x 。例如，脉冲周期为 1280 μs ，则计数显示值为 1280。

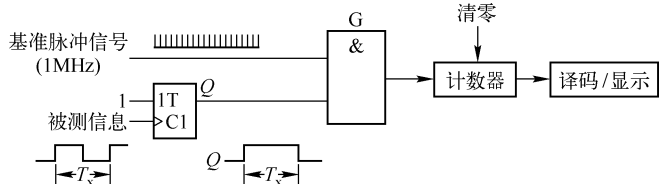


图 5-25 测量脉冲周期

2. 构成节拍脉冲发生器

节拍脉冲是指一组在时间上有先后顺序的脉冲，也称顺序信号，主要用来控制某些部件按照规定顺序完成一系列操作。节拍脉冲发生器也称顺序脉冲发生器或脉冲分配器，一般由计数器和译码器组成。

图 5-26 (a) 所示是四节拍负脉冲发生器，只要在计数器输入端加时钟信号 CP ，便可以在 $\bar{Y}_1 \sim \bar{Y}_4$ 端依次输出负脉冲信号，如图 5-26 (b) 所示

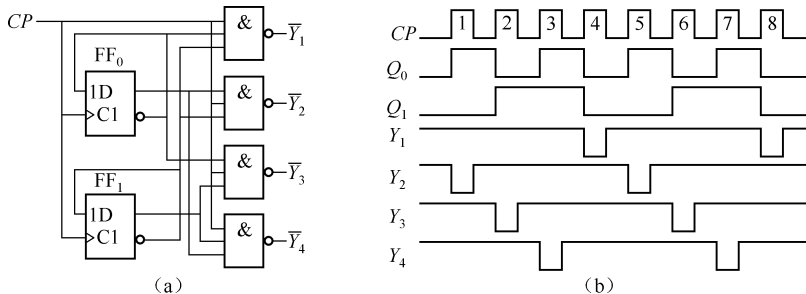


图 5-26 四节拍负脉冲发生器

思考与练习

- (1) 什么是计数器，它有哪些主要功能？
- (2) 何谓同步计数器和异步计数器？它们各自的特点是什么？
- (3) 如果有一个 4 位二进制加法计数器，进位输出是 CO ，试列出其计数状态表。
- (4) 在图 5-4 (b) 中，如果 $Q_{11}Q_{10}Q_9Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0 = 1010\ 0101\ 1111$ ，试分析在下一个计数脉冲 CP 的作用下计数器的工作情况。
- (5) 用两片 74HC162 构成十二进制计数器。要求：用两种方案实现。
- (6) 当欲构成的计数器的模值 $N <$ 集成计数器的进制 M 时，是否可以用集成计数器的行波脉冲作为复位信号来构造计数器？

5.2 寄存器

在数字系统中，常常需要将数码或运算结果或指令信息（这些信息是用二进制代

码表示的) 暂时存放起来。能够暂时存放数据和指令的部件称为寄存器。一个触发器就是一个最简单的寄存器, 它能存放 1 位二进制代码。 k 个触发器能够存放 k 位二进制代码。

寄存器由触发器和门电路组成, 种类很多, 按功能分为数码寄存器和移位寄存器两类。

5.2.1 数码寄存器

暂存二进制数码的寄存器称为数码寄存器。图 5-27 所示是双拍接收式 4 位数码寄存器, 它由基本 RS 触发器和控制门组成。 D_i ($i=1, 2, 3, 4$) 是数码输入端, Q_i ($i=1, 2, 3, 4$) 是数码输出端。寄存分为两步即双拍: 首先清零, 即用置 0 信号使所有触发器置 0。然后用接收脉冲将控制门打开, 如输入数码 1, 则控制门输出低电平, 将对应触发器置 1; 如输入数码 0, 控制门输出高电平, 触发器保持原态不变。例如, 输入数码 $D_4D_3D_2D_1=1101$, 则 $G_4G_3G_2G_1$ 输出为 0010, 而各触发器被置成 1101, 并保存起来。

图 5-28 所示是四 D 触发器 74LS175, 可作为单拍接收式寄存器使用。单拍接收寄存器不需要清零, 当接收脉冲到来时即可将数码存入。例如, 输入数码 $D_4D_3D_2D_1=1101$, 可将触发器直接置成 $Q_4Q_3Q_2Q_1=1101$ 。

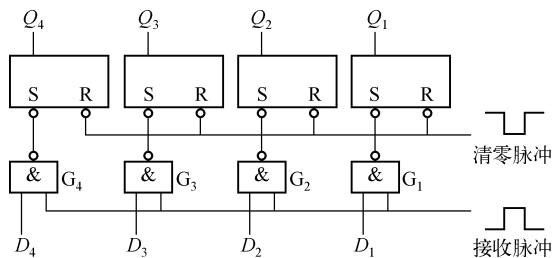


图 5-27 双拍接收式 4 位数码寄存器

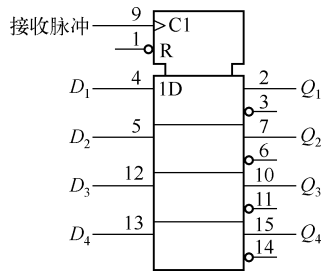


图 5-28 四 D 触发器 74LS175

同双拍接收式寄存器相比, 单拍接收式速度快, 但内部电路稍复杂。

应用实例

程序分频器是将输入脉冲信号按预定程序进行分频输出, 以得到不同频率矩形波的电。它主要用于移动通信设备中, 如手机、收发信机等。图 5-29 所示是用寄存器 74HC175 与计数器 74HC161、多路开关 74HC151 组成的程序分频器。74HC161 是模 16 计数器, 功能如表 5-11 所示。图中, 用 74HC161 ①、②实现脉冲信号分频, 再用 74HC175 和 74HC151 实现对输出分频信号频率范围及频率微调的控制, 只要改变寄存器数据输入信号即分频控制信号 $X_0 \sim X_6$, 使其按预定程序变化, 就能将脉冲信号按程序要求进行分频输出。例如, $X_6X_5X_4X_3X_2X_1X_0=0110111$ 时, $X_2X_1X_0=111$, 将使 74HC151 选定第“111”路, 即第“7”路 10kHz 信号传输, 由于 $X_6X_5X_4X_3=0110$, 所以 74HC161 ③为 10 分频器, 因此输出信号 Y 的频率是 1kHz。

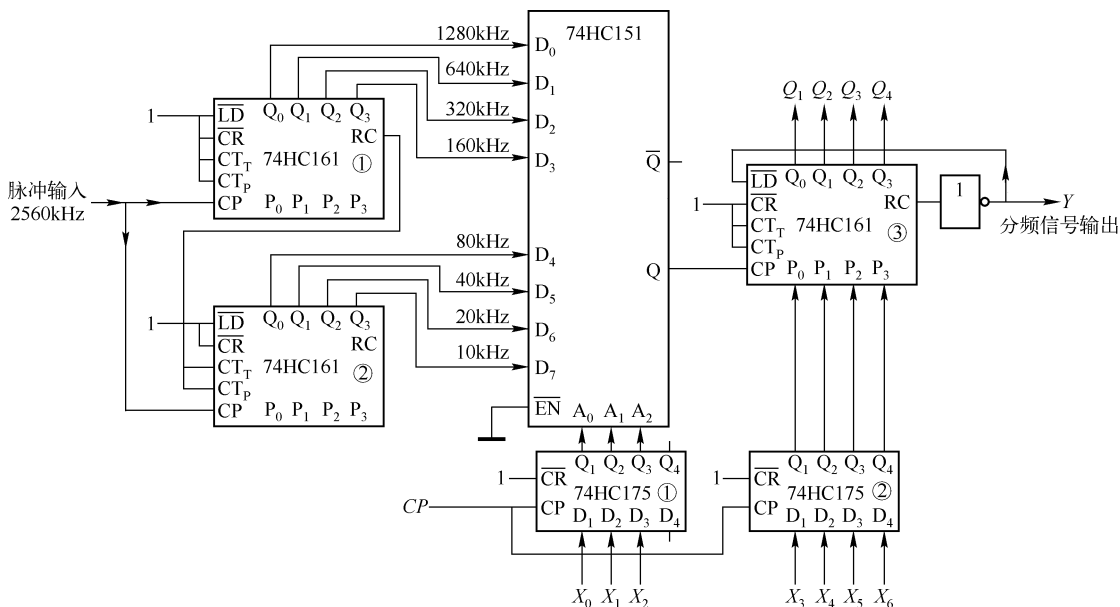


图 5-29 程序分频器

表 5-11 74HC161 功能表

CP	\overline{CR}	\overline{LD}	CT_T	CT_P	操 作	逻辑符号
\times	0	\times	\times	\times	异步清零	
\uparrow	1	0	\times	\times	同步预置数	
\uparrow	1	1	1	1	加计数	
\times	1	1	0	\times	保持	
\times	1	1	\times	0	保持	

5.2.2 移位寄存器

移位寄存器简称移存器，它能在移位脉冲的作用下，使寄存的数码逐位左移或右移。

1. 单向移位寄存器

图 5-30 (a) 所示是 4 位左移移存器，各触发器 CP 端连在一起，作为移位脉冲输入端， $D_0 = D_{sl}$ 为数据串行输入端，其余各触发器数据输入 $D_i = Q_{i-1}$ 。必须注意，构成移存器的触发器不能有空翻。

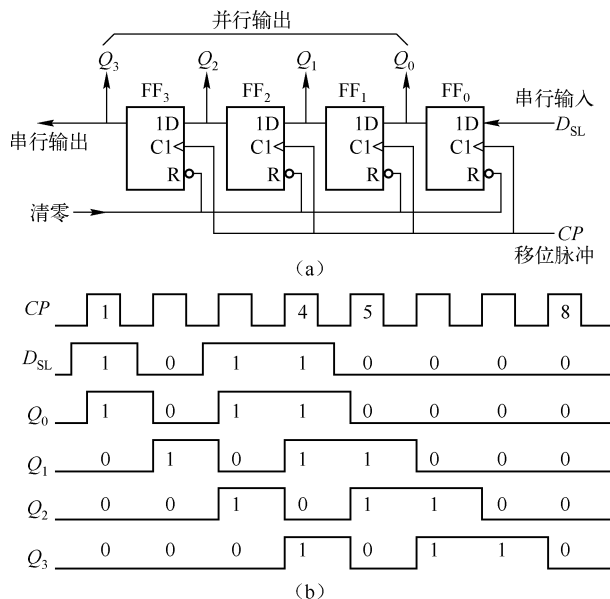


图 5-30 4 位左移移存器

移存器使用前先清零，然后输入数据。设输入数码为 1011，当第一个移位脉冲到来时，第一位数码进入触发器 FF_0 ，第二个移位脉冲到来时，第二位数码进入 FF_0 ，同时 FF_0 的数码移入 FF_1 ，…，这样在移位脉冲作用下，数码由右向左依次输入移存器。当加入四个移位脉冲后，1011 四位数码恰好全部输入移存器，这时可从四个触发器 Q 端得到并行输出数据。如果需要串行输出数据，则将 Q_3 作为输出端，再加四个移位脉冲， Q_3 端将依次输出 1011 串行信号，如图 5-30 (b) 所示。

右移寄存器与左移寄存器的工作原理相同，只是数码移动的方向与左移寄存器相反。

2. 双向移位寄存器

双向移存器能够左移或右移所存数码。74HC194 是 4 位双向通用移存器，逻辑符号如图 5-31 所示，功能见表 5-12。该电路具有异步清零功能，清零信号 \overline{CR} 低电平有效，当 $\overline{CR}=0$ 时使输出 $Q_0 \sim Q_3$ 立即置 0。进行寄存或移位时， $\overline{CR}=1$ 。 M_1 、 M_0 为工作方式控制端，使电路能选择 4 种工作方式（符号 $M \frac{0}{3}$ ，表示 $M0 \sim M3$ ）：当 $M_1 M_0 = 11$ 即 M3 方式时为并行送数，在 CP 上升沿作用下数据由 $D_3 D_2 D_1 D_0$ 端并行送入移存器；当 $M_1 M_0 = 10$ 即 M2 方式时执行左移操作，数据由 D_{SL} 端串行输入，在 CP 上升沿作用下逐位左移（图 5-31 中为从底向顶），这时可在 $Q_0 \sim Q_3$ 端得到并行数据输出，也可从 Q_3 端输出串行数据；当 $M_1 M_0 = 01$ 即 M1 方式时执行右移操作，数据由 D_{SR} 端串行输入，可选择并行

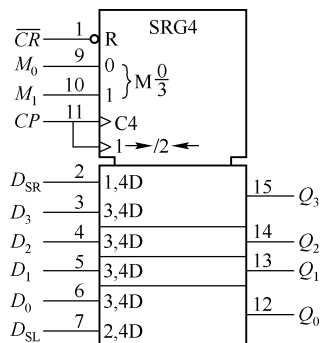


图 5-31 4 位双向通用移存器 74HC194

输出，也可串行输出，串行输出端为 Q_0 ；当 $M_1M_0 = 00$ 即 M0 方式时 $Q_i^{n+1} = Q_i^n$ ($i = 0, 1, 2, 3$)，即移存器寄存数据保持原状态不变。由上可见，74HC194 具有异步清零；左/右移数码；串/并行输入；串/并行输出；保持等功能。

表 5-12 4 位双向通用移存器 74HC194

\overline{CR}	M_1	M_0	CP	功 能
0	×	×	×	异步清零。 Q_i 全 0
1	0	0	↑	保持当前状态。 $Q_i^{n+1} = Q_i^n$
1	0	1	↑	串入、右移。 $Q_3 = D_{SR}$ ， $Q_{i-1}^{n+1} = Q_i^n$
1	1	0	↑	串入、左移。 $Q_0 = D_{SL}$ ， $Q_{i+1}^{n+1} = Q_i^n$
1	1	1	↑	并行输入。 $Q_i = D_i$

表 5-13 列出若干集成寄存器、锁存器、移存器，供读者查阅。

表 5-13 集成寄存器、锁存器、移存器

型 号	名称及功能
174	六上升沿 D 触发器（公共时钟和清零）
363	八 D 锁存器（带“使能输出”端）
364	八 D 触发器（公共时钟）
4508，14508	双 4 位锁存器（三态）
573	8 位锁存器（三态）
91	8 位串行输入/串行输出移存器
164	8 位串行输入/并行输出移存器
166	8 位串、并行输入/串行输出移存器
194	并行存取 4 位双向通用移存器
195	并行存取，JK 串入 4 位双向通用移存器
395	4 位移存器（三态输出）
170	4 × 4 寄存器阵（OC）
670	4 × 4 寄存器阵（三态输出）

应用实例

1. 移存型计数器

移存型计数器是用移位寄存器构成的计数器。它与二进制计数器的区别是不按二进制顺序计数，而仅是一种具有循环状态图的时序电路，主要用在控制领域。移存型计数器有多种类型，图 5-32 所示环形计数器是其中一种。图中将 74HC194 的 D_{SL} 接至 Q_3 构成一个环形左移寄存器，工作时首先置 $M_1M_0 = 11$ ，设预置数 $D_3D_2D_1D_0 = 0001$ ，启动脉冲使 $Q_3Q_2Q_1Q_0 = 0001$ ，此后置 $M_1M_0 = 10$ ，在计数脉冲 CP 作用下，计数器按 $0001 \rightarrow 0010 \rightarrow 0100 \rightarrow 1000 \rightarrow 0001$ 规律循环，接在 Q 端的 2 路 4 色彩灯被依次循环点亮。

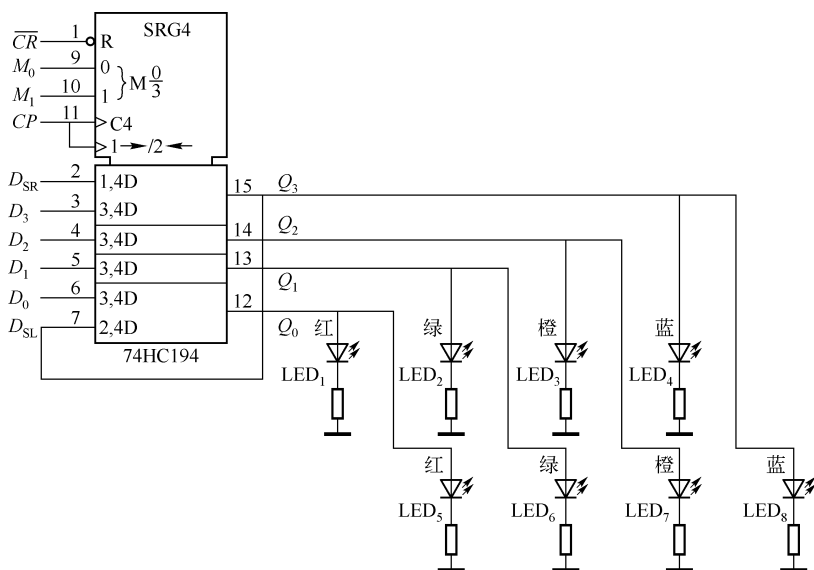


图 5-32 环形计数器控制彩灯发光电路

2. 汽车尾灯控制电路

用 74HC194 构成的汽车尾灯控制电路如图 5-33 所示，6 个尾灯（左右各 3 个，分别用发光二极管 LED₁ ~ LED₃ 和 LED₄ ~ LED₆ 代替）的发光组合表示汽车的五种状态，分别为：刹车、左转、右转、故障和正常行驶。车在行驶时 6 灯全灭；左转时，左边 3 个尾灯从右至左顺序亮灭；右转时，右边 3 个尾灯从左至右顺序亮灭；故障时，6 灯一起亮灭闪烁；刹车时，6 灯全亮。

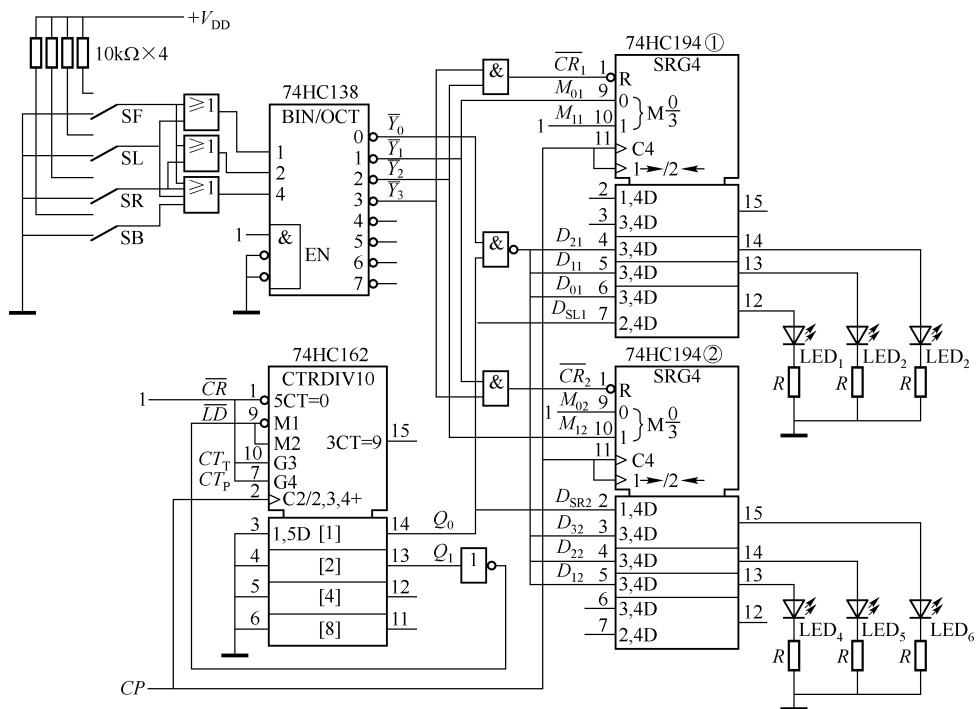


图 5-33 汽车尾灯控制电路

拨动开关 SL、SR 分别为左、右转向开关，SF 为故障停车开关，SB 为刹车开关。

计数器 74HC162 构成三进制计数器， Q_1Q_0 的状态依次为 $00 \rightarrow 01 \rightarrow 10 \rightarrow 00$ ，因此 Q_0 的变化规律为 $0 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 0 \rightarrow 1 \rightarrow \dots$ 。

图中， $\overline{CR}_1 = \overline{Y}_2 \overline{Y}_2$ ， $M_{11} = 1$ ， $M_{01} = \overline{Y}$ ， $D_{01} = D_{11} = D_{21} = \overline{Y}_0 Q_0$ ， $D_{SL1} = Q_0$ ； $\overline{CR}_2 = \overline{Y}_1 \overline{Y}_3$ ， $M_{12} = \overline{Y}_2$ ， $M_{02} = 1$ ， $D_{12} = D_{22} = D_{32} = \overline{Y}_0 Q_0$ ， $D_{SR2} = Q_0$ 。由上可列尾灯状态如表 5-14 所示。

表 5-14 汽车尾灯状态表

动作	SB SL SR SF	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{CR}_1	M_{11}	M_{01}	\overline{CR}_2	M_{12}	M_{02}	74HC194①	74HC194②	尾灯状态
刹车	1 0 0 0	0	1	1	1	1	1	1	1	1	1	置数 $D_{01} = D_{11} = D_{21} = 1$	置数 $D_{12} = D_{22} = D_{32} = 1$	6 个尾灯全亮
左转	0 1 0 0	1	0	1	1	1	1	0	0	1	1	左移， $D_{SL1} = Q_0$	置 0	左边 3 个尾灯从右至左顺序亮灭；右边 3 个尾灯全灭
右转	0 0 1 0	1	1	0	1	0	1	1	1	0	1	置 0	右移， $D_{SR2} = Q_0$	右边 3 个尾灯从左至右顺序亮灭；左边 3 个尾灯全灭
行驶	0 0 0 1	1	1	1	0	0	1	1	0	1	1	置 0	置 0	6 个尾灯全灭
故障	0 0 0 0	1	1	1	1	1	1	1	1	1	1	置数 $D_{01} = D_{11} = D_{21} = Q_0$	置数 $D_{12} = D_{22} = D_{32} = \overline{Q}_0$	6 个尾灯一起亮灭闪烁，亮为两个 CP 周期长，灭为一个 CP 周期长

思考与练习

(1) 寄存器的功能是什么？

(2) 图 5-28 所示四 D 触发器 74LS175 作单拍寄存器使用时，清零端应怎样处置？

(3) 如果利用图 5-30 所示 4 位移存器进行脉冲延时，请计算其最小延迟时间和最大延迟时间。设移位脉冲频率为 1kHz。

(4) 分析图 5-32 所示彩灯的闪烁规律。设 LED 的工作电流为 1.5 ~ 3mA，试确定 R 的阻值。如果图中移存器为 74194 是否可行？如果构成 4 路 4 色 8 灯电路，请设计几种电路方案。

(5) 已知 K 状态环形计数器需要用 k 个触发器。问：该计数器有多少种状态未被利用？

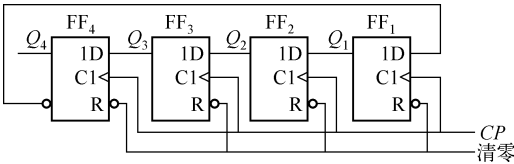


图 5-34 扭环形计数器

(6) 图 5-34 所示是把单向移存器最后一级 \overline{Q} 端与第一级输入端相连构成的扭环形移存型计数器，其特点是输出 $Q_4Q_3Q_2Q_1$ 可按循环码顺序变化，试分析其工作过程。问，电路能否自启动？

(7) 图 5-33 中，禁止两个或两个以上开关同时动作，否则会出现错误。请改进电路，设置刹车操作为最高级，故障操作为次高级，左、右转向可以使用同一开关，操作为最低级。

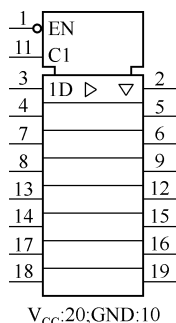


图 5-36

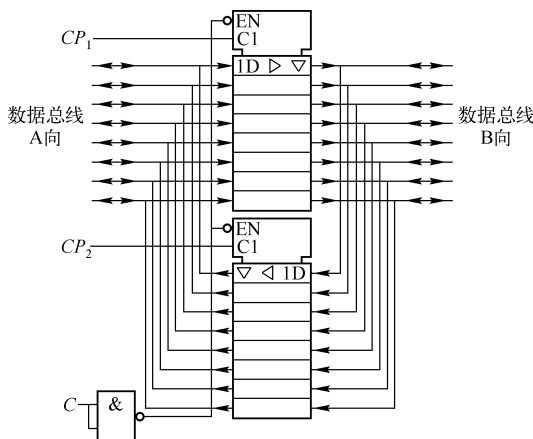


图 5-37

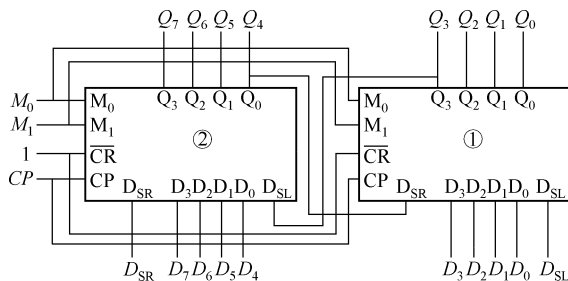


图 5-38

a. 选择下列几组数码，作为右移及左移数码输入，观察并记录移存器并行及串行输出状态，将结果填入自拟表格。

10011001; 00111011; 10101010; 11101101

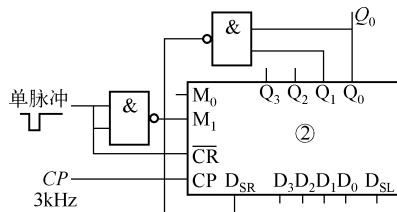


图 5-39

b. 选择下列几组数码，作为并行数码输入，观察并记录移存器并行及串行输出状态，将结果填入自拟表格。

01010101; 11001100; 00110011; 11101101

④ 移存器做分频器。74LS194 与 74LS00 构成的三分频器如图 5-39 所示。接通电源后，必须首先在 \overline{CR} 端加单次清零脉冲，电路才能进入分频工作。用示波器观测 CP 及 Q_0 波形，记录结果，并根据记录结果求分频数。

实验 10 综合实验——动态扫描显示电路

(1) 实验目的。通过实验，培养运用理论知识指导实践的能力、综合使用各种逻辑功能器件的能力。

(2) 实验电路。在多位显示时采用动态扫描显示，可以减少译码器数量及内部连线。4 位动态扫描显示电路如图 5-40 所示。

译码器用 74HC4511。4511 是 BCD - 七段译码器/驱动器（锁存输出）， \overline{BI} 为其灭灯输入端， \overline{LT} 为试灯输入端， \overline{LE} 为锁存允许端。由逻辑符号可见， \overline{LE} 低电平有效，即 $\overline{LE} = 0$ 时，锁存器接收输入数据； $\overline{LE} = 1$ 时，输入数据被锁存。输出为高电平有效，因此，4511 能够驱动共阴极管显示器件 LC5011。

74LS153①、②构成 4 路 4 选 1 数据选择器，在地址信号控制下，将 4 路数据 A_i 、 B_i 、 C_i 、 D_i ($i = 0, 1, 2, 3$) 依次串行送入 4511 输入端。

换表、状态转换图描述。

3. 最常用的时序逻辑部件是计数器、寄存器。它们的功能表较为全面地反映了其功能，因此理解功能表是正确使用时序模块的前提。要掌握各个功能端的作用与特点，并能合理地利用这些端子进行功能扩展。

目标检测

一、填空题

- 5.1 时序电路的特点是_____。时序电路分为_____和_____两大类，前者的特点是_____，后者的特点是_____。
- 5.2 节拍脉冲发生器的功能是_____。
- 5.3 计数器的自启动能力又称为自校正能力，它是指_____。
- 5.4 k 位二进制计数器的最大模值是_____，能累计的最大数是_____，最大分频数是_____。

二、单项选择题

- 5.5 组合逻辑电路与时序逻辑电路的主要区别是_____。
- A. 任意时刻的输出信号与前一时刻的电路状态是否有关
B. 输入与输出信号的个数
C. 是否包含门电路
D. 包含门电路的数量
- 5.6 要组成十进制计数器，至少应有_____级触发器。
- A. 2 B. 4 C. 5 D. 10
- 5.7 5 级触发器组成的计数器，其最大的进位模是_____。
- A. 五进制 B. 十进制 C. 三十二进制 D. 六十四进制
- 5.8 图 5-41 所示时序电路的状态图中，能自启动的是_____。

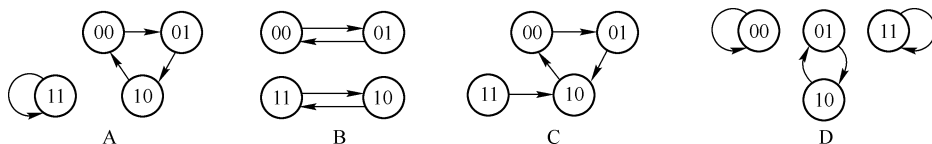


图 5-41

- 5.9 图 5-42 波形图所对应的状态图为_____。
- A. 000→001→010→011→100→101→000
B. 000→001→100→011→101→010→000
C. 000→001→010→011→100→101→110
D. 000→001→011→010→110→100→000

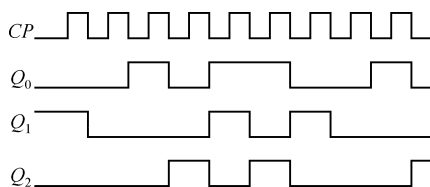


图 5-42

- 5.10 已知左移寄存器的现态为 1101，其次态为_____。
- A. 1110 或 0110 B. 1011 或 1010
- C. 1001 或 0110 D. 0010 或 0101
- 5.11 图 5-43 中，_____为 365 进制计数器。

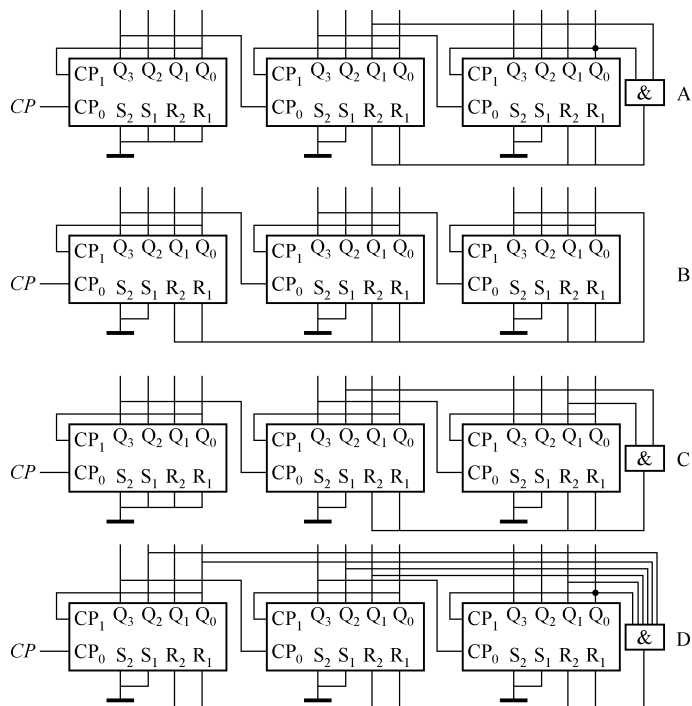


图 5-43

- 5.12 一个 20 级异步计数器，每级的延迟时间为 25ns，这个计数器的最高工作速度是_____。
- A. 2MHz B. 5MHz C. 20MHz D. 40MHz
- 5.13 如果频率计数器的时基为 10ms，送至计数器的计数脉冲是 1270 个，则频率计显示的频率是_____。
- A. 1.27kHz B. 12.7kHz C. 127kHz D. 1.27MHz
- 5.14 移存型计数器主要用于_____用途。
- A. 计数 B. 寄存 C. 移位 D. 控制
- 5.15 能够做多部件做顺序控制器的是_____。
- A. 程序分频器 B. 环形计数器 C. 扭环计数器 D. 序列发生器

三、多项选择题

- 5.16 计数器的作用有_____。
- A. 累计脉冲个数 B. 对脉冲信号分频
- C. 将串行数据转变成并行数据 D. 定时
- 5.17 图 5-44 所示为六进制计数器的电路是_____。
- 5.18 图 5-45 中, 能构成十一进制计数器的电路是_____。

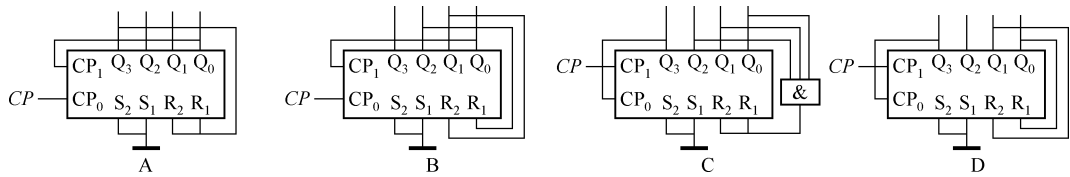


图 5-44

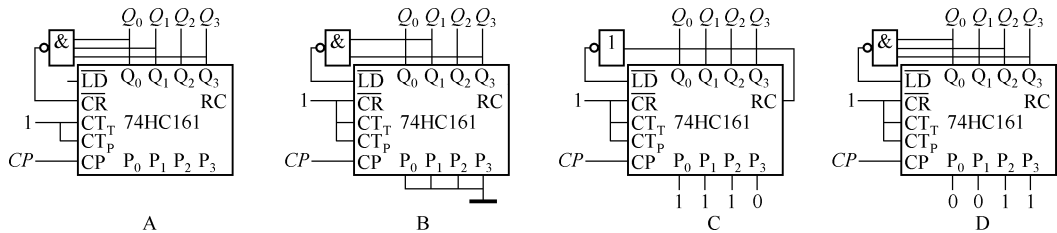


图 5-45

- 5.19 移位寄存器的作用有_____。
- A. 分频 B. 延时
- C. 数据串并行转换 D. 寄存
- 5.20 环形计数器也可以看成是一个_____。
- A. 分频器 B. 顺序脉冲发生器
- C. 脉冲分配器 D. 节拍脉冲发生器

四、综合题

- 5.21 自选数片集成计数器和若干门电路，构成一个二十四进制计数器。

第 6 章 半导体存储器与可编程器件

知识目标

- (1) 了解半导体存储器的基本概念和分类。
- (2) 熟悉 RAM 的基本结构，理解其工作原理。
- (3) 熟悉 ROM 的基本结构，掌握各种 ROM 的特点及应用场合。
- (4) 了解可编程逻辑器件的组成和特点。

技能目标

- (1) 能根据应用场合选择合适的存储器芯片。
- (2) 能根据存储器芯片的功能表及特性正确使用芯片。

半导体存储器和可编程器件都是大规模集成电路。半导体存储器具有记忆功能，在数字系统中用来存储程序、数据等，本章将重点讨论其基本原理及使用方法。可编程器件的应用日益广泛，它使数字电路设计更方便，成本更经济，性能更可靠，本章将简介可编程器件的知识。

6.1 半导体存储器

存储器按存储介质分类，有半导体存储器、磁表面存储器、光盘存储器等。其中，半导体存储器按存取方式又分为随机存取存储器 RAM（Random Access Memory）和只读存储器 ROM（Read Only Memory）两类。

6.1.1 RAM

随机存取存储器又称随机存储器、读/写存储器，是能够在存储器中任意指定位置输入（又称存入、写入），或者输出（取出、读出）信息的存储器。

RAM 有双极型和单极型两类。双极型 RAM 存取速度快，但集成度低，功耗大，成本高。单极型 MOS RAM 集成度高，功耗小，价格便宜，但速度比双极型低。下面介绍广泛使用的 MOS RAM。

1. RAM 基本结构

RAM 基本组成框图如图 6-1 所示，由存储矩阵、地址译码器、读写电路（其中包括读/写控制器、输入/输出电路和片选控制器）组成。

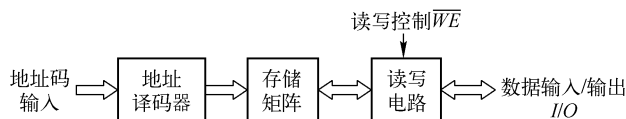


图 6-1 RAM 基本结构

(1) 存储矩阵。存储矩阵是存储器的核心，由许多存储单元按矩形阵列排列组成。每个存储单元存放着由若干位二进制数码组成的一组信息。存储单元个数越多，存储器存储的信息量越多，即存储容量越大。存储容量是存储器最重要的指标之一，用所能存储的（字数） \times （每字位数）表示，或表示成 KB、MB、GB、TB 等，B（Byte）称为字节，8 位二进制数是 1 个字节，即 $1\text{B} = 8\text{b}$ （bit，位）。此外， $1\text{K} = 2^{10} = 1024$ ， $1\text{M} = 2^{20}$ ， $1\text{G} = 2^{30}$ ， $1\text{T} = 2^{40}$ 。例如，容量为 1024×2 的存储器，共有 1024 个存储单元，即能存储 1024 个字，每字 2 位。又如容量 64MB 的存储器，共包含 $64\text{MB} = 64 \times 1024\text{KB} = 64 \times 1024 \times 1024\text{B} = 64 \times 1024 \times 1024 \times 8\text{b}$ ，即 536870912 个存储位。

(2) 地址译码器。为了能对存储矩阵中某个选定的存储单元进行信息存取（又称访问），必须对每个存储单元的位置编制唯一的地址，这些地址的编码称为地址码。这样，当输入一个地址码时，利用地址译码器，就可以在存储矩阵中找出唯一相应的一个存储单元，对其进行访问。

(3) 读写电路。① 读/写控制器。用于控制对存储器进行写入或读出操作。

② 输入/输出电路（I/O 电路）。这是数据进、出存储矩阵的通道。写入时，写入数据先经输入缓冲器放大再进入存储矩阵；读出时，读出数据经输出缓冲器放大再输出。输入、输出缓冲器常采用三态电路，这样可以将几片存储器的输入/输出数据线（I/O 线）并联，扩充容量。

③ 片选控制器。对于大容量的存储系统往往由多片 RAM 构成，在进行读/写操作时，一般只对其中一片或者几片进行信息存取。片选控制器使得只有在某片存储器被选中时才进行读出或写入操作，而其余未被选中的各片 I/O 线呈高阻状态，不能与外部交换数据。

2. 地址译码方式

RAM 的地址译码方式有两种类型：单译码结构（字结构）和双译码结构（字位结构）。

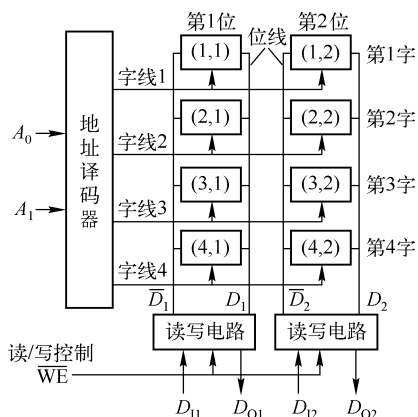


图 6-2 4×2 单译码结构存储器

(1) 单译码结构。图 6-2 所示是单译码结构存储器的框图。其中，每个小方框表示一个存储位，每两个存储位构成一个存储单元，即 1 个字。该存储器可存储 4 个 2 位数据字：(1, 1) 存储第一个字的第 1 位，(1, 2) 存储第一个字的第 2 位，……。每个存储单元有一条字选择线简称字线，以控制该存储单元是否被选中。每个存储位有两条数据位线（简称位线） D 与 \bar{D} ，用来传输数据。同一列各存储位的位线并联接到读写电路上。由于位线并联，各存储位具有三态特性。每一列共用一个读写电路， D_1 是写入数据线、 D_0 是读出数据线。地址译码器有 2 条地址线： A_0 ， A_1 ；

4 条输出线，也就是字线。这样，每当输入一个 2 位地址码时，就可以从 4 字中选出 1 个字，进行 2 位数据字的读或写操作。选中的字线为有效电平，未选中的均为无效电平。

单译码结构的缺点是字线多，故地址译码器结构复杂，所以只在小容量存储器中使用。

(2) 双译码结构。图 6-3 所示是 8×2 双译码结构存储器框图，它有两个地址译码器： X 地址译码器（又称行地址译码器）输出字线，控制存储矩阵哪一行单元被选中； Y 地址译码器（又称列地址译码器）的输出控制读写选通电路，决定哪一列数据线与读写电路接通。任何时候，两地址译码器的输出中分别只有一个为有效电平，因而每次只会找出一个字的 2 个存储位进行读或写操作。

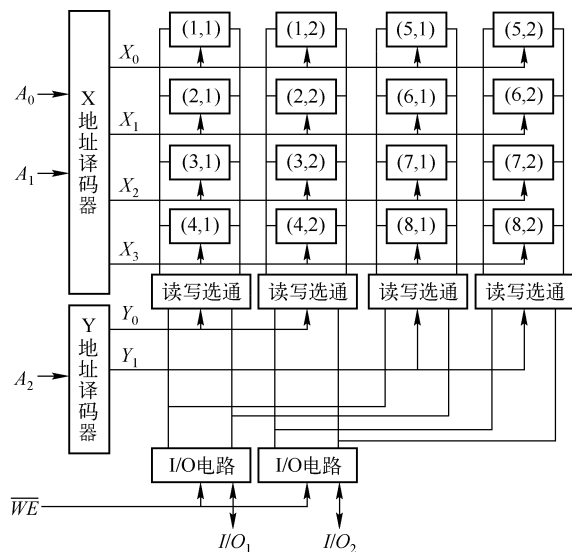


图 6-3 8×2 双译码结构存储器

图 6-3 中所示有三条地址线： A_0 ， A_1 ， A_2 。其中， A_0 和 A_1 送给 X 地址译码器， A_2 送给 Y 地址译码器。地址线总数 $p = q + r$ ，式中， q 表示 X 的地址线数； r 表示 Y 的地址线数。 p 与存储字数 N 存在如下关系：

$$N = 2^p = 2^{q+r}$$

本存储器 $q = 2$ ， $r = 1$ ， $N = 2^{2+1} = 8$ 。

尽管双译码结构有两个地址译码器，但每个译码器的结构都比较简单，这是它的优点。例如， 256×1 的存储器，如果用单译码结构，地址译码器要有 8 条输入线， $2^8 = 256$ 条输出线，控制 256 个存储单元。而用双译码结构，每个译码器可以设 4 条输入线， $2^4 = 16$ 条输出线，两个译码器共 32 条输出线，控制 $2^{4+4} = 256$ 个存储单元。存储器容量越大时，双译码结构的优点越突出。目前大容量存储器多采用此结构。

3. RAM 基本存储单元——存储位

RAM 的 1 位数据存储电路简称为存储位电路。单极型存储位电路分为静态和动态两种。

(1) 静态存储位电路。图 6-4 所示是 NMOS 型六管 RAM 存储位电路，由触发器和开关管等构成。 $V_1 \sim V_4$ 构成触发器，用于存储一位二进制信息。 V_5 、 V_6 是开关管，由字线 X_i 控

制：当 $X_i = 1$ 时， V_5 、 V_6 导通，触发器输出端 Q 、 \bar{Q} 分别与位线 D_j 、 \bar{D}_j 接通；当 $X_i = 0$ 时， V_5 、 V_6 截止， Q 、 \bar{Q} 与位线断开。 V_7 和 V_8 是每一列存储位共用的两个开关管，构成读写选通电路，由列线 Y_j 控制：当 $Y_j = 1$ 时， V_7 、 V_8 导通，使数据线 d_j 、 \bar{d}_j 与位线 D_j 、 \bar{D}_j 接通；当 $Y_j = 0$ 时， V_7 、 V_8 截止，数据线 d_j 、 \bar{d}_j 与位线 D_j 、 \bar{D}_j 断开，此时该列所有位既不能写入数据也不能读出数据。

(2) 动态存储位电路。所谓动态存储是相对静态而言的，静态存储只要不断电，信息就可以永久保存，而动态存储则不然。动态存储以 MOS 管栅极电容作为保存信息的主要元件，信息只能保存很短的时间。因此，为了长久保存信息，就必须要及时给电容补充电荷，通常称这一操作为刷新或再生。

图 6-5 所示是 MOS 四管动态存储位电路，数据以电荷形式存储在栅极等效电容 C_1 、 C_2 上，而 C_1 、 C_2 上的电压又控制 V_1 、 V_2 或导通或截止。当 C_1 电压大于 V_1 开启电压，而 C_2 上无电压时， V_1 导通 V_2 截止， $Q = 0$ 。反之，若 C_2 电压大于 V_2 开启电压， C_1 上无电压，则 $Q = 1$ 。

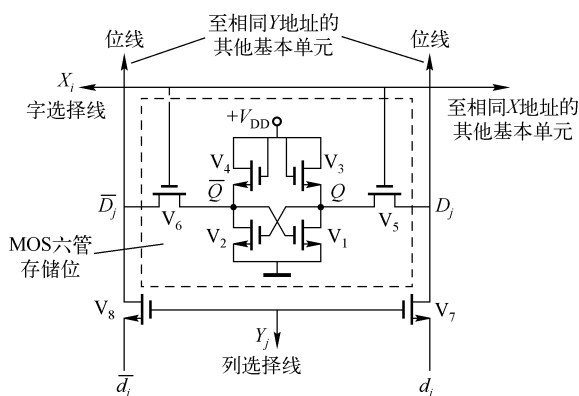


图 6-4 MOS 六管静态存储位电路

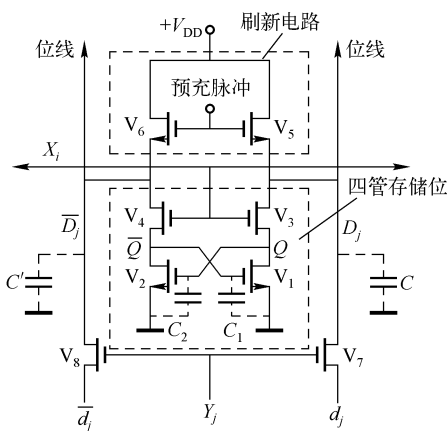


图 6-5 MOS 四管动态存储位电路

V_5 、 V_6 组成位线预充电电路，为同一列存储电路共用。读信息时，先在 V_5 、 V_6 栅极加预充电脉冲，使 V_5 、 V_6 导通，于是电源 V_{DD} 通过 V_5 、 V_6 向位线分布电容 C 、 C' 充电，使位线 D_j 、 \bar{D}_j 电位升高至高电平。预充电脉冲消失后，位线高电平在短时间内由 C 和 C' 维持。当字列线 X_i 、 Y_j 同时为 1 时， V_3 和 V_4 、 V_7 和 V_8 导通，这时可输出存储信息，设所存信息 $Q = 0$ ，则 C 预充电电荷经 V_3 和 V_1 迅速放掉，使 $D_j = 0$ ，同时由于 V_2 截止， \bar{D}_j 仍为 1，这样，数据 D_j 、 \bar{D}_j 通过导通的 V_7 、 V_8 送至数据线 d_j 、 \bar{d}_j 。

以上过程中，对位线分布电容预充电十分重要。如果 V_3 、 V_4 导通前没有对 C 和 C' 充电，那么 V_4 导通后， \bar{D}_j 高电平必须靠 C_1 向 C' 充电来建立，这势必使 C_1 损失一部分电荷。而且因位线连接同一列多个位电路，使分布电容 C' 比 C_1 大的多，这就可能在读数据时使 C_1 高电平遭到破坏，存储信息丢失。有预充电后， V_3 、 V_4 导通时，由于 C' 电压比 C_1 电压还高，所以 C_1 上的电荷不仅不会损失，反而得到补充，因此读出过程也就是刷新过程。

写入时，输入数据加到 d_j 、 \bar{d}_j 上， X_i 、 Y_j 同时为 1，数据通过 V_7 、 V_8 送到位线 D_j 、 \bar{D}_j ，

经 V_3 、 V_4 把数据存入栅极电容 C_1 、 C_2 中。

图 6-6 所示是单管动态存储位电路，它是所有存储位中电路结构最简单的一种。写入时，字线为 1， V 导通，写入信息通过读出放大器和 V 存入电容 C_1 。读出时，字线为 1，电容 C_1 上存储的信息通过 V 输出到位线，经鉴别力极高的灵敏读出放大器放大后送到存储器输出端。为了节省芯片面积，存储电容 C_1 不能做得很大，一般都比位线分布电容 C 小，使得每次读出后， C_1 的存储电荷发生较大变化，即破坏性读出。因此，要保持原信息，必须将取出的信息再重写回去。读出放大器能够完成在读取信息后再立即进行回写的工作。此外，刷新也是通过读操作完成的，重复周期通常为 2ms，操作时不单独对每个位进行，而是按行刷新。

比较两种动态存储位电路可见，四管电路用管多，所占面积大，使集成度降低，但外围电路比较简单。单管电路元器件最少，功耗低，外围电路复杂，但因外围电路是公用的，所以大容量集成存储器都用单管存储器。

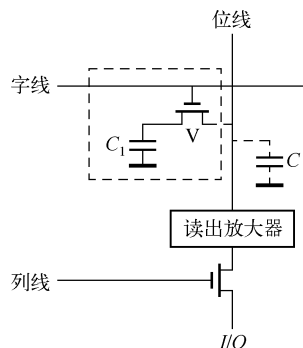


图 6-6 单管动态存储位电路

典型应用

在计算机系统中，存储器按其作用分为主存储器、高速缓冲存储器、辅助存储器等。主存储器又称内存储器，简称主存、内存，用来存放 CPU 正在使用或随时要使用的程序或数据，CPU 可以直接对其进行访问。高速缓冲存储器简称缓存即 Cache，是位于 CPU 与内存之间一种容量较小，但速度极高的存储器。Cache 保存着内存内容的部分副本（这部分内容是 CPU 最常用的），CPU 访问时首先访问 Cache，只在 Cache 中没有 CPU 所需要的信息时再去访问内存。辅助存储器又称外存储器，用来存放长期保存或相对来说暂时不用的程序和数。CPU 不直接访问外存，必须将外存信息调入内存，才能被 CPU 使用。

静态 RAM (Static RAM, 缩写 SRAM) 的优点是存取速度快，不需要刷新，缺点是基本存储电路包含器件数目较多，功耗较大，成本较高。SRAM 主要作 Cache。动态 RAM (Dynamic RAM, 缩写 DRAM) 所用器件少，功耗低，集成度高，价格便宜，缺点是存取速度较慢，并要有刷新电路。DRAM 主要做内存。而外存主要用磁表面存储器（如硬盘）和光盘存储器。

4. RAM 的使用

(1) 操作方式。以 SRAM 芯片 2114 为例介绍。2114 采用 +5V 电源供电，双列直插式封装，结构框图及引脚排列如图 6-7 所示。容量为 1024×4 ， $1024 \times 4 = 4096$ 个存储位排成 64×64 矩阵。地址线 10 条： $A_0 \sim A_9$ ，其中， $A_3 \sim A_8$ 共 6 条用于行译码，输出 $2^6 = 64$ 条 X 线； A_0 、 A_1 、 A_2 和 A_9 用于列译码，输出 $2^4 = 16$ 条 Y 线，每条 Y 线同时接 4 列存储位选通电路，即同时接到同 1 字的 4 个位。这样，对应 10 条线输入的的地址码即可选中 1 字，进行 4 位数据字的写入或读出操作。数据线 4 条： $I/O_0 \sim I/O_3$ ，它们与片内三态输入、输出门相接。这些三态门由片选信号 \overline{CS} 和写允许信号 \overline{WE} 共同控制。读出时 $\overline{CS} = 0$ 且 $\overline{WE} = 1$ ，使 G_{10} 输

出0，输入三态门 $G_1 \sim G_4$ 被禁止；而 G_9 输出1，使输出三态门 $G_5 \sim G_8$ 打开，被选中单元的4个存储位，将其保存的数据通过列 I/O 电路与 $G_5 \sim G_8$ 输出到 $I/O_0 \sim I/O_3$ 端。写入时 $\overline{CS} = 0$ 且 $\overline{WE} = 0$ ，输出三态门 $G_5 \sim G_8$ 禁止、输入三态门 $G_1 \sim G_4$ 打开，从 $I/O_0 \sim I/O_3$ 输入的数据通过 $G_1 \sim G_4$ 及列 I/O 电路写入被选中单元的4个存储位。当 $\overline{CS} = 1$ 时，输入、输出三态门均呈高阻，相当于 I/O 线与外部断开。

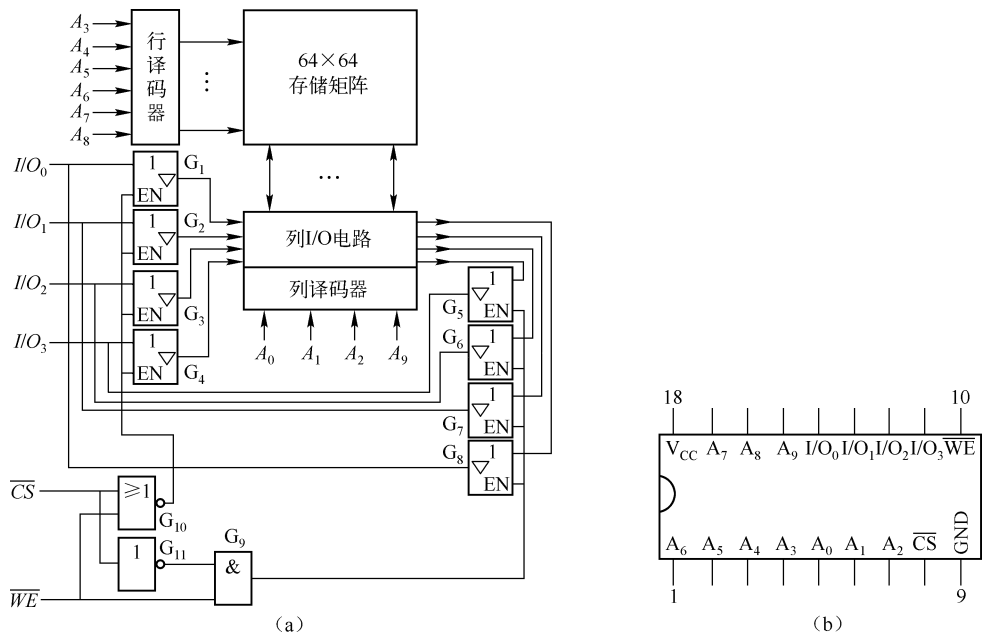


图 6-7 SRAM 2114

6116、6264 是日本日立公司生产的 SRAM 芯片。前者容量 $2K \times 8$ ，24 脚 DIP，后者容量 $8K \times 8$ ，28 脚 DIP。引脚排列如图 6-8 所示，其中各控制端分别是： \overline{CS} 、 CS 为片选， \overline{CE} 为片选使能， \overline{WE} 为写允许， \overline{OE} 为输出允许。以 6264 为例，操作方式见表 6-1。

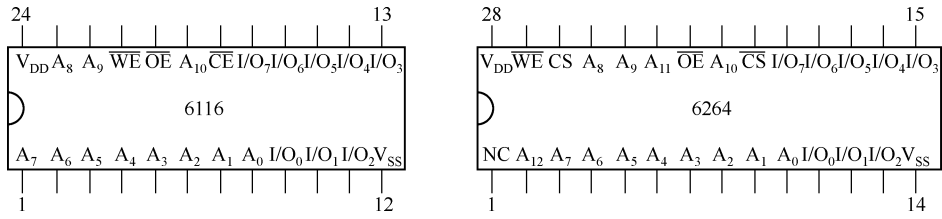


图 6-8 SRAM 6116 与 6264

表 6-1 6264 操作方式

\overline{CS}	CS	\overline{OE}	\overline{WE}	方式	功 能
0	1	1	0	写	$I/O_0 \sim I/O_7$ 输入信息写入 $A_0 \sim A_{12}$ 指定单元
0	1	0	1	读	$A_0 \sim A_{12}$ 对应单元内容输出到 $I/O_0 \sim I/O_7$ 端
1	×	×	×	非选	$I/O_0 \sim I/O_7$ 端呈高阻
×	0				

(2) 扩展存储容量。目前生产的存储器由于集成度的限制，单片容量有限。实际使用时常将若干 RAM 芯片组合到一起，构成一个容量更大的存储体。扩展时主要是扩展每字位数或增加总字数。

位扩展较为简单，只要将各片的地址线、读/写控制线、片选线对应并联在一起而功能不变，各片的输入/输出线作为字的各个位线就可完成扩展。例如，用 2 片 2114 扩展成容量 $1K \times 8$ 的 RAM，接法如图 6-9 所示。

字扩展时需要外加译码器，将地址高位送译码器输入，译码器输出作为每片 RAM 的片选信号。例如，用 6116 组成 $8K \times 8$ RAM。6116 容量为 $2K \times 8$ ，因此，组成 $8K \times 8$ RAM 需要用 4 片，连接如图 6-10 所示。地址线共 13 条： $A_0 \sim A_{10}$ 作为每一片的字选信号； A_{11} 、 A_{12} 送 2-4 线译码器，译码器 4 条输出线作为 4 片 6116 的片选信号。由于 6116 具有三态特性，所以将它们的数据线并联起来作为整个 RAM 的 I/O 线。 \overline{OE} 作为整个 RAM 的输出允许， \overline{CE} 作为整个 RAM 的片选。

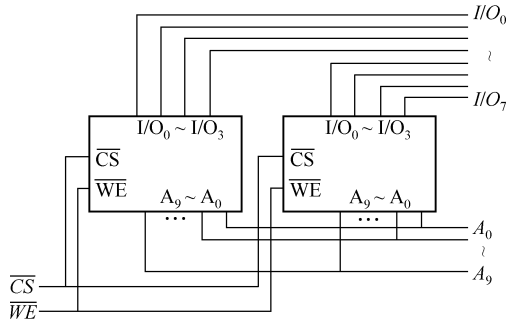


图 6-9 RAM 位扩展

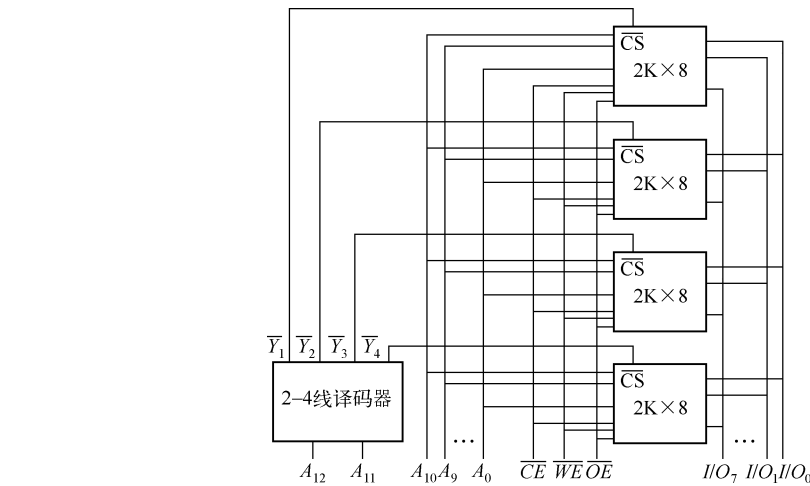


图 6-10 RAM 字扩展

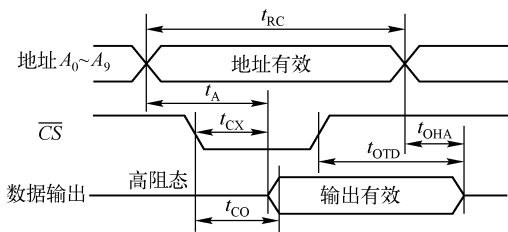


图 6-11 2114 读周期

(3) 存储器的读、写周期。使用存储器时应注意的一个重要问题就是读、写时序。这里的时序是指各信号之间的时间关系。使用时必须遵守生产厂家给出的时序要求，否则存储器不能正常工作。

存储器的时序分为读时序和写时序。以 2114 为例，图 6-11 示出 2114 的读周期时序图。表 6-2 是读周期的主要数据。

表 6-2 2114 读周期参数 (以 2114 -2 为例)

符 号	参 数 名 称	最小值	最大值
t_{RC}	读周期时间	200ns	
t_A	读取时间		200ns
t_{CO}	片选到输出稳定		70ns
t_{CX}	片选到输出有效	20ns	
t_{OTD}	从断开片选到输出变为三态		60ns
t_{OHA}	地址改变后的输出保持时间	50ns	

结合图 6-11 看, 当地址信号有效后经过一段时间 t_A (此时输出三态门打开), 存储单元所存数据方出现在外部数据线上, 或说数据有效, 这段时间称为读取时间。但是, 数据能否送到外部数据线上, 还取决于片选信号 \overline{CS} 。从 \overline{CS} 有效 (低电平) 到内部数据能送到外部数据线上并稳定的时间为 t_{CO} 。所以, 存储器读, 只有在地址有效起 t_A 时间后, 且片选信号有效起 t_{CO} 时间后, 数据方能读出。通常 t_{CO} 小于 t_A , 因为从地址有效要经地址译码器、存储矩阵、I/O 电路才能读出所选单元的内容; 而 t_{CO} 主要是由读写控制电路产生。因此, 从地址开始有效到 $(t_A - t_{CO})$ 的时间内使片选信号有效, 存储内容就能被稳定的读出。

在读周期 t_{RC} 内, 要求地址码不变, \overline{WE} 为高电平。

读周期与读取时间是两个不同的概念。读周期是表示芯片进行一次读操作所必需的最小时间, 它总是大于或等于读取时间。

此外还有两个保持时间: t_{OTD} 表示片选信号无效后, 数据还能在外部数据线上保持的时间; t_{OHA} 表示地址已经改变后, 数据还能在外部数据线上保持的时间。

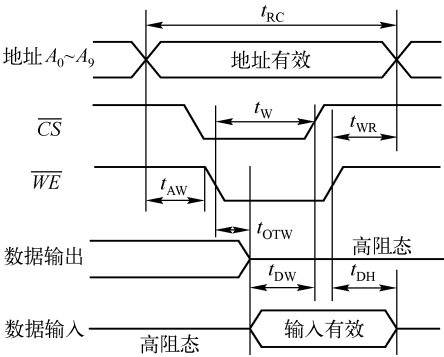


图 6-12 2114 写周期

图 6-12 是 2114 写周期时序图, 表 6-3 是写周期的主要参数。在写周期 t_{WC} 期间, 地址码必须保持不变; 在 \overline{CS} 有效期间, \overline{WE} 必须有效 (低电平), 且 \overline{WE} 必须在地址码有效之后再变低 (至少 \overline{WE} 应和地址码同时有效)。 \overline{WE} 变高后经 t_{WR} (t_{WR} 可为 0) 方允许地址码改变, 以免将数据写到其他地址的单元中。写时间 t_W (即 \overline{CS} 与 \overline{WE} 均为有效的时间) 不得小于规定值。输入数据在 \overline{WE} 或 \overline{CS} 变为无效前应有 t_{DW} 的有效覆盖时间, 并有 t_{DH} 的保持时间, 只有这样才能可靠地将数据写入。

表 6-3 2114 写周期参数 (以 2114 -2 为例)

符 号	参 数 名 称	最 小 值	最 大 值
t_{WC}	写周期时间	200ns	
t_W	写时间	120ns	
t_{WR}	写恢复时间	0ns	

续表

符 号	参 数 名 称	最 小 值	最 大 值
t_{OTW}	写信号有效到输出三态的时间		60ns
t_{DW}	数据有效覆盖时间	120ns	
t_{DH}	数据保持时间（写信号无效后）	0ns	
t_{AW}	地址到写信号的建立时间	0ns	

6.1.2 ROM

上述 RAM 只能暂存信息，因为它们都具有易失性，一旦断电，存储的信息便随之消失。在数字系统中，常常需要存储一些固定的信息，如常数表、数据转换表、字库等，这就需要 ROM。ROM 的内容是在制造过程中写入（又称编程）的，或者用专用设备由使用者写入的。写入后在运行中便只能读出，而不能改变。

根据电路工作特点，ROM 属于组合逻辑电路，给定一组输入（地址），存储器便给出一种输出（1 个存储单元的内容）。但就其组成而言，它和 RAM 又有许多相似之处，它由地址译码器、存储矩阵、输出电路等组成。

根据存储内容的写入特点，ROM 分为掩模型、可编程型、可擦除可编程型等。

1. 掩模型 ROM

掩模 ROM 中的信息是制造厂家在生产 ROM 时用掩模技术写入的。双极型 ROM 速度较快，但功耗大，只用在速度要求较高的系统中。MOS 型掩模 ROM 功耗小，但速度较慢。

图 6-13 所示是由二极管构成的双极型掩模 ROM。图中，地址译码器输出 4 条字线 $W_0 \sim W_3$ ，有效电平是 1；二极管构成 4 字 \times 4 存储矩阵：在字线与位线之间接有二极管的，该字该位存储数据为 1；不接二极管的数据为 0。表 6-4 是 4 个字单元的存储内容。

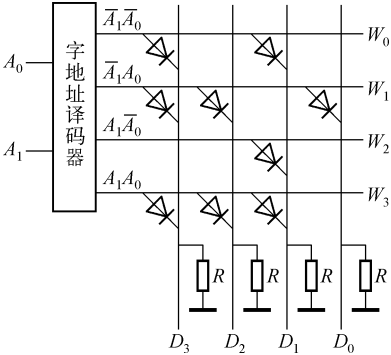


表 6-4 ROM 存储内容

地 址		数 据			
A_1	A_0	D_3	D_2	D_1	D_0
0	0	1	0	1	0
0	1	1	1	0	1
1	0	0	0	1	0
1	1	1	1	1	0

图 6-13 4 字 \times 4 掩模 ROM

2. 可编程 ROM

可编程 ROM 简记为 PROM（Programmable ROM），所存储的内容是用户根据需要自己写入的，但只能写入一次，而且一经写入即被固定且不能修改。

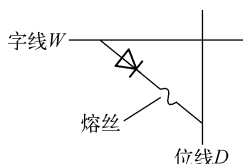


图 6-14 熔丝式 PROM
基本存储单元

为使用户能写入内容，厂家在生产 PROM 时，把存储矩阵中所有字线和位线交叉处都跨接上串有熔丝的二极管，如图 6-14 所示，这时全部基本存储单元内容均为 1。用户编程时，只要给熔丝通以足够大的电流即可将熔丝烧断，从而将存储内容改写为 0。熔丝一旦烧断，便无法恢复。因此，当某一位写入 0 后，就不能再改写为 1。

3. 可擦除可编程 ROM

可擦除可编程 ROM 的总体结构形式与 PROM 没有多大区别，只是采用了不同的存储单元，目前有以下几种：可擦除可编程只读存储器 EPROM (Erasable Programmable ROM)，电擦除可编程只读存储器 EEPROM (Electrically Erasable Programmable ROM)，闪速存储器 (又称快闪存储器) Flash ROM。

EPROM 的存储位使用的是“浮栅”MOS 管 (限于篇幅不作介绍) 或“叠栅”MOS 管，存储的内容可多次修改，也可长期保存 (达 10 年以上)。修改时，在芯片上方的石英玻璃窗口处用紫外线灯照射 10 ~ 30 分钟，芯片中保存的信息将全部丢失，然后用专用编程器写入新的内容。为使写好的信息不丢失，通常在窗口上贴有不干胶避光纸，以防止外界紫外线照射。因擦除时需要用紫外线照射，所以 EPROM 又被称为 UVEPROM (Ultra - Violet Erasable PROM)。

EEPROM 又记做 E^2 PROM，是从 EPROM 发展来的，它针对 EPROM 不能按单元修改及擦除速度慢且擦除操作复杂、不能电擦除的缺点而改进。存储位采用了浮栅隧道氧化层 MOS 管，擦除和写入同时完成，即擦除实为改写。改写时需加高压电源。早期生产的 E^2 PROM 高压电源要外接，使用时由用户提供。后期生产的 E^2 PROM 改写高压由芯片内部产生，于是在使用上就基本与 RAM 相同了，只是写入速度较慢，因此只工作在读出状态，做 ROM 使用。

Flash ROM 又记做 Flash Memory，其存储位采用新一代“浮栅”MOS 工艺，能够实现电擦除可编程。擦除时是分区擦除 (每区的字节数由生产商规定) 或整片擦除。与 E^2 PROM 相比，擦除速度快，且单位体积容量大，因此集成度高，成本低。

典型应用

计算机主板系统的 BIOS (Basic Input Output System) 芯片保存着计算机系统最重要的基本输入/输出程序等，一定程度上决定了计算机的性能。更新 BIOS 程序 (即升级 BIOS) 可以改进计算机的性能。早期主板系统的 BIOS 芯片多采用 PROM 或 EPROM，不能升级或升级困难。目前生产的主板，BIOS 芯片多用 Flash ROM，因此便于用户升级。此外，计算机外设之一——U 盘中的存储器也是 Flash ROM。在手机中，用来存储手机系统运行程序的存储器也使用 Flash ROM，而一些可以修改、校正的数据等，则存储在 E^2 PROM 中。

思考与练习

- (1) 存储器主要分哪些种类？
- (2) 某一存储器的容量是 20GB。问该存储器有多少存储位？
- (3) 16384×16 RAM 的地址码是多少位？有多少存储单元？有多少存储位？

- (4) 某存储器的存储容量为 64MB，字长 32b。试确定该存储器地址线总数，以及行、列地址线数目。
- (5) SRAM 和 DRAM 在电路结构以及读写操作上各有什么特点？
- (6) 试根据图 6-8 所示 6116 引脚符号，参照表 6-1，写出 6116 的操作方式表。
- (7) 试用 6264 构成 $8K \times 16$ RAM、2114 构成 $2K \times 8$ RAM，画出连接图。
- (8) RAM 与 ROM 在电路结构和工作原理上有何不同？
- (9) 分析图 6-13 中，为什么在字线与位线之间接有二极管的，该字该位存储数据为 1。
- (10) ROM 有几种主要类型？它们之间有哪些异同点？

6.2 可编程逻辑器件

数字集成电路有通用型和专用型两大类。前面所介绍的中、小规模数字集成电路都属于通用型，它们具有很强的通用性，由于逻辑功能比较简单，而且固定不变，理论上可以用它们组成任何复杂的数字系统，但是这需要大量的芯片及连线，且功耗大，体积大，可靠性差。为了减小体积和功耗，提高可靠性，出现了专用集成电路 ASIC（Application Specific Integrated Circuit），它是为某种专门用途而设计的。但是专用集成电路一般比通用型集成电路用量少得多，使得设计和制造成本很高，而且设计和制造周期均较长。

可编程逻辑器件 PLD（Programmable Logic Device）是作为一种通用型器件生产，而由用户编程完成逻辑功能的器件。它可以由用户通过编程在一片 PLD 上构成数字系统，而不必由芯片制造商去设计和制作专用集成芯片。PLD 具有通用型器件生产批量大、成本低和专用型器件构成系统体积小、电路可靠的特点。

6.2.1 PLD 的一般组成

由第 1 章 1.4 节可知，任何一个逻辑函数都有与或表达式。PLD 的基本组成是与阵列和或阵列，如图 6-15 所示，通过对与、或两个逻辑阵列进行编程，实现所需要的逻辑功能。与阵列是多个多输入与门，或阵列是多个多输入或门，输入缓冲电路产生输入变量的原变量与反变量两个互补变量供与阵列使用，输出电路有多种形式如三态输出、寄存器型输出等。有些 PLD 还有内部反馈电路，如图 6-15 中虚线所示。

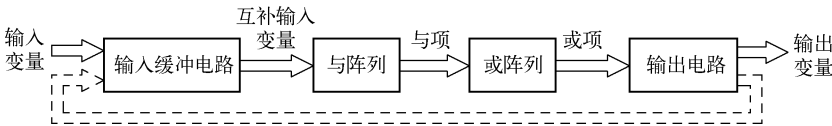


图 6-15 PLD 的一般组成

6.2.2 PLD 的电路表示法

由于 PLD 阵列庞大，所以在 PLD 阵列的描述中使用了简化的电路表示方法。如图 6-16 所示为两交叉线的关系，图中，“固定连接”表示两线相连，可以理解为“焊死”的连接点；“编程连接”表示两线通过编程的方法连接，也可以通过编程的方法断开；“不连接”表示两线互不相连。

图 6-17 所示为逻辑门的表示方法。图 6-17（a）中， $F = ABC$ 。图 6-17（b）中， $F = A + B + D$ 。



图 6-16 PLD 电路表示法

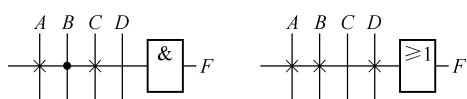


图 6-17 PLD 逻辑门的表示方法

下面以已经熟悉的 ROM 介绍这种简化表示方法的应用。ROM 的地址译码器是一个与阵列，如果将地址译码器的地址看做是输入变量，则地址译码器输出的各条字线便是全部输入变量的各个最小项。在图 6-13 中，将地址 A_0 和 A_1 作为输入变量，地址译码器的输出分别为：

$$W_0 = \bar{A}_1 \bar{A}_0; W_1 = \bar{A}_1 A_0; W_2 = A_1 \bar{A}_0; W_3 = A_1 A_0$$

ROM 的存储矩阵是一个或阵列，它的各个位线的输出能使上述最小项之间构成一定的或逻辑关系。在图 6-13 中有

$$D_0 = W_1 = \bar{A}_1 A_0$$

$$D_1 = W_0 + W_2 + W_3 = \bar{A}_1 \bar{A}_0 + A_1 \bar{A}_0 + A_1 A_0$$

$$D_2 = W_1 + W_3 = \bar{A}_1 A_0 + A_1 A_0$$

$$D_3 = W_0 + W_1 + W_3 = \bar{A}_1 \bar{A}_0 + \bar{A}_1 A_0 + A_1 A_0$$

图 6-18 所示是图 6-13 所示 ROM 的与或阵列图，其中，图 6-13 (a) 为组成框图，图 6-13 (b) 为阵列示意图。

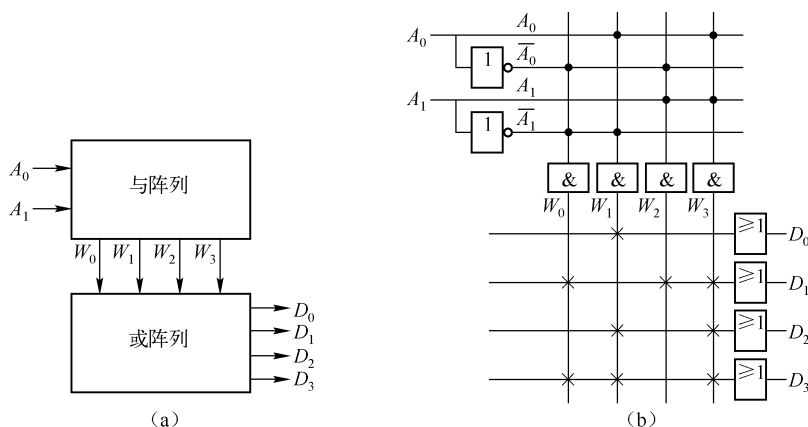


图 6-18 用与或阵列表示 ROM

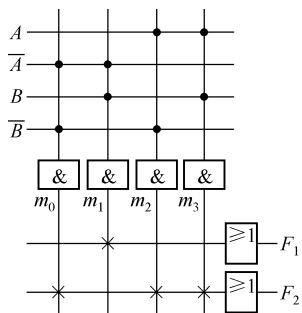


图 6-19 例 6-1 图

例 6-1 图 6-19 所示是用 ROM 实现逻辑函数的阵列图。试写出逻辑函数 F_1 , F_2 的表达式。

解：根据与阵图可得：

$$m_0 = \bar{A} \bar{B}, m_1 = \bar{A} B, m_2 = A \bar{B}, m_3 = AB$$

根据或阵图可得：

$$F_1 = m_0 + m_2 = \bar{A} \bar{B} + A \bar{B} = \bar{B}$$

$$F_2 = m_0 + m_2 + m_3 = \bar{A} \bar{B} + A \bar{B} + AB = A + \bar{B}$$

用 ROM 实现逻辑函数时，厂家根据用户提供的阵列图

便可生产出所需要的 ROM。用户自己也可以使用编程器对 PROM 编程。市售通用编程器一般都能支持各厂家生产的 PROM。

*** 例 6-2** 分析图 6-20 所示 PAL 器件 74PAL16R8。

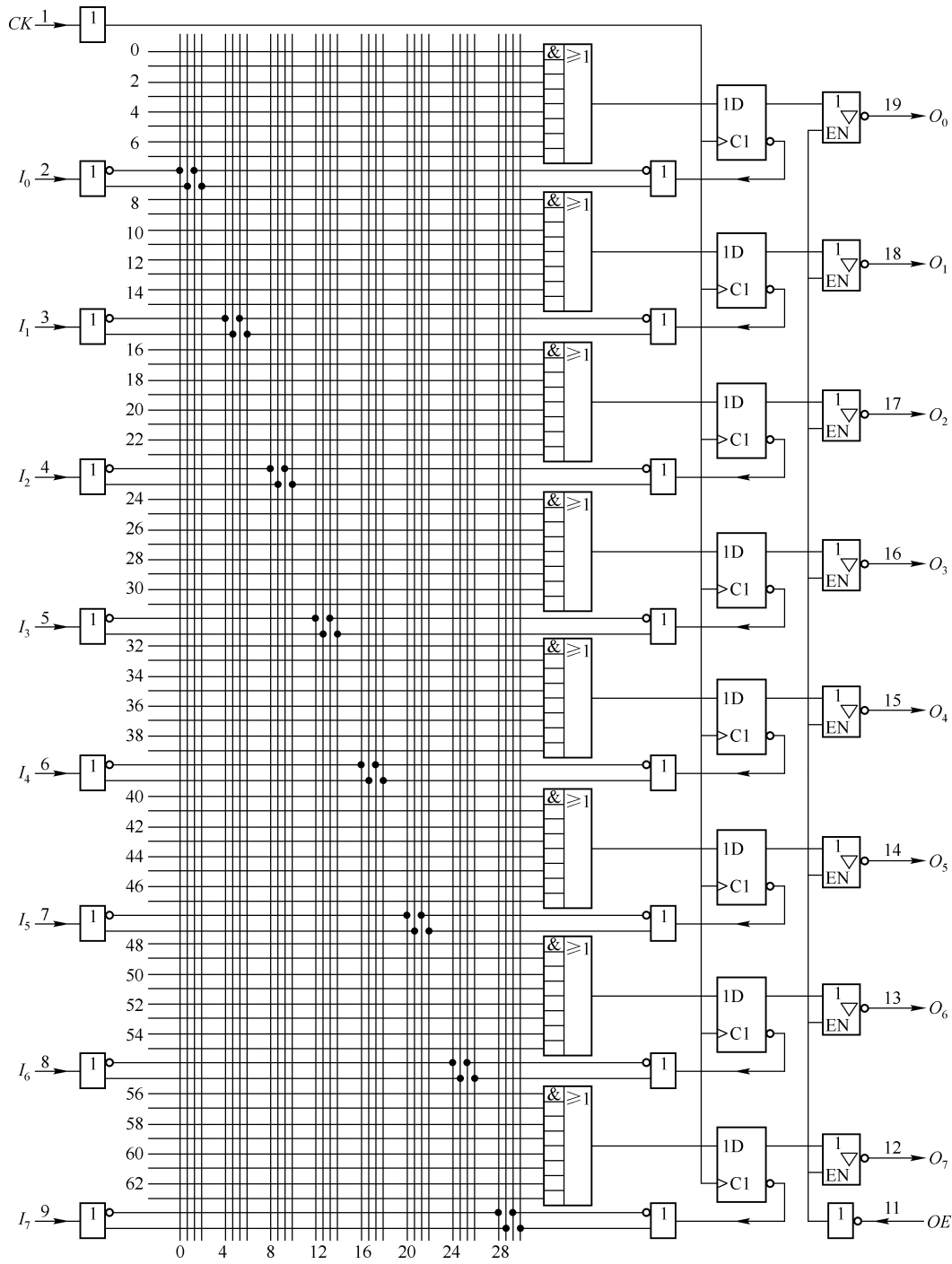


图 6-20 CT74PAL16R8 逻辑图

表 6-5 几种 PLD 的比较

		PROM	PLA	PAL	GAL	EPLD	FPGA
推出时间		20 世纪 70 年代初	20 世纪 70 年代中	20 世纪 70 年代末	20 世纪 80 年代中	20 世纪 80 年代末	20 世纪 80 年代末
阵列	与阵	固定	可编程	可编程	可编程	可编程	可编程逻辑模块
	或阵	可编程	可编程	固定	部分可编程	部分可编程	
输出电路		固定	固定	固定	输出逻辑宏单元可组态	输出逻辑宏单元可组态	可编程输入/输出模块
特点		与阵每个输出端对应一个最小项，且不管这个最小项在逻辑函数式中是否出现，均在或阵中占据一条字线，因此在实现逻辑函数时，芯片利用率低	与阵和或阵都可编程，灵活性强。但是当减小管芯尺寸以提高速度时会使成本提高	与阵可编程，所以适于多输入情况，由于或阵固定，器件可以做得体积小，因此速度快。对于简单逻辑功能，具有较好的性价比。但输出电路结构类型多，给设计和使用带来不便	E ² CMOS 工艺，可编程输出逻辑宏单元可以设置成不同的工作状态，增强了器件的通用性	集成度高，又被称为高密度 PLD。采用 CMOS 和 UVEPROM 工艺，具有 CMOS 器件低功耗、高噪声容限的优点，又兼有 UVEPROM 可靠性高、集成度高、成本低的优势，相对 GAL 的输出逻辑宏单元增加了预置数和异步置零功能，增强了使用灵活性	高密度 PLD，由若干独立的可编程逻辑模块组成，用户可以通过编程将这些模块连接成所需要的数字系统。因模块的排列形式与门阵列（GA）中单元的排列形式相似，所以沿用了门阵列的名称
用途		主要作存储器	小批量定型产品中的中规模电路，实现复杂逻辑功能	小批量定型产品中的中规模电路，实现简单逻辑功能	产品研制中需要不断修改的中、小规模电路		组成数字系统

阅读 PLD 的开发

PLD 之所以能够迅速发展和得到普遍应用，是因为可借助丰富的计算机辅助设计软件对其进行设计和编程。

PLD 的开发主要经过以下步骤：

- (1) 根据设计要求进行逻辑抽象，即把要实现的逻辑功能表示为逻辑函数的形式。
- (2) 选择所需芯片型号。
- (3) 根据所选 PLD 型号，选定能够支持所选芯片的开发系统。

开发系统包括软件和硬件两部分。软件是指 PLD 专用的编程语言和相应的汇编程序或编译程序（汇编程序或编译程序起“翻译”作用，即将用汇编语言或高级编程语言编辑的程序又称源程序转变成 JEDEC 文件。JEDEC 文件是一种由电子器件工程联合会制定的记录 PLD 编程数据的标准文件格式）。早期多为汇编型软件，它要求输入化简后的与或逻辑式，不具备自动化简功能，且对不同类型的 PLD 兼容性差。20 世纪 80 年代初，功能更强、效率更高、稳定性更好的编译型软件得到推广使用，这类软件输入的源程序采用专用的高级编程语言（也称为硬件描述评议 HDL）编写，有自动化简和优化设计功能。此后又出现了功能更强的开发系统软件，不仅可以用高级编程语言输入，而且可以用电路原理图输入。进入 20 世纪 90 年代后，PLD 开发系统软件向集成化发展。这些集成化开发系统软件（软件包）通过一个设计程序管理软件，把一些已经广为应用的优秀 PLD 开发软件集成为一个大的软

件系统,设计时技术人员可以灵活地调用这些资源完成设计工作。

开发系统的硬件部分包括计算机(一般的PC机即可)和编程器。编程器是对PLD进行写入和擦除的专用设备,能提供对PLD擦除或写入操作所需要的电源电压和控制信号,并通过串行或并行接口从计算机接收编程数据后写入PLD。

(4) 在计算机上按编程语言的规定格式编写对PLD编程的源程序。

(5) 上机运行,产生JEDEC文件和其他程序说明文件。

(6) 将计算机接上PLD编程器,将JEDEC文件由计算机送给编程器,再由编程器对PLD编程(所谓编程就是将PLD芯片中的交叉线按照功能要求接通或断开)。

(7) 测试。将写好数据的PLD从编程器上取下,用实验方法测试它的逻辑功能,检查是否达到了设计要求。

在数字系统中采用PLD代替常用的74/54系列TTL或CMOS芯片有一些明显的好处,主要是:

(1) 系统设计灵活方便。在设计某一系统时,可根据任务进行逻辑抽象,给出逻辑描述,如写真值表、列逻辑表达式、画状态图等。这些逻辑功能要靠器件实现,而在数百种中小规模TTL或CMOS器件中选用合适器件,使设计达到较高的性能价格比,对设计人员来说并非易事。采用PLD并辅以开发工具,将使事情变得容易得多。如使用GAL,这时会很容易的在3~4种可供选择的器件中确定采用哪一种型号。高级的开发软件使逻辑设计变得很简单,在对任务进行确切逻辑描述后,由编程工具自动确定GAL器件应配置的内部电路结构。这样逻辑设计的主要任务将是集中力量求解逻辑描述,并保证其正确无误。

在一个系统的研制阶段,由于任务变动或设计错误而修改设计是经常发生的。如果设计中采用非可编程器件,则可能要更换、增加器件。而采用PLD设计,便可将原有器件立即改写后继续使用。

在普通中小规模集成器件中,管脚的定义是相对固定的。一个复杂系统的印制电路板设计常会因为个别管脚的走线而陷入困境。而在PLD中,管脚功能的定义有较大的灵活性,可以由设计者确定,这将大大简化印制电路板的设计。

(2) 系统体积缩小,可靠性高。据统计,一个GAL器件在功能上可替代4~12个中小规模集成器件,从而使系统体积缩小,可靠性提高,也进一步简化了印制电路板的设计。

思考与练习

(1) 写出图6-22所示ROM阵列图所对应的逻辑函数表达式。

(2) 用一片ROM实现函数: $F_1 = AB + C\bar{D} + BC + \bar{A}\bar{B}\bar{C}\bar{D}$; $F_2 = B + CD + \bar{B}\bar{C}$, 选择ROM地址和存储数据位数,画出ROM阵列图。

(3) 写出图6-23所示PAL阵列对应的逻辑函数表达式。

(4) 试用PAL实现逻辑函数:

$$F_1 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + A\bar{B}\bar{C}\bar{D} + ABCD;$$

$$F_2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + AB\bar{C};$$

$$F_3 = \bar{A}BD + \bar{B}\bar{C}\bar{D};$$

$$F_4 = BD + \bar{B}\bar{D}$$

(5) 图6-21所示由PAL16R8构成的8421BCD码计数器输出为反码 \bar{Q}_3 Q_2 Q_1 Q_0 , 如果需要原码输出

$Q_3Q_2Q_1Q_0$ ，问怎样修改电路？

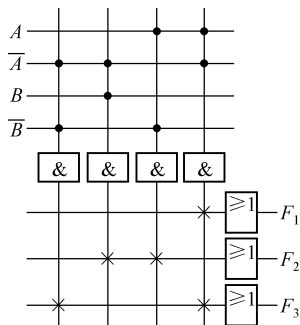


图 6-22

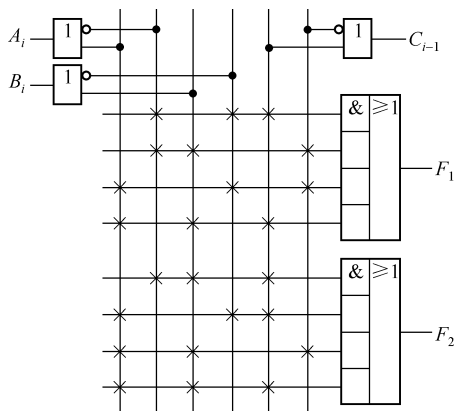


图 6-23

实验与技能训练

实验 11 存储器

(1) 实验目的。通过实验，进一步理解 RAM 的工作原理，了解其使用方法。

(2) 实验用器件。INTEL 2114 一片，74125 一片，74LS163A 一片。

(3) 实验用设备及装置。数字电路通用实验仪，万用表。

(4) 注意事项。由于半导体存储器极易烧毁，实验中一定要仔细，接线要正确，接触要良好，确保接线、电源电压正确后，再加电实验。测试过程中一定要防止出现存储器工作在读出状态，而又在 I/O 端加入写 1 信号的情况，否则必将烧毁存储器。

(5) 实验内容。实验参考电路如图 6-24 所示， $S_0 \sim S_6$ 接逻辑开关， V_{DD} 取 5V，74125 加到存储器 I/O 端保护存储器防止烧毁。

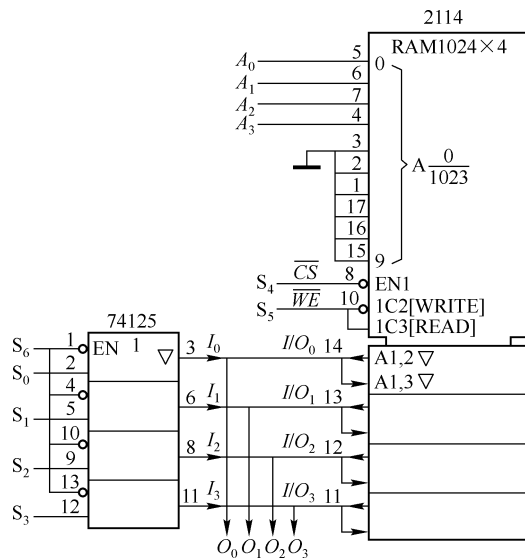


图 6-24

① 用单拍方式向存储器单元写入数据。按表 6-6 所示单元地址，用单拍方式将对应数据写入存储器。写入时按照 2114 写时序操作。

表 6-6

控 制		地 址										数 据			
\overline{CS}	\overline{WE}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	I/O_3	I/O_2	I/O_1	I/O_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0	0	1	0	0	0	1
		0	0	0	0	0	0	0	0	1	0	0	0	1	0
		0	0	0	0	0	0	0	0	1	1	0	0	1	1
		0	0	0	0	0	0	0	1	0	0	0	1	0	0
		0	0	0	0	0	0	0	1	0	1	0	1	0	1
		0	0	0	0	0	0	0	1	1	0	0	1	1	0
		0	0	0	0	0	0	0	1	1	1	0	1	1	1
		0	0	0	0	0	0	1	0	0	0	1	0	0	0
		0	0	0	0	0	0	1	0	0	1	1	0	0	1
		0	0	0	0	0	0	1	0	1	0	1	0	1	0
		0	0	0	0	0	0	1	0	1	1	1	0	1	1
		0	0	0	0	0	0	1	1	0	0	1	1	0	0
		0	0	0	0	0	0	1	1	0	1	1	1	0	1
		0	0	0	0	0	0	1	1	1	0	1	1	1	0
		0	0	0	0	0	0	1	1	1	1	1	1	1	1

② 用单拍方式读出存储器存储内容。用单拍方式从存储器各单元读出上面写入的数据，并填入表 6-7。读出时， \overline{CS} 、 \overline{WE} 接逻辑电平开关， I/O_i 接电平指示灯，按照 2114 读时序操作。

表 6-7

控 制		地 址										数 据			
\overline{CS}	\overline{WE}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	I/O_3	I/O_2	I/O_1	I/O_0
0	1	0	0	0	0	0	0	0	0	0	0				
		0	0	0	0	0	0	0	0	0	1				
		0	0	0	0	0	0	0	0	1	0				
		0	0	0	0	0	0	0	0	1	1				
		0	0	0	0	0	0	0	1	0	0				
		0	0	0	0	0	0	0	1	0	1				
		0	0	0	0	0	0	0	1	1	0				
		0	0	0	0	0	0	0	1	1	1				
		0	0	0	0	0	0	1	0	0	0				
		0	0	0	0	0	0	1	0	0	1				
		0	0	0	0	0	0	1	0	1	0				
		0	0	0	0	0	0	1	0	1	1				
		0	0	0	0	0	0	1	1	0	0				
		0	0	0	0	0	0	1	1	0	1				
		0	0	0	0	0	0	1	1	1	0				
		0	0	0	0	0	0	1	1	1	1				

本章小结

1. 半导体存储器是一种能存储大量信息的半导体器件。由于要存储的信息量很大，而器件的引脚数不可能无限地增加，因而不可能将每个存储单元的输入和输出端都固定地各接到一个引脚上。因此，存储器的电路结构与第5章所介绍的寄存器是不同的。

在半导体存储器中采用了按地址存放数据的方法，只有被输入地址代码指定的存储单元，才能与输入/输出端接通，并对所指定的单元进行读/写操作。输入/输出端是公用的。为此，存储器的电路结构中必须包含地址译码器、存储矩阵和读/写电路。

半导体存储器分为 ROM 和 RAM，RAM 又分为 SRAM 和 DRAM。根据存储特点，存取速度，集成度及价格等，各种存储器被用于不同的场合。

2. PLD 的基本构成是与阵和或阵，它的最大特点是可以通过编程的方法设置其逻辑功能。PLD 的编程需要在开发系统的支持下进行。开发系统的种类很多，性能差别很大，各有一定的适用范围。因此在设计数字系统，选择 PLD 的具体型号时必须同时考虑所使用的开发系统能否支持所选器件的编程工作。

目标检测

一、填空题

- 6.1 _____ 位二进制数是一个字节，字节通常用单个字母 _____ 表示。
- 6.2 1GB = _____ MB, 1MB = _____ KB, 1KB = _____ B。1K = _____。
- 6.3 半导体存储器中，地址译码器的作用是 _____，I/O 电路的作用是 _____。
- 6.4 4096 字 \times 8 RAM 的地址码 _____ 位，存储单元 _____ 个，存储位 _____ 个。
- 6.5 PLD 是 _____ 器件，一般由 _____ 等部分组成。

二、单项选择题

- 6.6 对存储器进行读写时，是对一个 _____ 进行读写。
A. 存储矩阵 B. 存储单元 C. 字节 D. 存储位
- 6.7 存储器存储容量为 64KB，如果采用双译码方式，则 X 地址线与 Y 地址线的线数分别为 _____。
A. 8, 8 B. 10, 6 C. 1024, 64 D. 无法确定
- 6.8 存储器有 12 根地址线，则有 _____ 个地址空间。
A. 1K B. 2K C. 4K D. 8K
- 6.9 8K \times 8 的存储器芯片，组成 64K \times 16 的内存系统，需要 _____ 个芯片。
A. 8 B. 16 C. 24 D. 32
- 6.10 有一组合逻辑电路，包含 7 个输入变量，7 个输出函数，用一个 PROM 实现时应采用的规格是 _____。
A. 64 \times 8 B. 256 \times 4 C. 256 \times 8 D. 1024 \times 8
- 6.11 利用 PAL 产生一组有 4 个输入变量，3 个输出的组合逻辑函数，每个函数所包含与项的最大数是 6 个，则所选 PAL 的输入端数，与项数，以及输出端数是 _____。
A. 8, 18, 3 B. 4, 18, 3 C. 4, 6, 3 D. 8, 6, 3

三、多项选择题

- 6.12 RAM 的特点有 _____。
A. 可以随机读数据 B. 可以随机写数据 C. 非破坏性读出 D. 易失性
- 6.13 SRAM 与 DRAM 相比较，其优点是 _____。

- A. 存取速度快 B. 不需要刷新 C. 功耗低 D. 集成度高
6. 14 存储器两个最重要的指标是_____。
- A. 译码结构形式 B. 存储容量 C. 单元位数 D. 读取速度
6. 16 ROM 中输出缓冲器的作用是_____。
- A. 做输出驱动器, 提高存储器带负载能力
B. 实现输入三态控制, 以便和系统总线相连
C. 实现输出三态控制, 以便和系统总线相连
D. 将输入的地址码译成相应的地址控制信号, 利用此控制信号从存储矩阵中选出某一单元进行读写操作
6. 17 以下属于电擦除可编程的 ROM 是_____。
- A. PROM B. EPROM C. E²PROM D. Flash ROM

四、判断题 (正确的在括号中打“√”, 错误的打“×”)

6. 18 Cache 是 RAM 中存储速度最慢的。()
6. 19 ROM 主要由存储矩阵、地址译码器、读写电路等组成。()
6. 20 与 E²PROM 相比, Flash Memory 的集成度高, 成本低。()
6. 21 存储器的时序图反映了各操作信号间的时间关系, 必须按照时序要求操作, 存储器才能正常工作。()
6. 22 存储器既可以作为存储信息的“仓库”用, 还可以用来设计、实现组合逻辑函数。()

五、综合题

6. 23 将 256×1 ROM 扩展为 1024×1 ROM。
6. 24 将 256×1 ROM 扩展为 256×8 ROM。
6. 25 将 256×1 RAM 扩展为 1024×8 RAM。
6. 26 分别用 ROM 和 PAL 实现逻辑函数: $F_1 = AB + BC + C\bar{D}$; $F_2 = B + \bar{C} + CD$ 。

第7章 脉冲电路

知识目标

- (1) 熟悉施密特触发器的特点，了解其工作原理。
- (2) 掌握单稳态触发器的特点，会估算单稳态的持续时间。
- (3) 掌握多谐振荡器的电路组成，会估算振荡频率。
- (4) 熟悉 555 集成电路各引脚的功能，能用它组成各种脉冲电路。

技能目标

- (1) 会查阅手册，能识读集成单稳态触发器、施密特触发器的引脚和功能，并能正确使用。
- (2) 能用门电路或振荡器芯片构成多谐振荡器。
- (3) 能用 555 集成电路组成各种脉冲电路，并能通过调整电路参数改变脉冲参数。

脉冲电路的作用是产生或变换脉冲信号。脉冲信号是指持续时间很短的电压或电流信号。更广义的讲，凡不连续的非正弦信号都泛称为脉冲信号。图 7-1 示出几种常见的脉冲信号波形：(a) 矩形波，(b) 方波，(c) 锯齿波，(d) 尖脉冲，(e) 阶梯波，(f) 三角波。

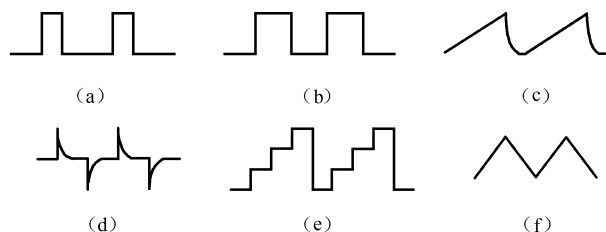


图 7-1 常见的脉冲信号波形

矩形波是最常用的脉冲信号，如时序电路中作为时钟信号的矩形波控制和协调着整个系统的工作，因此，时钟信号的特性直接关系到系统能否正常工作。实际的矩形波并无理想跳变，顶部也不平坦，为了定量描述其特性，通常给出图 7-2 所示的几个主要参数。

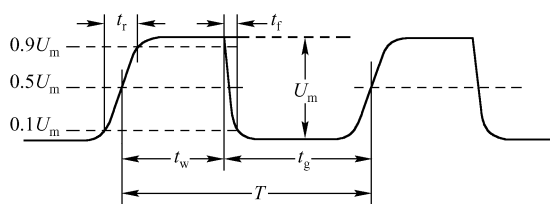


图 7-2 矩形脉冲的主要参数

- (1) 幅度 U_m ——脉冲电压的最大变化幅度。
- (2) 上升时间 t_r ——脉冲信号从 $0.1U_m$ 上升到 $0.9U_m$ 所需要的时间。
- (3) 下降时间 t_f ——脉冲信号从 $0.9U_m$ 下降到 $0.1U_m$ 所需要的时间。
- (4) 脉冲宽度或称脉冲持续时间 t_w ——脉冲信号持续的时间。
- (5) 脉冲间隔或称休止期 t_g ——前一脉冲终了时刻和后一脉冲起始时刻之间的时间间隔。
- (6) 周期 T ——相邻两个脉冲对应点之间的时间间隔, $T = t_w + t_g$ 。周期的倒数为频率 f , $f = 1/T$ 。

本章讨论施密特触发器、单稳态触发器、多谐振荡器的组成、工作原理及应用。

7.1 施密特触发器

施密特触发器是一种双稳态电路, 触发方式为电平触发, 它与第4章所介绍的电平触发双稳态电路的区别是: 触发信号从低电平上升与从高电平下降时的触发电平不同。

7.1.1 集成门施密特触发器

1. 工作原理

施密特触发器有多种构成形式, 图7-3 (a) 所示是由TTL门构成的。设门阈值电压 $U_{TH} = 1.4V$, 二极管VD导通电压 $U_D = 0.7V$, 下面结合图7-3 (b) 所示波形讨论。设输入电压 u_i 为三角波。

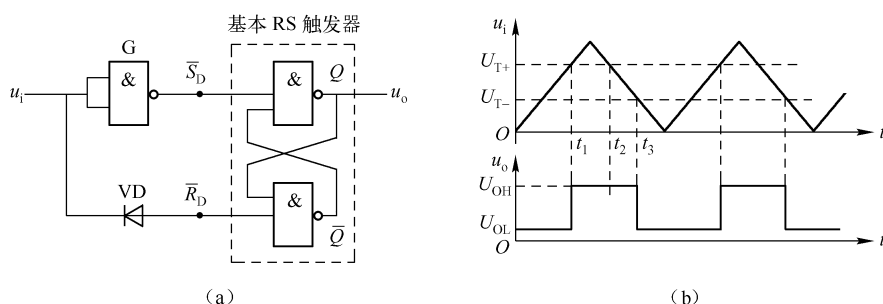


图7-3 施密特触发器

(1) 第一稳定状态。当 $t = 0$ 时, $u_i = 0V$, G 关闭, G 输出高电平使 $\bar{S}_D = 1$; 又由于 $u_i = 0V$, VD 导通, \bar{R}_D 端电平为 $0.7V$, $\bar{R}_D = 0$, 所以触发器为 0 态, u_o 输出低电平。此时电路处于初始稳定状态, 称为第一稳态。

$t > 0$ 后 u_i 上升, 只要 $u_i < U_{TH} = 1.4V$, G 总是关闭, 使 $\bar{S}_D = 1$, 触发器将保持 0 态不变, 即施密特触发器保持第一稳态。

(2) 第一次翻转。 $t = t_1$ 时 u_i 上升到 $1.4V$, G 即刻转为开通输出低电平, 使 $\bar{S}_D = 0$; \bar{R}_D 端电平为 $u_i + U_D = 2.1V$, $\bar{R}_D = 1$, 触发器被置 1, u_o 跳为高电平。电路由第一稳态翻转为第二

稳态。

输入电压上升，使电路由第一稳态翻转为第二稳态的电压值称为上升触发电平或正向阈值电平，用 U_{T+} 表示。由上分析可知，图 7-3 所示施密特触发器 $U_{T+} = 1.4\text{V}$ 。

(3) 第二稳定状态。

$t_1 \sim t_2$ 期间， $u_i > U_{T+}$ ，电路保持第二稳态。

当 $t = t_2$ 时， u_i 下降到 1.4V ，G 转为关闭， $\bar{S}_D = 1$ ；而此时由于二极管的电平转移作用，使 $(u_i + U_D)$ 仍高于 U_{TH} ， $\bar{R}_D = 1$ ，所以触发器状态不变，电路继续保持第二稳态。

(4) 第二次翻转。

$t \geq t_3$ ， $u_i \leq 0.7\text{V}$ ， \bar{R}_D 端电平 $(u_i + U_D) \leq U_{TH} = 1.4\text{V}$ ， $\bar{R}_D = 0$ ，从而使触发器由 1 态翻转为 0 态，电路由第二稳态翻转回第一稳态。

输入电压下降，使电路由第二稳态翻转为第一稳态的电压值称为下降触发电平或负向阈值电平，用 U_{T-} 表示。此处 $U_{T-} = 0.7\text{V}$ 。

综上所述，施密特触发器具有两种稳定状态，状态的维持与转换依赖于外加输入电压的取值。

2. 回差

施密特触发器的 $U_{T+} \neq U_{T-}$ 。通常把上升触发电平与下降触发电平不等的特性称为回差特性或滞后特性，并定义 $U_{T+} - U_{T-} = \Delta U$ ， ΔU 称为回差电压。

回差的存在有利有弊。图 7-4 (a) 所示是受到干扰的矩形脉冲，若要将它还原为原脉冲，要求电路具有一定的回差。当回差较小时，设 $U_{T+} = U'_{T-}$ ，A、B 处干扰信号仍起作用，如图 7-4 (b) 所示。只有加大回差才能克服干扰的影响，得到还原的矩形脉冲，如图 7-4 (c) 所示。

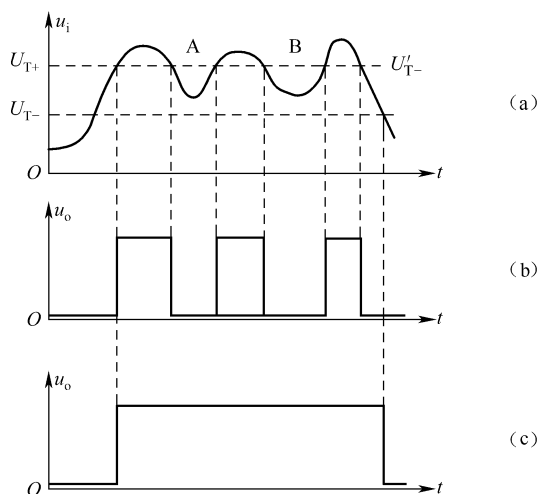


图 7-4 回差大利于消除干扰

有些场合又不希望回差太大。例如，要将图 7-5 (a) 所示正弦波变为矩形波，若回差太大，输出波形如图 7-5 (b) 所示，得不到所需要的矩形波；若回差小些，输出波形如图

7-5 (c) 所示，达到了变换波形的目的。

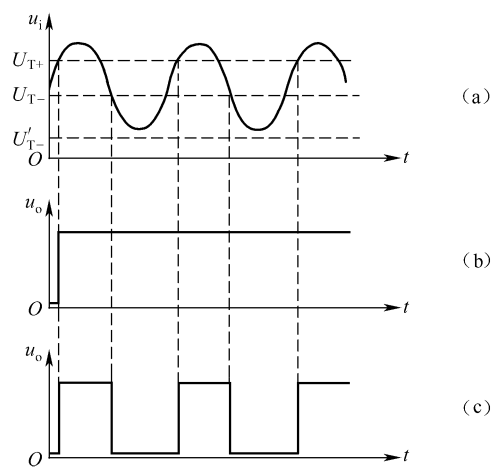


图 7-5 波形变换与回差的关系

7.1.2 集成施密特触发器

7413 是带有施密特触发器的双 4 输入与非门，逻辑符号如图 7-6 (a) 所示，“ \sqcap ”表示施密特特性。图 7-6 (b) 所示是其传输特性，由于内部存在强正反馈，所以电路状态转变十分迅速，使传输特性在两个状态过渡区十分陡直。

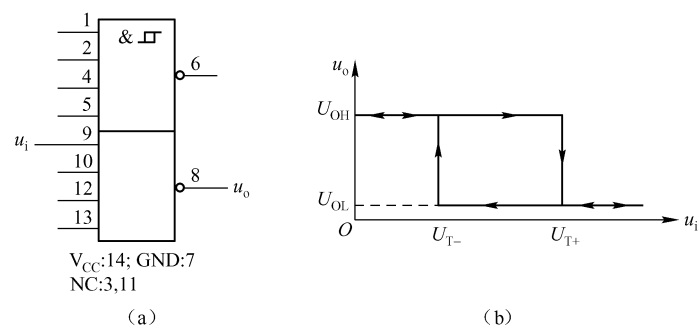


图 7-6 双 4 输入与非门 7413

工程应用

施密特触发器可用于波形变换、整形，鉴别脉冲的幅度等。

1. 波形变换与整形

施密特触发器可以将三角波、正弦波等变换为矩形波，如图 7-3、图 7-5 所示。

施密特触发器用于波形整形，可以将边沿差、带有干扰的脉冲信号变换成边沿陡峭的矩形脉冲，如图 7-7 所示。

2. 鉴别脉冲幅度

在图 7-8 中, 欲将输入信号 u_i 中幅度大于 U_{REF} 的脉冲保留, 小于 U_{REF} 的脉冲去掉, 这时可将施密特触发器上升触发电平调整到 $U_{T+} = U_{REF}$, 则 u_i 中幅度超过 U_{REF} 的脉冲有输出, 小于 U_{REF} 的脉冲没有输出。

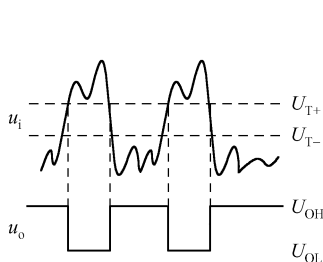


图 7-7 波形整形

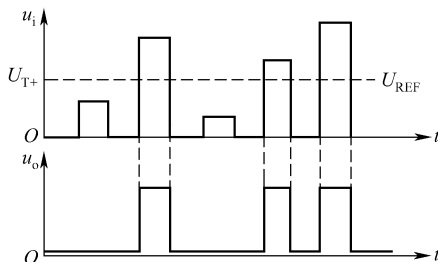


图 7-8 鉴别脉冲幅度

思考与练习

- (1) 施密特触发器有什么特点? 有哪些方面的应用?
- (2) 施密特触发器有无“记忆”功能?

7.2 单稳态触发器

单稳态触发器具有一个稳态和一个暂稳态。在外加触发信号作用下, 电路能从稳态翻转为暂稳态, 经过一段时间 t_w 后又能自动返回到原稳态。暂稳态持续时间由电路本身参数决定, 与触发信号无关。

7.2.1 集成门单稳态触发器

用集成门构成的单稳态触发器分为微分型和积分型两种, 图 7-9 所示是微分型电路。图中 G_1 到 G_2 利用 RC 微分电路耦合; G_2 到 G_1 直接耦合, 整个电路构成正反馈环路。 R 和 C 决定暂稳态的持续时间, 称之为定时元件。为保证稳态时 G_1 开通、 G_2 关闭, 要求 $R < R_{ON}$ 。

1. 工作原理

下面结合图 7-10 所示波形进行分析。设 G_1 、 G_2 均为 74LS 系列门电路。

(1) 稳定工作状态。 u_i 为高电平时, 电路处于稳态。由于 $R < R_{ON}$, G_2 关闭, u_{o2} 为高电平并反馈到 G_1 另一输入端, 所以 G_1 两个输入端均为高电平, 使 u_{o1} 为低电平。

(2) 触发翻转。 $t = t_1$ 时, u_i 负跳变使 G_1 转为关闭, u_{o1} 跳升为 U_{OH} 。由于 C 两端电压不能突变, 所以 u_R 立即跟随 u_{o1} 跳升, 使 u_R 大于 U_{TH} , G_2 转为开通, u_{o2} 下降并耦合到 G_1 输入端, 维持 G_1 关闭。

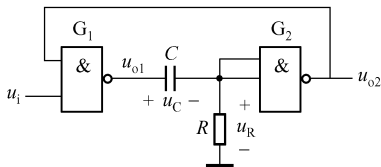


图 7-9 微分型单稳态触发器

(3) 暂时稳定状态。暂稳态期间, G_1 关闭, $u_{o1} = U_{OH}$; G_2 开通, $u_{o2} = U_{OL}$ 。 G_1 输出高电平 U_{OH} 经 R 对 C 充电, 充电回路如图 7-11 所示, u_C 逐渐上升, u_R 随之逐渐减小。但只要 u_R 大于 U_{TH} , G_2 状态便维持不变, G_1 状态维持不变, 即 u_{o1} , u_{o2} 维持不变。

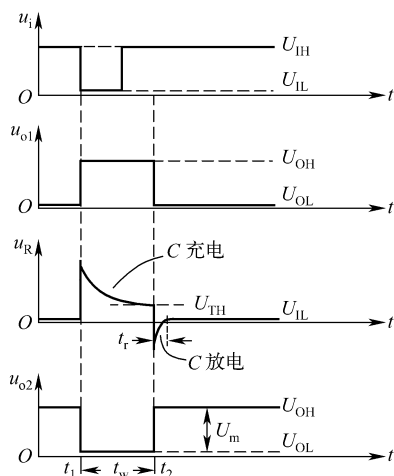


图 7-10 微分型单稳态触发器波形图

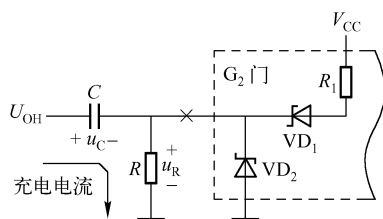


图 7-11 C 充电回路

(4) 自动翻转。 $t = t_2$ 时, u_R 下降到 U_{TH} , 使 G_2 输出电压 u_{o2} 上升, 电路自动产生下列正反馈过程:

C 充电使 u_R 下降到 G_2 阈值电压 $U_{TH} \rightarrow u_{o2} \uparrow \rightarrow u_{o1} \downarrow \xrightarrow{C \text{ 耦合}} u_R \downarrow$

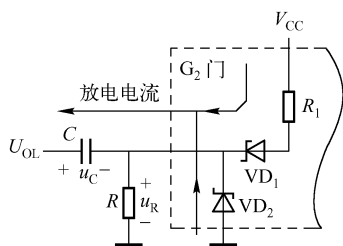


图 7-12 C 放电回路

上述过程进行得很快, 电路迅速翻转为 G_1 开通, G_2 关闭状态。

(5) 恢复阶段。电路自动翻转到 G_1 开通, G_2 关闭后便转入恢复过程。 C 放电, 放电回路如图 7-12 所示。由于 C 主要通过 G_2 输入端导通二极管 VD_2 放电, 放电很快, 从而使 u_R 迅速上升。当 u_R 恢复到 u_i 负跳变前所具有的数值时, 恢复过程结束, 电路返回到稳定状态。

2. 脉冲参数估算

(1) 输出脉冲幅度 U_m 。由 u_{o2} 波形可知:

$$U_m = U_{OH} - U_{OL}$$

(2) 输出脉冲宽度 t_w 。 t_w 是暂稳态持续时间。由工作原理分析知, t_w 与暂稳态期间 C 充电快慢有关, 即与 C 充电时间常数有关。由于门参数的离散性, 精确计算 t_w 是困难的, 实际多用经验公式估算:

$$t_w \approx RC$$

一般 C 和 R 都是可调的, 通过调节 C 或 R 的数值, 可以获得所需要的 t_w 值。 C 多为粗调, R 为细调。但调 R 时, 其阻值不能过大, 应满足 $R < R_{ON}$ 。

(3) 恢复时间 t_r 。 t_r 即 C 的放电时间。由于 C 放电时间常数很小，放电很快，所以 t_r 很小。

(4) 分辨时间 T_{\min} 。单稳态触发器在触发翻转后，要经过暂稳态和恢复期这两个过程，即需要经过 $(t_w + t_r)$ 时间才能完全回到稳态。所以触发信号最小周期，即分辨时间 T_{\min} 应满足：

$$T_{\min} \geq t_w + t_r$$

而最高工作频率为：

$$f_{\max} = \frac{1}{T_{\min}} \leq \frac{1}{t_w + t_r}$$

7.2.2 集成单稳态触发器

集成单稳态触发器有一次触发和可重触发两种类型。

1. 一次触发单稳态触发器

74LS221 由两个独立的、相同结构的一次触发单稳态触发器构成，每个触发器的功能见表 7-1，逻辑符号见图 7-13，图中“1 \square ”表示一次触发单稳态，带“×”的引脚为非逻辑连接：CX 与 RX/CX 两引脚间接定时电容，RX/CX 引脚接定时电阻。触发器型号不同，内部结构便不同，定时电阻另一端的接法也就不同，或接地或接正电源端。74LS221 定时电阻电容的接法如图 7-14 所示。

表 7-1 74LS221 功能表

输 入			输 出	
$\overline{R_D}$	\overline{A}	B	Q	\overline{Q}
0	×	×	0	1
×	1	×	0	1
×	×	0	0	1
1	0	\uparrow	\square	\square
1	\downarrow	1	\square	\square
\uparrow	0	1	\square	\square

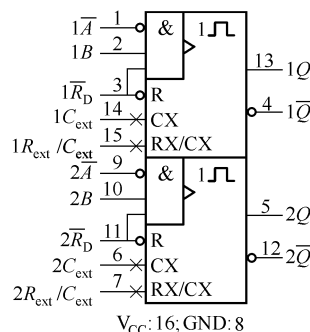


图 7-13 单稳态触发器 74LS221

(1) 触发方式。当 $\overline{A} = 1$ 、 B 任意，或 $B = 0$ 、 \overline{A} 任意时，不能构成触发，触发器处于 $Q = 0$ 的稳定状态。

逻辑符号内的连接符号“>”表示内部触发信号为上升沿触发，因此， \overline{A} 取非与 B 相与后若形成上升沿，则触发 Q 翻转，且 \overline{A} 为下降沿触发， B 为上升沿触发，所以有两种触发方式： $\overline{A} = 0$ ， B 由 $0 \rightarrow 1$ ； $B = 1$ ， \overline{A} 由 $1 \rightarrow 0$ 。由于具有上升沿和下降沿两种触发方式可供选择，因此在构成系统时十分方便。

LS221 为一次触发，也就是一旦触发进入暂稳态，在暂稳态期间不再接收新的触发信号。

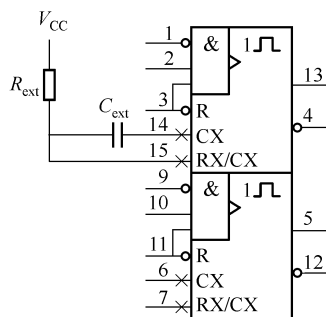


图 7-14 74LS221 定时电阻电容接法

(2) 复位功能。 \overline{R}_D 为直接复位端，低电平有效。当 $\overline{R}_D=0$ 时，不论电路处于何种工作情况，均使输出 Q 立即为0。在 \overline{R}_D 恢复为1时，若 \overline{A} 和 B 未构成触发条件，则 Q 仍为0；若 \overline{A} 和 B 构成了触发条件，则从 \overline{R}_D 变1时起， Q 输出正常宽度正脉冲，如功能表7-1中最后一行所示。

(3) 输出脉宽 t_w 。输出脉宽 t_w 由下式估算：

$$t_w \approx 0.7 R_{\text{ext}} C_{\text{ext}}$$

式中， R_{ext} 取值范围是2~100k Ω ； C_{ext} 取值范围是10pF~10 μ F。

2. 可重触发单稳态触发器

可重触发单稳态触发器在暂稳态期间能再次接收新的触发脉冲，产生以新触发信号作用时刻起，规定脉宽的矩形波输出。

74LS122 是可重触发单稳态触发器，逻辑符号如图7-15所示，功能表参见表7-2。

表 7-2 74LS122 功能表

输 入					输 出	
\overline{R}_D	\overline{A}_1	\overline{A}_2	B_1	B_2	Q	\overline{Q}
0	×	×	×	×	0	1
×	1	1	×	×	0	1
×	×	×	0	×	0	1
×	×	×	×	0	0	1
1	0	×	\uparrow	1	┓┓	└└
1	0	×	1	\uparrow	┓┓	└└
1	×	0	\uparrow	1	┓┓	└└
1	×	0	1	\uparrow	┓┓	└└
1	1	\downarrow	1	1	┓┓	└└
1	\downarrow	\downarrow	1	1	┓┓	└└
1	\downarrow	1	1	1	┓┓	└└
\uparrow	0	×	1	1	┓┓	└└
\uparrow	×	0	1	1	┓┓	└└

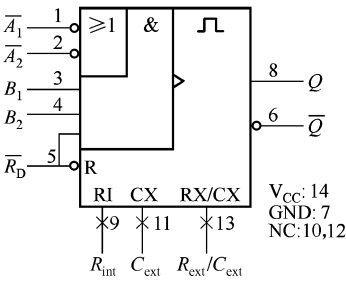


图 7-15 单稳态触发器 74LS122

(1) 触发方式。稳态 Q 为0。触发时，内部触发信号上升沿触发。由于触发信号 $(\overline{A}_1 + \overline{A}_2)(B_1 B_2) = \overline{A}_1 \overline{A}_2 (B_1 B_2)$ ，并结合表7-2可知，有以下两种触发方式：

① 利用 B 信号上升沿触发。稳态时 \overline{A}_1 和 \overline{A}_2 中必须有一个为0； B_1 和 B_2 中必须有一个为0，一个为1，设 $B_1=1$ 、 $B_2=0$ ，当 B_2 由0→1时形成触发。

② 利用 \overline{A} 信号下降沿触发。稳态时 \overline{A}_1 和 \overline{A}_2 都为1， B_1 和 B_2 都为1。当 \overline{A}_1 和 \overline{A}_2 中有一个由1→0，或 \overline{A}_1 和 \overline{A}_2 同时由1→0时形成触发。

(2) 输出脉宽 t_w 。74LS122 可以使用内部定时电阻 R_{int} 来确定 t_w , 此时只需将 R_{int} 即 9 脚连接到正电源 V_{CC} 端即可, 如图 7-16 所示, $R_{int} = 10k\Omega$ 。如果使用外接电阻 R_{ext} , 则使 9 脚悬空, R_{ext} 接在 13 与 14 脚之间。 R_{ext} 取值范围为 $5 \sim 260k\Omega$ 。 C_{ext} 为外接电容, C_{ext} 取值范围 unlimited, 但建议 $C_{ext} \geq 1000pF$, 在 $C_{ext} \geq 1000pF$ 时, 输出脉宽为:

$$t_w \approx 0.45 R_{ext} C_{ext}$$

工程应用

单稳态触发器应用极为广泛, 可用于定时、延时、脉冲波形整形、产生脉冲信号等。

1. 脉冲波形整形

单稳态触发器在触发信号作用下, 能够输出宽度和幅度都固定的矩形脉冲。用于脉冲波形整形, 可以将幅度和宽度不等的矩形输入信号 u_i 整形为具有固定幅度和宽度的规则脉冲输出 u_o , 如图 7-17 所示。

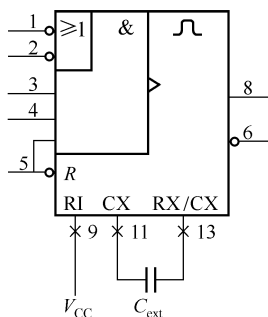


图 7-16 74LS122 使用内部定时电阻

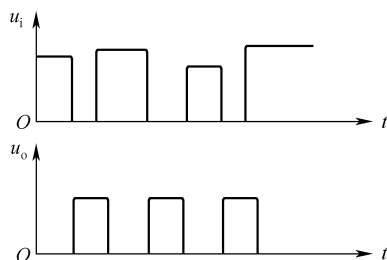


图 7-17 单稳态触发器用于脉冲波形整形

2. 定时

参见图 7-18, 单稳态触发器输出信号 u_c 作为与门 G 的控制信号, 当触发器处于暂稳态期间, u_c 为高电平, G 打开, 允许信号 u_i 传输; 而当 u_c 为低电平时, 封锁 G, 信号 u_i 不能通过。G 开门时间长短取决于单稳态触发器暂稳态持续的时间。

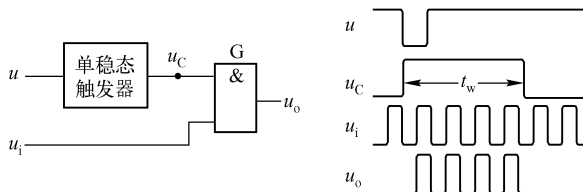


图 7-18 单稳态触发器用于定时

思考与练习

(1) 图 7-19 所示电路输入 $5\mu s$ 方波 u_i 。已知: $R_1 = 10k\Omega$, $C_1 = 50pF$, $R = 300\Omega$, $C = 5100 pF$ 。

① 计算输出负方波宽度, 画出输出电压 u_o 的波形。

② 如果无 R_1 和 C_1 ，需要对输入信号 u_i 脉宽提出何种限制？ $R_1 < R_{ON}$ 时，电路能否正常工作？

③ G_3 有何作用？

(2) 图 7-20 所示电路是积分型单稳态触发器， u_i 是 100kHz 方波， $R = 500\Omega$ ， $C = 500\text{pF}$ 。

① 试分析电路工作原理。

② 定性画出 u_i ， u_{o1} ， u_{i2} ， u_o 的波形。

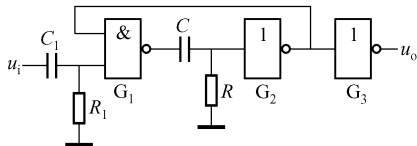


图 7-19

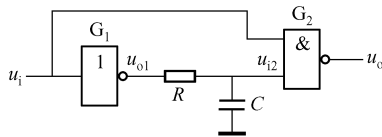


图 7-20

(3) 请回答下列问题：

① 用 74LS221 组成单稳态触发器时，若将 \bar{A} 端接地，问如何设置 B 端信号？

② 外接电阻电容分别为 $R_{ext} = 50\text{k}\Omega$ ， $C_{ext} = 100\text{pF}$ ，问输出脉宽 t_w 是多少？

(4) 用 74LS122 组成具有可重触发功能的单稳态触发器，问：

① $\bar{A}_1 = 0$ ， $\bar{A}_2 = 1$ ， $B_1 = 0$ 时， B_2 为触发信号， B_2 用正脉冲触发还是负脉冲触发？

② 若设置 $\bar{A}_1 = \bar{A}_2 = 0$ ， $B_1 = 1$ ， B_2 信号能否形成触发？

③ 若 $\bar{A}_1 = B_1 = B_2 = 1$ ，如何设置触发信号 \bar{A}_2 ？

④ 如果使用外部定时电阻，已知： $R_{ext} = 10\text{k}\Omega$ ， $C_{ext} = 0.01\mu\text{F}$ ，求输出单次脉冲宽度 t_w 。

⑤ 外接定时电阻电容不变，如果触发信号第一次作用后，间隔 $10\mu\text{s}$ 第二次又作用于电路，求两次触发总输出脉冲宽度 t_w 。

⑥ 如何设置复位信号 \bar{R}_D ？如果有复位负脉冲信号作用，当 \bar{R}_D 由 0 变 1 后，触发器如何工作？

7.3 多谐振荡器

多谐振荡器具有两个暂稳态，它不需要外加触发信号便能在两个暂稳态之间自行转换，产生一定频率和脉宽的矩形脉冲。在数字系统中，多谐振荡器被作为脉冲信号源使用。

7.3.1 基本多谐振荡器

用 TTL 非门和一对 RC 定时元件构成的基本多谐振荡器如图 7-21 所示。为保证电路正常工作， R_1 和 R_2 的阻值均小于门的开门电阻 R_{ON} 。

1. 工作原理

分析多谐振荡器可以从任意一种暂稳态的开始时刻着手进行。设 G_1 输出 u_{o1} 刚由低电平变为高电平， G_2 输出 u_{o2} 刚由高电平变为低电平，参见图 7-22 所示，电路开始了第一暂稳态。

(1) 第一暂稳态。此期间 G_1 关闭， $u_{o1} = U_{OH}$ ； G_2 开通， $u_{o2} = U_{OL}$ 。电容 C_1 充电， C_2 放电，电容充放电回路如图 7-23 所示。

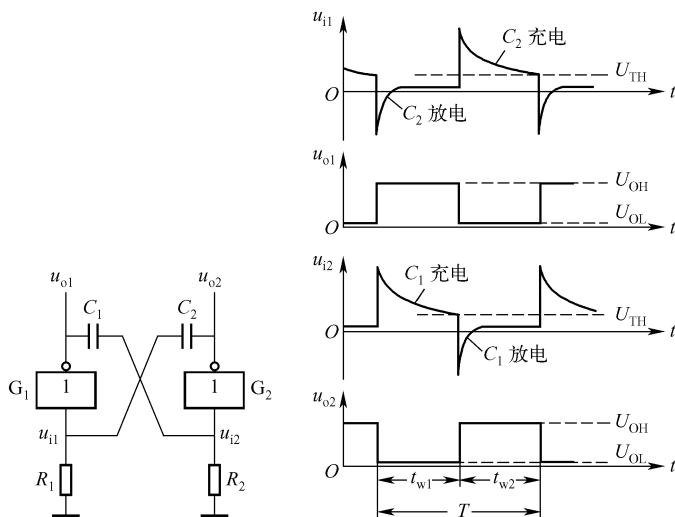


图 7-21 基本多谐振荡器

图 7-22 基本多谐振荡器波形图

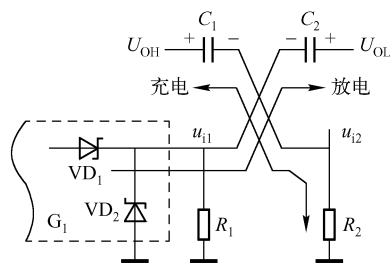


图 7-23 第一暂稳态 C_1 充电 C_2 放电

随着 C_2 放电, u_{i1} 逐渐升高。由于 C_2 放电时间常数很小, 很快放电完毕, 使 u_{i1} 很快上升到稳定值。因 $R_1 < R_{ON}$, 该稳定值低于 G_1 阈值电压 U_{TH} 。

随着 C_1 充电, u_{i2} 逐渐下降。当 u_{i2} 下降到 G_2 阈值电压 U_{TH} 时 (此时 C_2 放电已经结束), 使 u_{o2} 上升, 引起如下正反馈过程:

$$C_1 \text{ 充电} \rightarrow u_{i2} \text{ 下降到 } U_{TH} \rightarrow u_{o2} \uparrow \xrightarrow{C_2 \text{ 耦合}} u_{i1} \uparrow \rightarrow u_{o1} \downarrow \xrightarrow{C_1 \text{ 耦合}} u_{i2} \downarrow$$

正反馈过程结束, 电路从第一暂稳态翻转到第二暂稳态。

第一暂稳态持续时间 t_{w1} 取决于 C_1 充电时间常数 $R_2 C_1$ 。按经验公式估算 $t_{w1} \approx R_2 C_1$ 。

(2) 第二暂稳态。由电路对称结构知, 在第二暂稳态期间, G_1 开通, $u_{o1} = U_{OL}$; G_2 关闭, $u_{o2} = U_{OH}$ 。电容 C_1 放电, C_2 充电。当 C_2 充电使 u_{i1} 下降到 G_1 阈值电压 U_{TH} 时, 引起又一次正反馈过程, 使电路从第一暂稳态迅速翻转到第二暂稳态。

第二暂稳态持续时间 t_{w2} 取决于 C_2 充电时间常数 $R_1 C_2$ 。 $t_{w2} \approx R_1 C_2$ 。

2. 振荡周期 T

多谐振荡器在两个暂稳态之间不停地翻转, 振荡周期 T 为两个暂稳态持续时间之和, 即

$$T = t_{w1} + t_{w2} \approx R_2 C_1 + R_1 C_2$$

7.3.2 简易多谐振荡器

图 7-24 所示是简易多谐振荡器及其工作波形。为便于分析, 设门的 $U_{TH} = 1.4V$, $U_{OL} = 0.3V$, $U_{OH} = 3.5V$ 。从 u_A 刚下降到 U_{TH} , 使 u_B 刚上跳为高电平的时刻开始讨论。此时, u_o 由高电平 $3.5V$ 下跳为低电平 $0.3V$, 经电容 C 耦合到 A 点, 使 u_A 由 $1.4V$ 跳为 $-1.8V$, 电路进入第一暂稳态期间。此后, G_1 输出高电平经电阻 R 对 C 充电, 使 u_A 逐渐上升。当 u_A 上升到 $1.4V$ 时, 电路产生正反馈过程, 导致 G_1 、 G_2 状态翻转, 使 u_B 跳为低电平, u_o 跳为高电

平, 经 C 耦合到 A 点, 使 u_A 跳为 4.6V , 电路进入第二暂稳态。在第二暂稳态期间, G_2 输出高电平通过 R 对 C 反充电, 使 u_A 逐渐下降。当 u_A 下降到 1.4V 时, G_1 、 G_2 再次翻转, u_B 跳为高电平, u_o 跳为低电平, 电路回到第一暂稳态。此后电容 C 又开始充电, 重复上述过程。

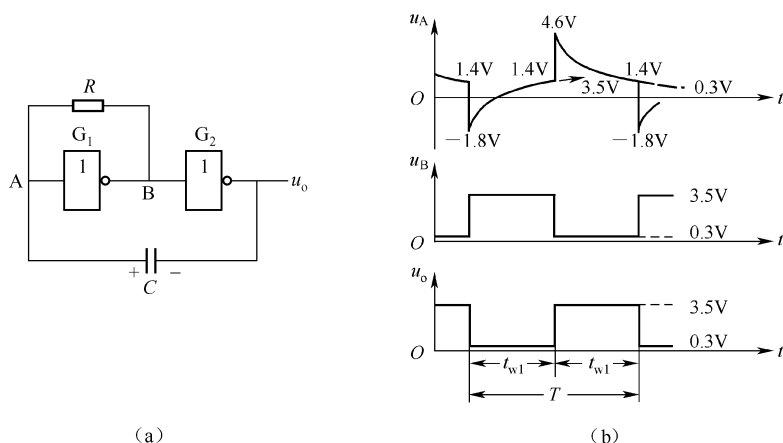


图 7-24 简易多谐振荡器

简易多谐振荡器的振荡周期 T 为:

$$T = t_{w1} + t_{w2}$$

式中, t_{w1} 为第一暂稳态持续时间, $t_{w1} \approx 0.9RC$; t_{w2} 为第二暂稳态持续时间, $t_{w2} \approx 1.4RC$ 。所以

$$T \approx 2.3RC$$

7.3.3 晶体振荡器

晶体振荡器如图 7-25 所示, 当石英晶体工作在串联谐振频率时相当于短路, 能使电路构成正反馈产生振荡, 所以振荡器的振荡频率取决于石英晶体的串联谐振频率, 振荡频率非常稳定。图中, C_1 是石英晶体的负载电容, 用以微调频率; C_2 是耦合电容; 电阻 R 、 R_1 和 R_2 是门的偏置电阻。

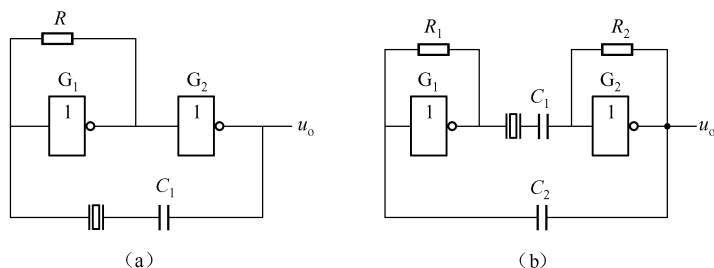


图 7-25 晶体振荡器

晶体振荡器在调试中若遇停振现象, 可适当减小偏置电阻的阻值。偏置电阻的阻值大小与门电路特性有关, 在保证可靠振荡的前提下应尽量选大些, 以减轻门的负载。

思考与练习

- (1) 多谐振荡器有哪些特点？有什么用途？
- (2) 如何估算图 7-21、图 7-24 和图 7-25 所示多谐振荡器的输出脉冲幅度和宽度，以及振荡频率？

7.4 555 定时器

555 定时器是一种多用途单片集成电路，利用它能方便的接成施密特触发器、单稳态触发器和多谐振荡器。

555 定时器有双极型产品，也有单极型 CMOS 产品。几乎所有双极型产品型号的最后 3 位是 555，所有 CMOS 产品型号的最后 4 位是 7555。

7.4.1 定时器电路构成及功能

以 CC7555 为例介绍。CC7555 电路及引脚排列如图 7-26 所示，电路由以下三部分组成。

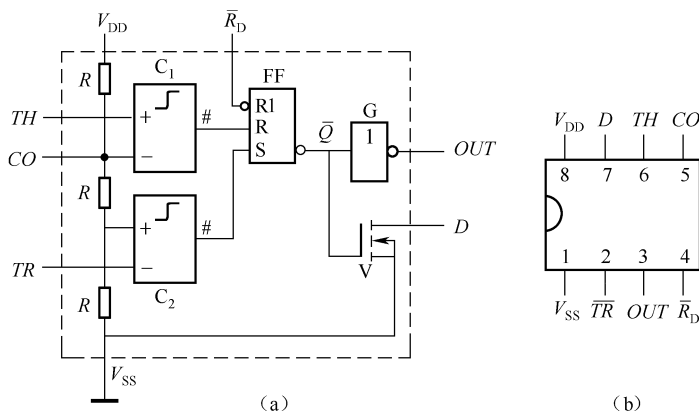


图 7-26 CC7555 定时器

- (1) RS 触发器。 \overline{R}_D 为直接置 0 端，低电平有效。当 $\overline{R}_D = 0$ 时， $\overline{Q} = 1$ ，输出 $OUT = 0$ 。
- (2) 比较器 C_1 和 C_2 与三个分压电阻 R 构成比较电路。“#”表示比较器输出数字信号。三个电阻 R 串接对 V_{DD} 分压，确定比较器 C_1 “-”端电压 $U_- = \frac{1}{3}V_{DD}$ 及 C_2 “+”端电压 $U_+ = \frac{1}{3}V_{DD}$ 。当阈值输入端 TH 电压超过 $\frac{2}{3}V_{DD}$ 时， C_1 输出高电平，使触发器置 0， $OUT = 0$ ；当触发输入端 TR 电压低于 $\frac{1}{3}V_{DD}$ 时， C_2 输出高电平，使触发器置 1， $OUT = 1$ 。 CO 是控制电压输入端，如在 CO 加控制电压，可改变 C_1 “-”端及 C_2 “+”端参考电压。若 CO 端不用，一般通过一个 $0.01\mu F$ 电容接地，以旁路高频交流干扰，保证该端电压稳定在 $\frac{2}{3}V_{DD}$ 。

(3) NMOS 管 V 及输出缓冲器 G 。 V 是开关管，受 \overline{Q} 控制： $\overline{Q} = 0$ 时 V 截止； $\overline{Q} = 1$ 时 V 导通，外接电容器可经 D 端通过 V 放电，所以称 D 端为放电端。 D 端也可作为漏极开路输出端。缓冲器 G 使定时器具有较强的驱动能力，同时还起隔离负载对定时器电路影响的作用。

CC7555 功能表如表 7-3 所示。

表 7-3 CC7555 功能表

阈值输入 TH	触发输入 $\overline{\text{TR}}$	复位 $\overline{\text{R}}_{\text{D}}$	输出 OUT	D 与 V_{SS} 间状态
\times	\times	0	0	导通
$> \frac{2}{3}V_{\text{DD}}$	$> \frac{1}{3}V_{\text{DD}}$	1	0	导通
$< \frac{2}{3}V_{\text{DD}}$	$> \frac{1}{3}V_{\text{DD}}$	1	原状态	原状态
$< \frac{2}{3}V_{\text{DD}}$	$< \frac{1}{3}V_{\text{DD}}$	1	1	截止

7.4.2 用定时器构成脉冲电路

1. 单稳态触发器

将 CC7555 按图 7-27 (a) 所示连接即可构成单稳态触发器, R 、 C 为定时元件决定暂稳态持续时间, u_i 为触发输入脉冲, u_o 为输出电压。

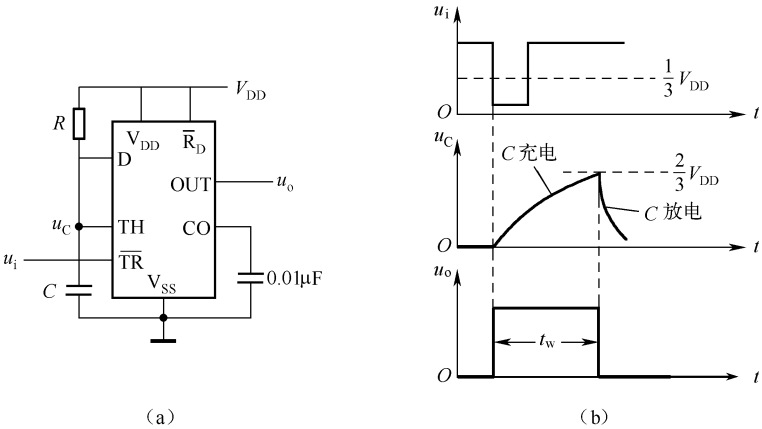


图 7-27 单稳态触发器

为便于讨论, 设电路处于稳态: D 对地导通, C 两端电压 $u_c = 0\text{V}$, u_o 为低电平, 如图 7-27 (b) 所示。

当触发负脉冲输入后, 使 $\overline{\text{TR}}$ 电压低于 $\frac{1}{3}V_{\text{DD}}$, u_o 跳为高电平, 同时 D 对地截止, 电路翻转为暂稳态。

暂稳态期间, V_{DD} 通过 R 对 C 充电, 使 u_c 上升, 即 TH 端电压上升。当 u_c 上升到 $\frac{2}{3}V_{\text{DD}}$ 时, u_o 跳为低电平。与此同时, D 对地导通, C 经 D 迅速放电, 使电路恢复到稳态。

该电路输出脉宽 t_w 按经验公式计算: $t_w \approx 1.1RC$ 。

2. 多谐振荡器

由 CC7555 组成的多谐振荡器如图 7-28 (a) 所示, 图 7-28 (b) 是其工作波形。

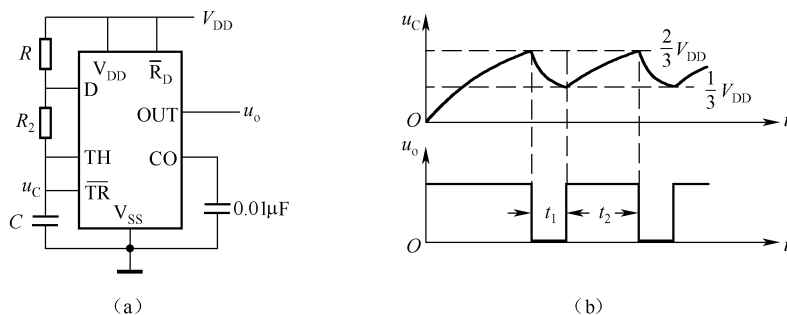


图 7-28 多谐振荡器

接通电源时, 电容 C 两端电压 $u_C = 0V$, 即 TH 、 \overline{TR} 端的电压小于 $\frac{1}{3}V_{DD}$, D 截止, 输出电压 u_o 为高电平。之后 V_{DD} 通过 R_1 、 R_2 对 C 充电, 使 u_C 上升。当 u_C 上升到 $\frac{2}{3}V_{DD}$ 时, u_o 跳为低电平, 同时 D 对地导通, 即刻 C 通过 R_2 和 D 放电, 使 u_C 下降。当 u_C 下降到 $\frac{1}{3}V_{DD}$ 时, D 截止, u_o 跳为高电平。随之电源又通过 R_1 、 R_2 对 C 充电, 电路重复以上过程, 形成振荡。

电路进入稳定振荡后, 由经验公式计算 C 放电时间 $t_1 \approx 0.7R_2C$, 充电时间 $t_2 \approx 0.7(R_1 + R_2)$ 。输出矩形波周期 $T = t_1 + t_2$, 占空比为 t_1/T 。

3. 间歇振荡器

CC7556 为双定时器, 逻辑符号如图 7-29 所示。用 CC7556 构成的间歇振荡器如图 7-30 (a) 所示。低频振荡器的输出控制高频振荡器, 两振荡器的振荡频率可分别调节。当低频振荡输出 u_{o1} 为低电平时将高频振荡器复位, 高频振荡停止; 而当 u_{o1} 为高电平时, 高频振荡器输出较高频率的方波。若此时调节高频振荡频率为 $1kHz$, 便可使扬声器发出间歇鸣响声。图 7-30 (b) 所示是其工作波形。

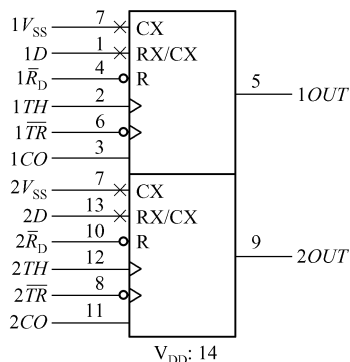


图 7-29 CC7556 逻辑符号

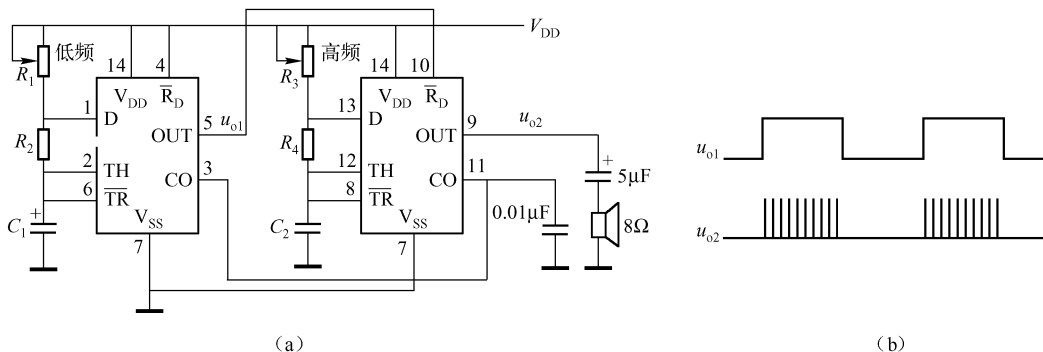


图 7-30 间歇振荡器

4. 施密特触发器

将 CC7555 阈值输入端 TH 和触发输入端 \overline{TR} 连接在一起作为触发信号 u_i 输入端, 就构成施密特触发器, 如图 7-31 所示。显然, 正向阈值电平 $U_{T+} = \frac{2}{3}V_{DD}$, 负向阈值电平 $U_{T-} = \frac{1}{3}V_{DD}$ 。如果在控制端 CO 加电压 U_{CO} 用以改变比较器 C_1 、 C_2 的参考电压, 便可调节回差电压的大小。

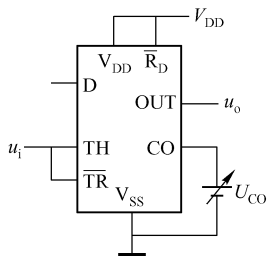
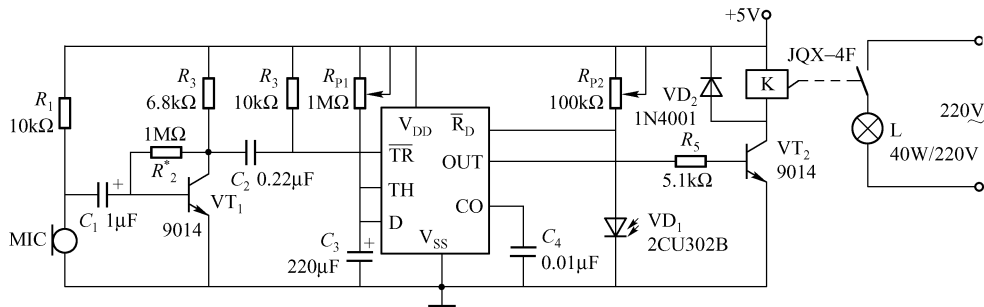


图 7-31 施密特触发器

应用举例

声光控开关是一种自动开关, 通常安装在楼道或走廊上。当夜间有人走动时, 开关自动接通 1~2 分钟后又自动熄灭, 因此对节电有显著效果。利用 555 定时器构成的电路如图 7-32 所示, MIC 为驻极体话筒, VD_1 为光敏二极管, 定时器接成单稳态电路。白天光线较强时, VD_1 受强光照射使 $\overline{R_D} = 0$, 定时器输出低电平, 三极管 VT_2 截止, 这时即使话筒有输入信号也不起作用, 灯 L 始终不亮。夜间无光照射 VD_1 , $\overline{R_D} = 1$, 因此, 当话筒受到外界声音激励后, 其信号通过三极管 VT_1 放大, 然后触发单稳态电路, 此时 L 被点亮, 当 C_3 充电完毕后, L 熄灭。

起作用, 灯 L 始终不亮。夜间无光照射 VD_1 , $\overline{R_D} = 1$, 因此, 当话筒受到外界声音激励后, 其信号通过三极管 VT_1 放大, 然后触发单稳态电路, 此时 L 被点亮, 当 C_3 充电完毕后, L 熄灭。



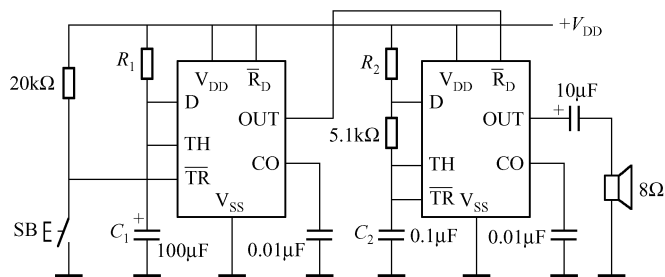


图 7-33

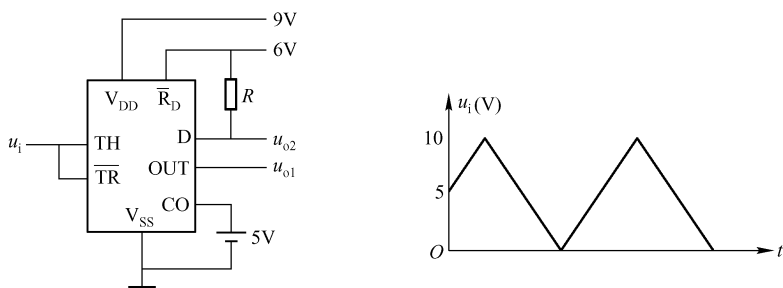


图 7-34

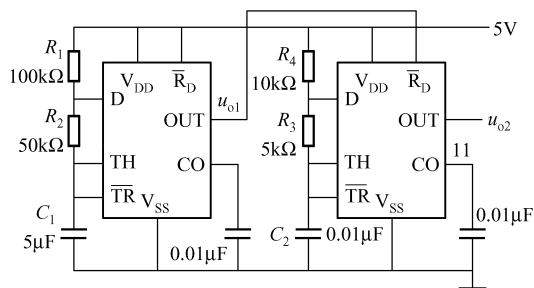


图 7-35

实验与技能训练

实验 12 多谐振荡器

(1) 实验目的。掌握用集成振荡器外接元件构成多谐振荡器的方法。

(2) 实验用器件。74HC4060 一片，74HC112 一片。

74HC4060 是 14 位二进制异步计数器（带振荡器），逻辑图及逻辑符号如图 7-36 所示。其中， \overline{CP} 为时钟输入端，下降沿有效； CR 为清零端，高电平有效； $Q_3 \sim Q_9$ 、 $Q_{11} \sim Q_{13}$ 是计数输出端。74HC4060 的计数器由 14 个 T' 触发器依次连接组成，低位触发器的输出作高位触发器的时钟，每一个触发器就是一个二分频器，因此，能实现 14 级分频，即 Q_{13} 的输出信号频率为输入时钟 \overline{CP} 频率的 $1/2^{14}$ 。74HC4060 的振荡器与外接阻容元件或晶体构成振荡器时，振荡频率由 OSC 和 \overline{OSC} 端外接的阻容定时元件或晶体控制。

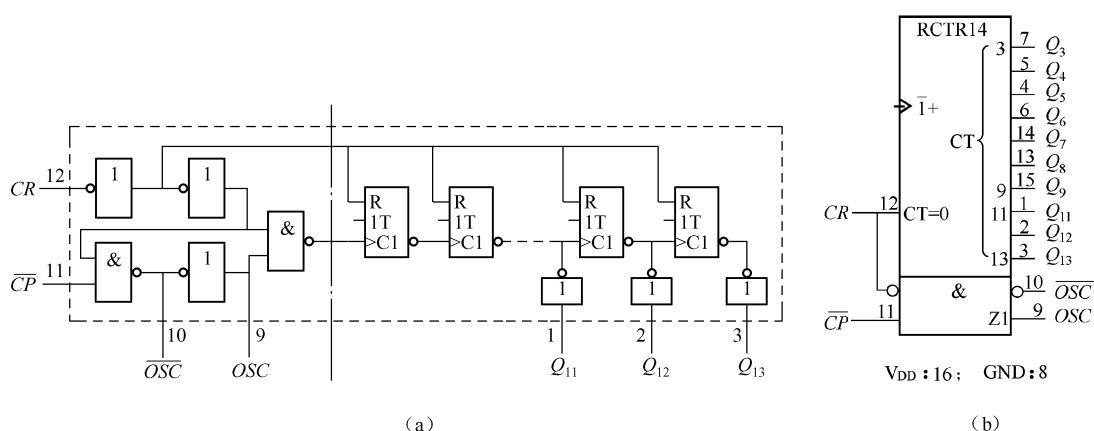


图 7-36

(3) 实验用设备。数字电路通用实验仪，双踪示波器，万用表。

(4) 实验内容。

① 用 74HC4060 外接 RC 构成振荡器

a. 实验电路如图 7-37 所示， V_{DD} 取 5V。调节 R_P ，用示波器观测 9 脚波形。

b. 分别调节 $R_P = 4k\Omega$ 、 $44k\Omega$ ，测量振荡信号频率，并将所测值与计算值 $f = \frac{1}{2.2(R_P + R)C}$ 比较。

c. 用示波器双踪显示 9、7 脚波形，观测并进行比较。

② 秒信号发生器。用 74HC4060 与 74HC112 构成的秒信号发生器如图 7-38 所示。74HC4060 的振荡器外接 32.768kHz 晶振构成多谐振荡器，计数器与 74HC112 构成 15 级分频器对 32.768kHz 信号分频，产生秒信号。

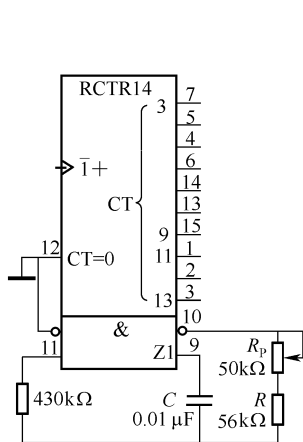


图 7-37

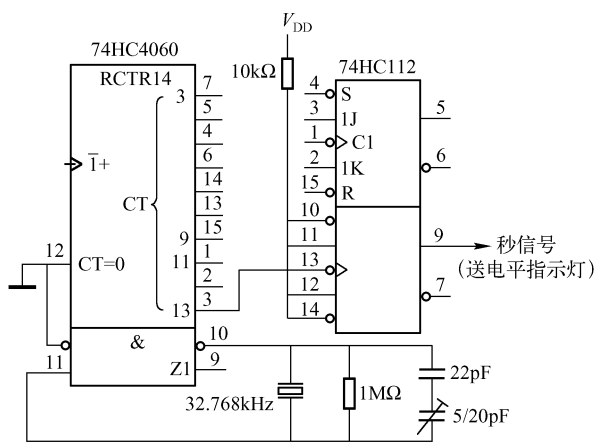


图 7-38

实验 13 CC7555 定时器

(1) 实验目的。进一步理解定时器的工作原理，掌握其使用方法。

(2) 实验用设备。数字电路通用实验仪，脉冲信号发生器，双踪示波器，万用表。

(3) 实验内容。

① 555 定时器功能测试

测试电路见图 7-39，其中 S_1 、 S_2 、 S_3 接逻辑开关； L_1 、 L_2 接电平指示灯。参照表 7-3，自拟实验表格，并将测试结果填入表中。

② 多谐振荡器。实验电路参考图 7-28，取 $V_{DD} = 5V$ ， $R_1 = 5.1k\Omega$ ， R_2 用 $5.1k\Omega$ 电阻与 $51k\Omega$ 可变电阻串联， $C = 0.1\mu F$ 。调可变电阻分别取 0Ω 、 $51k\Omega$ ，用示波器观测并记录 u_o 、 u_c 波形，记录 u_o 周期及脉宽，并与计算值比较。

③ 压控振荡器。实验参考电路如图 7-40 所示。调 R_p 使 u_{CO} 分别为 $1V$ 、 $3V$ 、 $5V$ ，测量 u_o 周期及脉宽，并与计算值比较。

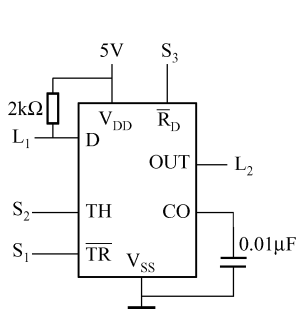


图 7-39

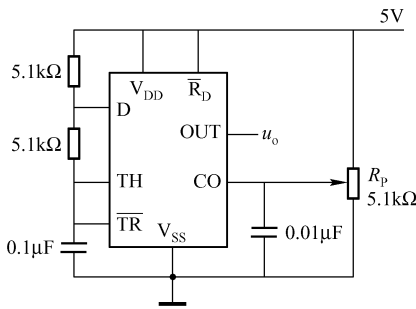


图 7-40

④ 单稳态触发器。实验电路参考图 7-27。取 $V_{DD} = 5V$ ， $R = 51k\Omega$ ， $C = 0.1\mu F$ 。 u_i 为幅度 $3V$ 、周期 $20\mu s$ 的方波。观测并记录 u_i 、 u_o 波形，记录输出脉冲宽度，并与计算值比较。

⑤ 模拟声响电路。图 7-41 所示是救护车鸣音电路。分析电路原理并按图接线，调节 R_p 并试听音响效果，至满意为止。

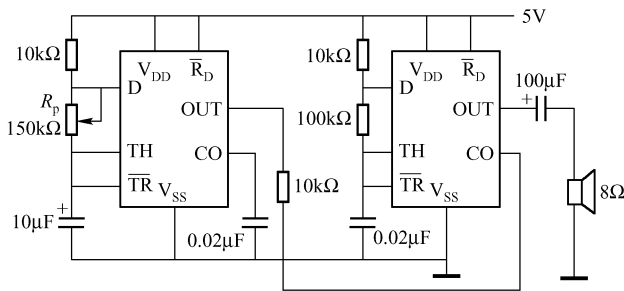


图 7-41

实验 14 综合实验——数字钟

(1) 实验目的。锻炼组织实验的能力，独立分析问题、解决问题的能力。

(2) 实验要求。数字钟组成框图如图 7-42 所示。

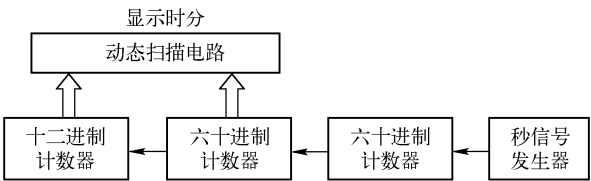


图 7-42

- ① 根据图 7-42，画数字钟的逻辑图及工程布线图。
- ② 设计实验方案。
- ③ 准备实验用仪器、资料、器材及表格。
- ④ 布置实验环境。
- ⑤ 连接电路。认真检查电路无误后，通电测试，并分析、整理采集的实验数据。
- ⑥ 画出同时显示“时、分、秒”的数字钟组成框图，并完成逻辑图及工程布线图，搭接电路测试。
- ⑦ 采用十二/二十四小时制显示方式，应如何修改电路？

本章小结

1. 施密特触发器与单稳态触发器都能对波形整形，但方法不同。前者靠输入信号电平触发翻转，输出脉宽与输入波形密切相关，后者输出脉宽由电路定时元件决定，与输入信号无关，输入信号仅起触发作用。

单稳态触发器和多谐振荡器都有定时元件，单稳态电路有一个稳态和一个暂稳态，多谐振荡器有两个暂稳态。单稳态电路的主要参数是脉宽，它需要在外加信号触发下才发生状态改变，而多谐振荡器的主要参数是重复周期，它不需要触发信号便可以自动转换状态。

2. 555 定时器是一种使用方便、功能灵活的集成器件，它将模拟功能与逻辑功能巧妙地结合在一起，可以用来产生脉冲、定时和对波形进行整形。

目标检测

一、单项选择题

- 7.1 将输入的不规则的波形转换为脉冲宽度和幅度都相等的矩形波可以选用_____。
A. 施密特触发器 B. 多谐振荡器 C. 单稳态触发器 D. 数据选择器
- 7.2 能延时的电路是_____。
A. 译码电路 B. 多谐振荡电路 C. 施密特电路 D. 单稳态电路
- 7.3 将正弦波变为同频率的矩形波，应选用_____。
A. 施密特触发器 B. 多谐振荡器 C. 单稳态触发器 D. 脉冲分配器
- 7.4 施密特电路的输入波形为三角波，则输出波形为图 7-43 中的_____。

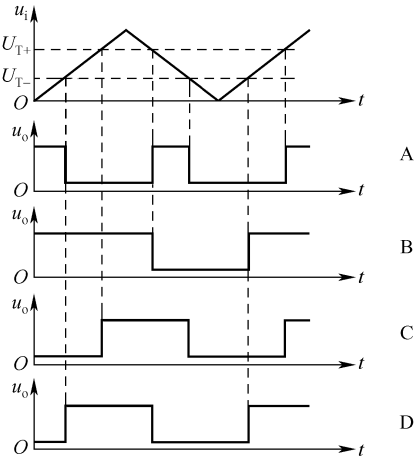


图 7-43

- 7.5 555 定时器, 改变电压控制端 (5 脚) 的电压, 可改变_____。
- A. 阈值输入端 (6 脚)、触发输入端 (2 脚) 的电平 B. 定时器的输出高、低电平
C. 开关放电管的开关电平 D. 置 0 端 (4 脚) 的电平

- 7.6 555 定时器的置 0 端不用时, 一般与_____相连。

A. 阈值输入端 B. 触发输入端 C. 地 D. 电源正端

- 7.7 图 7-44 所示单稳态电路, 当改变控制电压端的电压值时, 可以改变_____。

A. 输出电压的高低电平
B. 输出电压的脉冲宽度
C. 输出电压的周期
D. 输出电压的频率

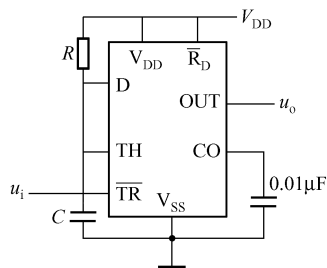


图 7-44

二、多项选择题

- 7.8 单稳态电路的主要特点有_____。
- A. 具有一个稳态和一个暂稳态
B. 在外来触发脉冲作用下, 电路能从稳态翻转为暂稳态
C. 在暂稳态持续一段时间后, 能自动返回到稳态
D. 暂稳态持续时间的长短与触发脉冲无关, 而是由电路参数决定
- 7.9 单稳态电路的主要用途有_____。
- A. 定时 B. 整形 C. 延时 D. 计数
- 7.10 施密特电路的主要特点有_____。
- A. 有两个稳态
B. 两个稳态要依靠输入信号来维持
C. 依靠输入信号的变化来实现两种状态的转换
D. 输出电压与输入电压的关系具有滞回特性, 所以电路具有很好的抗干扰能力
- 7.11 施密特电路的主要用途有_____。
- A. 定时 B. 整形 C. 波形变换 D. 幅度鉴别
- 7.12 555 定时器的置 0 端是_____。
- A. 同步置 0 B. 直接置 0 C. 同步复位 D. 直接复位
- 7.13 图 7-44 中, 为改变输出脉冲宽度, 可以改变_____。
- A. 电阻 R 或电容 C B. 电源电压 V_{DD}
C. 控制电压 V_{CO} D. 输入信号的脉冲宽度
- 7.14 图 7-28 所示多谐振荡器中, 为使输出信号的周期增加, 可以_____。
- A. 增大 R_1 或 R_2 B. 增大 C C. 增大电源电压 V_{DD} D. 增大引脚 CO 的电压

三、判断题 (正确的在括号中打“√”, 错误的打“×”)

- 7.15 脉冲信号是指在短暂时间内出现的电压或电流信号。()
- 7.16 衡量矩形波的主要参数有: 脉冲幅度 U_m 、脉宽 t_w 、周期 T 。()
- 7.17 单稳态电路用于定时, 就是产生一定宽度的脉冲。()
- 7.18 单稳态电路与施密特电路的整形作用相同。()
- 7.19 一次触发单稳态电路在暂稳态期间可以接收新的触发信号。()
- 7.20 多谐振荡器的功能是产生一定频率和脉宽的矩形脉冲。()
- 7.21 晶体振荡器的振荡频率取决于晶体的标称串联谐振频率。在调试中, 如果出现停振现象, 可适当调整电路中电阻的阻值。()

第 8 章 数/模转换器与模/数转换器

知识目标

- (1) 理解 D/A 转换、A/D 转换的基本概念。
- (2) 熟悉倒 T 形电阻网络 DAC 的电路形式，理解其工作原理。
- (3) 熟悉 ADC 的组成，每一部分的作用，理解其工作原理。

技能目标

- (1) 能通过查阅手册，识读典型的集成 DAC 和 ADC 的引脚功能，并会使用。
- (2) 会用数字电压表检查集成 DAC 和 ADC 的转换特性。

随着数字技术的发展，数字系统的应用日益普及。数字系统只能对数字信号进行处理，而自然界大量出现的物理量是连续变化的模拟量，如工业过程控制中遇到的温度、流量等，这些模拟量通过传感器可以变成电压或电流模拟信号，如图 8-1 所示，只有将这些模拟信号转换成数字信号，数字系统才能对其处理，将模拟信号转换成数字信号的电路称为模/数转换器，简记为 ADC（Analog-to-Digital Converter）。ADC 常被看成编码装置（因为转换后的数字信号是以编码形式送入数字系统的）。数字系统处理后的结果仍是数字信号，如果用它控制伺服电机等模拟量的执行机构，还需转换为等效的模拟信号。将数字信号转换成模拟信号的电路称为数/模转换器，简记为 DAC（Digital-to-Analog Converter）。DAC 又常被看成解码装置。

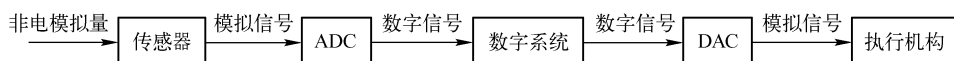


图 8-1 ADC 与 DAC 在工业控制系统中的作用

本章介绍 D/A 与 A/D 转换的基本原理，典型集成 DAC 与 ADC 的应用电路及使用方法。因为 DAC 结构相对简单，而且在 ADCA 中经常用到 DAC，所以首先讨论 DAC。

8.1 DAC

以下先讨论 D/A 转换的基本原理，然后介绍几种 DAC 的组成及工作原理。

8.1.1 D/A 转换基本原理

数是用代码按数位组合起来表示的，每一位代码都有一定的权值。例如，二进制数 1010，按从右至左的顺序，第四位代码的权是 2^3 ，代码“1”表示数值为“8”；第三位代码权是 2^2 ，代码“0”表示这一位没有数；……，这样 1010 所代表的十进制数是 $8 \times 1 + 4 \times 0 + 2 \times 1 + 1 \times 0 = 10$ 。由此可见，D/A 转换只要将数字量的每一位代码，按其权数值转换成相应的模拟量，然后将各位模拟量相加，即得与数字量成正比的模拟量。

图 8-2 示出一个 k 位 DAC 框图。首先将输入数字量存入输入寄存器，然后由寄存器输出控制模拟开关，模拟开关将根据寄存器输出的各位取值，将译码网络相应部分接参考电压源（也称基准电压源） V_{REF} 或接地，产生与各位数值成正比的电流或电压，最后求和放大器将所有电流或电压相加放大，即得转换后的模拟电压输出。这种转换器由于是将数字量的各位代码同时转换，所以又称为并行 DAC。

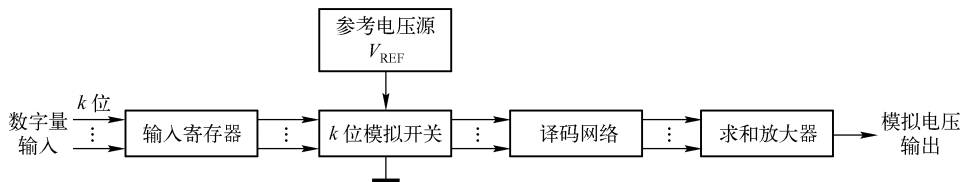


图 8-2 DAC 组成框图

DAC 输出电压 u_o 与输入数字量 N 之间的一般关系式为：

$$u_o = \lambda N \quad (8-1)$$

式中， λ 是与 DAC 电路有关的比例常数；

N 表示 k 位二进制数，即

$$N = \sum_{i=0}^{k-1} d_i \times 2^i$$

例如，3 位二进制 DAC 的 N 值变化范围是 $0 \sim (2^3 - 1)$ ，若 $\lambda = 1V$ ，可求得 u_o 变化范围是 $0 \sim 7V$ 。图 8-3 所示是 u_o 与 N 之间的转换关系，可见当输入 3 位二进制数为 111 时，输出电压为 7V。

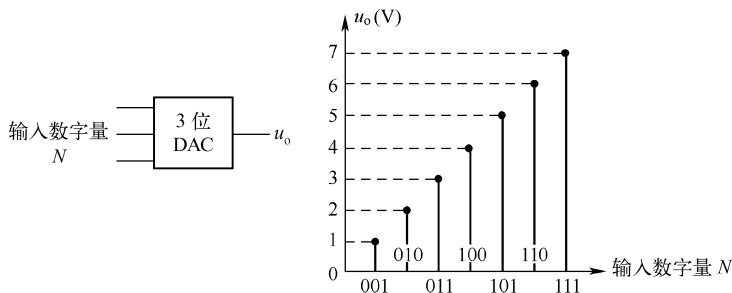


图 8-3 DAC 转换关系

8.1.2 DAC 介绍

DAC 种类很多，倒 T 形电阻网络 DAC（又称倒 T 形权电流 DAC）是常用的 DAC 之一。

1. 倒 T 形电阻网络 DAC

如图 8-4（a）所示为 4 位倒 T 形电阻网络 DAC 原理电路，它由三部分组成。

（1）电阻译码网络。电阻译码网络由 R 及 $2R$ 两种电阻接成倒 T 形构成。由于网络两个输出端 O_1 、 O_2 都处于零电位（ O_1 点为虚地），所以从 A、B、C 任一节点向左看等效电阻都是 $2R$ ，如图 8-4（b）所示，因此基准源电流 I 为：

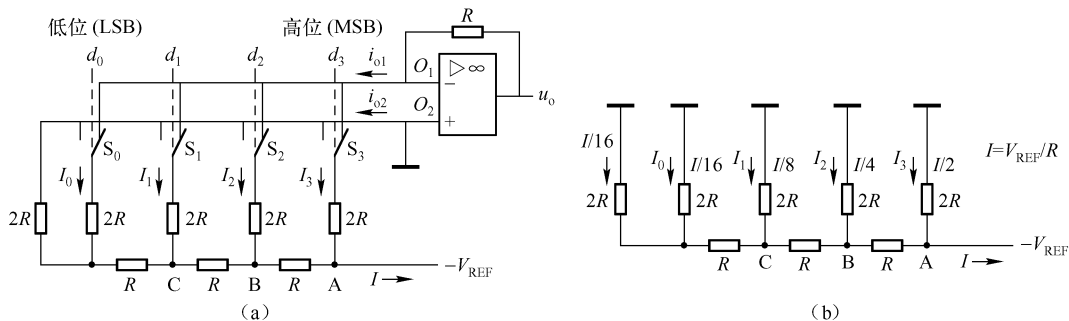


图 8-4 倒 T 形电阻网络 DAC

$$I = \frac{V_{\text{REF}}}{R}$$

流过每个 $2R$ 电阻的电流从高位到低位依次为：

$$\begin{aligned} I_3 &= I/2 = \frac{1}{2} \frac{V_{\text{REF}}}{R} = \frac{V_{\text{REF}}}{16R} 2^3 \\ I_2 &= I/4 = \frac{1}{4} \frac{V_{\text{REF}}}{R} = \frac{V_{\text{REF}}}{16R} 2^2 \\ I_1 &= I/8 = \frac{1}{8} \frac{V_{\text{REF}}}{R} = \frac{V_{\text{REF}}}{16R} 2^1 \\ I_0 &= I/16 = \frac{1}{16} \frac{V_{\text{REF}}}{R} = \frac{V_{\text{REF}}}{16R} 2^0 \end{aligned}$$

即各支路电流按权值依次减小。

$S_i (i=0, 1, 2, 3)$ 受输入数字信号 d_i 控制： $d_i = 1$ 时， S_i 接 O_1 点； $d_i = 0$ 时， S_i 接 O_2 点。由此得电阻网络输出电流为：

$$\begin{aligned} i_{o1} &= d_3 I_3 + d_2 I_2 + d_1 I_1 + d_0 I_0 \\ &= d_3 \times \frac{V_{\text{REF}}}{16R} 2^3 + d_2 \times \frac{V_{\text{REF}}}{16R} 2^2 + d_1 \times \frac{V_{\text{REF}}}{16R} 2^1 + d_0 \times \frac{V_{\text{REF}}}{16R} 2^0 \\ &= \frac{V_{\text{REF}}}{16R} (d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) \\ &= \frac{V_{\text{REF}}}{16R} N \end{aligned} \quad (8-2)$$

$$i_{o2} = \bar{d}_3 I_3 + \bar{d}_2 I_2 + \bar{d}_1 I_1 + \bar{d}_0 I_0 \quad (8-3)$$

(2) 模拟开关 S_i 。 S_i 是能够传输电流信号的模拟开关，又称电流开关，用双极型管构成的电路如图 8-5 中虚线框内所示。图中 $I_i (i=0, 1, 2, 3)$ 表示权电流。输入数字信号 d_i 作用在 VT_1 基极，并与 VT_2 基极的基准电压比较。当 $d_i = 1$ 时， VT_1 导通能力减弱，由于 I_{EE} 为常数，相应 VT_2 导通能力加强，因此 V_{B3} 下降， VT_3 截止，而 V_{B4} 升高， VT_4 导通，权电流 I_i 由 O_1 点通过 VT_4 流入电阻网络，即电阻网络接通 O_1 点。当 $d_i = 0$ 时， VT_1 导通能力加强，相应 VT_2 导通能力减弱，结果使 VT_3 导通， VT_4 截止，权电流 I_i 由 O_2 点通过 VT_3 流入电阻网络，即电阻网络接通 O_2 点。

(3) 运算放大器。运算放大器的作用是将电阻网络的输出电流转换成与输入数字量成正

比的模拟电压输出。输出电压 u_o 为：

$$u_o = i_{o1} R$$

将式 (8-2) 代入上式，得：

$$u_o = \frac{V_{REF}}{16} N = \frac{V_{REF}}{2^4} N$$

可见，输出模拟电压正比于输入数字量。将上式推广到 k 位，有

$$u_o = \frac{V_{REF}}{2^k} N = \frac{V_{REF}}{2^k} \times (d_{k-1} \times 2^{k-1} + d_{k-2} \times 2^{k-2} + \dots + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0)$$

2. 集成 DAC

将译码网络、模拟开关等集成在一块芯片上，再根据应用需要，附加一些功能电路，就构成具有各种特性、不同型号的 DAC 芯片，这里摘要介绍一种——AD7524。

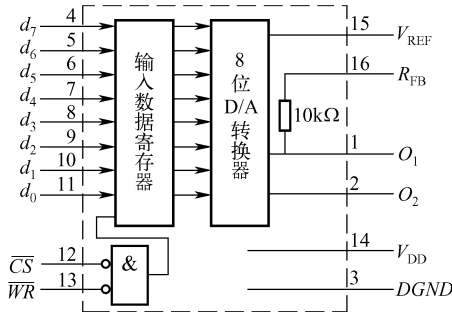


图 8-6 AD7524 结构框图

但当 \overline{CS} 或 \overline{WR} 二者之一为高电平时，AD7524 处于保持模式，此时输出保持在 \overline{CS} 或 \overline{WR} 变高电平时刻输入数字量所对应的模拟量值。到 \overline{CS} 与 \overline{WR} 再同时为低电平，输入数字量更新，输出模拟量随之刷新。AD7524 输出为电流型。对于电流输出型 DAC 要获得模拟电压输出，需要外加转换电路。

表 8-1 AD7524 引脚说明

符 号	名 称	说 明
V_{DD}	电源	供电电压范围 +5V ~ +15V
$DGND$	数字信号地	接数字电路地，即工作电源地与数字逻辑地
O_1	电流输出 1	DAC 中为“1”的各位权电流汇集输出端。当 DAC 各位全为 1 时，此电流最大；各位全为 0 时，此电流为 0
O_2	电流输出 2	DAC 中为“0”的各位权电流汇集输出端。当 DAC 各位全为 0 时，此电流最大；各位全为 1 时，此电流为 0
R_{FB}	外接电阻端	外部运算放大器反馈电阻连接端
V_{REF}	参考电压输入	外接参考电压输入端，取值范围 -10V ~ +10V
\overline{CS}	片选端	低电平有效
\overline{WR}	写入控制端	低电平有效
$d_0 \sim d_7$	数据输入端	8 路并行数据输入端

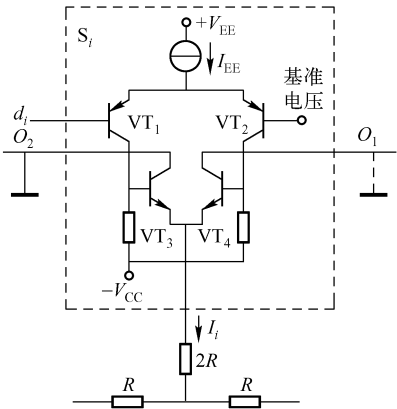


图 8-5 模拟开关

图 8-7 所示是 AD7524 实用电路。图 8-7 (a) 输出电压为单极性, 参考电压 V_{REF} 取正值时输出电压为负; V_{REF} 取负值时输出电压为正。输出电压范围 $0V \sim \pm (255/256) V_{REF}$ 。 R_1 、 R_2 用来调整放大器增益。图 8-7 (b) 电路多了运算放大器 A_2 , 因而能输出双极性电压。图中点 Σ 经 R_3 与 V_{REF} 相连, 由 V_{REF} 向 A_2 提供一个与 A_1 输出电流相反的偏置电流。调整 R_3 与 R_4 的比值, 使偏置电流为 A_1 输出电流的 $1/2$, 这样 A_2 输出就变成双极性了。在双极性输出时, 输出电压范围为 $-(128/128) V_{REF} \sim +(127/128) V_{REF}$ 。

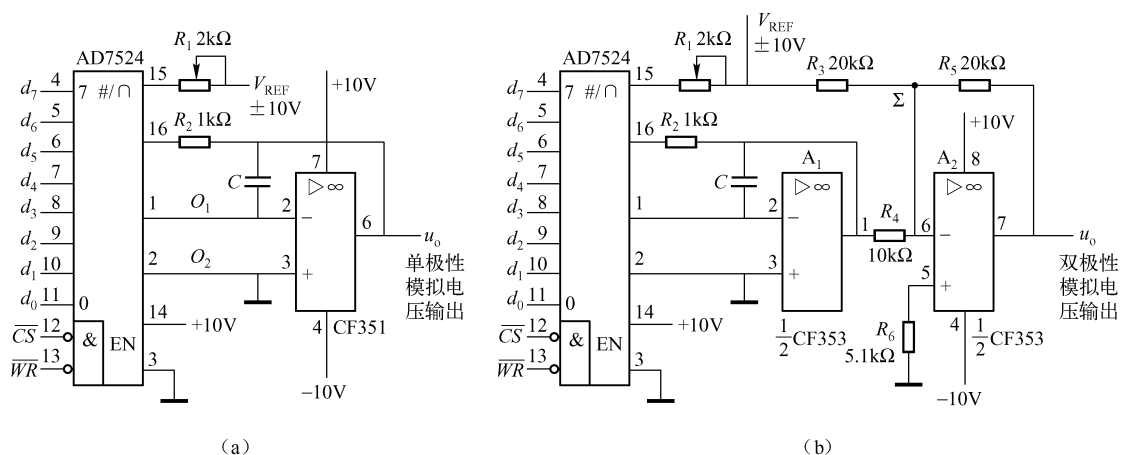


图 8-7 AD7524 实用电路

如果放大器是高速运放, 通常需要接补偿电容 C , 取值 $10 \sim 15pF$, 以对放大器进行相位补偿, 消除自激振荡。

阅读 数字地与模拟地

DAC 或 ADC 在工作时, 处理的信号既有数字信号又有模拟信号。为防止数字信号干扰模拟信号, 减小转换误差, 在芯片内部通常分设两个地, 一个是数字信号地 DGND, 另一个是模拟信号地 AGND。在芯片外围电路中, 所有芯片的 AGND 相连, DGND 相连, 然后 AGND 与 DGND 仅在一处相连。

8.1.3 DAC 主要参数

衡量 DAC 性能的参数很多, 此处仅介绍主要参数。

1. 静态参数

(1) 分辨率。分辨率是指输入数字量发生单位数码变化时, 所对应输出模拟量的变化量。因此, 它反映了 DAC 分辨输出最小模拟电压的能力。规定用输出模拟电压最大值 U_{omax} 与最大输入数码 $(2^k - 1)$ 之比衡量。例如, 若 $U_{omax} = 10V$, 则 10 位 DAC 分辨率为 $0.009775V$, 而 8 位 DAC 分辨率为 $0.039215V$ 。可见输入数字量位数越多, 分辨能力越强, 分辨率越高。实际中, 更常用的方法是用输入数字量位数表示分辨率。例如, 8 位二进制 DAC, 分辨率为 8 位。

(2) 转换精度。DAC 转换精度与 DAC 芯片的结构和接口配置电路有关。一般说来, 不

考虑其他 D/A 转换误差时，DAC 分辨率即为转换精度。

(3) 失调误差。失调误差是指输入全为 0 码时，模拟输出值与理论输出值的偏差。单极性 DAC，模拟输出理论值为 0V；双极性 DAC，理论值为负满量程值。

一定温度下，失调误差可通过调整措施进行补偿。有些 DAC 芯片设计有调零端；有些 DAC 无调零端，要求用户外接校正偏置电路加到运算放大器求和端以消除失调。

(4) 满值误差。满值误差又称增益误差，是指输入数码全 1 时，实际输出电压不等于满值的偏差值。满值误差可以通过调整运算放大器的反馈电阻值加以消除。

图 8-8 所示是一种典型的单极性 DAC 失调误差和满值误差校正电路（以 DAC-08 为例）。

2. 动态参数

建立时间 t_s 是描述 DAC 转换速度的重要参数，一般指输入数字量变化后，输出模拟量稳定到相应数值范围内所经历的时间，如图 8-9 所示。

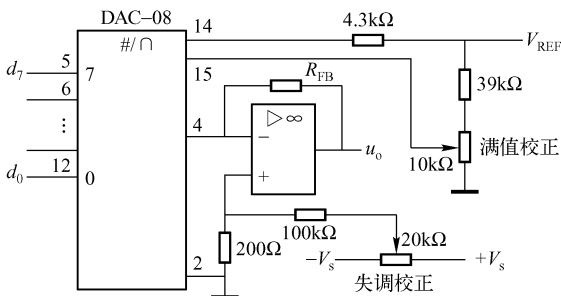


图 8-8 失调误差和满值误差校正电路

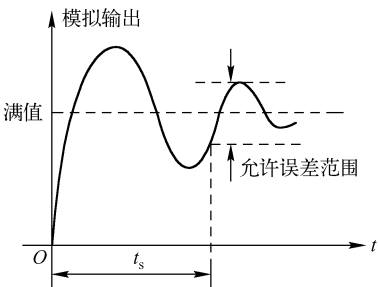


图 8-9 DAC 建立时间

DAC 的译码网络、模拟开关等均非理想元器件，各种寄生参量及开关延迟等都会限制转换速度。实际建立时间的长短不仅与转换器本身转换速度有关，还与数字量变化大小有关。输入数字从全 0 变到全 1（或从全 1 到全 0）时，建立时间最长，称为满量程变化建立时间。手册上给出的一般都是满量程变化建立时间。

根据建立时间 t_s 长短，DAC 分为以下几种类型：低速 $t_s \geq 100\mu s$ ；中速 $t_s = 10 \sim 100\mu s$ ；高速 $t_s = 1 \sim 10\mu s$ ；较高速 $t_s = 100ns \sim 1\mu s$ ；超高速 $t_s < 100ns$ 。

选用 DAC 时，考虑的主要指标是转换速度与精度。表 8-2 列出几种常用 DAC 参数，供读者参考。

表 8-2 常用集成 DAC

型 号	分辨率（位数）	建 立 时 间	电源范围（V）	特 点
DAC0830 DAC0831 DAC0832	8	$\leq 1\mu s$	+5 ~ +15	具有两级数据寄存器；具有极好的温度跟踪特性；采用 CMOS 电流开关和控制逻辑来获得低功耗和低输出泄漏电流误差
AD7522	10	并行时 $\leq 1\mu s$	+5 ~ +15	内部提供了极好的温度补偿特性；具有两级数据寄存器，既能数字量并行，也能数字量串行输入
DAC811	12	$\leq 4\mu s$	± 18	内有精密基准电源、微机接口逻辑、双缓冲锁存器；电压输出放大器；输出模拟电压： $\pm 10V$ 、 $\pm 5V$ 、 $+10V$

续表

型 号	分辨率 (位数)	建 立 时 间	电 源 范 围 (V)	特 点
AD7546	16	$\leq 10\mu\text{s}$	± 15 $+ 15$	高精度乘法型芯片, 输入数据与 TTL、CMOS 逻辑兼容; 内有数据锁存器, 易与微机配接

应用举例

DAC 除主要用于 D/A 转换外, 还可做其他用途。

1. 波形发生器

(1) 锯齿波发生器。把计数器输出送给 DAC, 便可以得到锯齿波, 如图 8-10 所示。计数器的计数值按时钟脉冲频率不断增加, 使 DAC 输出一个阶梯电压, 再经低通滤波器滤波, 便形成线性锯齿波。待计数器计满值后, 自动回到全零状态, 再开始下一个锯齿波。

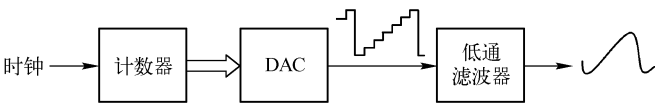


图 8-10 锯齿波发生器

(2) 任意波形发生器。把计数器的计数值作为地址码送到只读存储器的地址输入端, 再把只读存储器的读出数据送给 DAC, 便可得到任意形状的波形。波形形状取决于只读存储器的存储数据, 改换存储不同数据的只读存储器, 便可得到不同形状的波形。

2. 乘法器

前已介绍, DAC 输出电压 u_o 与输入数字量 N 成正比, 而且也与参考电压 V_{REF} 成正比。如果将 V_{REF} 用输入信号 u_i 替换, 则 DAC 输出电压 u_o 便与输入数字量 N 和模拟信号 u_i 的乘积成正比。图 8-11 示出了用倒 T 形电阻网络实现 N 与 u_i 相乘的乘法器, 根据式 (8-2) 可得:

$$i_{o1} = \frac{V_{\text{REF}}}{16R} N = \frac{u_i}{16R} N$$

所以,

$$u_o = i_{o1} R_F = \left(\frac{u_i}{16R} N \right) R_F = \lambda u_i N$$

式中, N 取值范围 $0 \sim 15$,

$\lambda = R_F/16R$ 是一个常数。

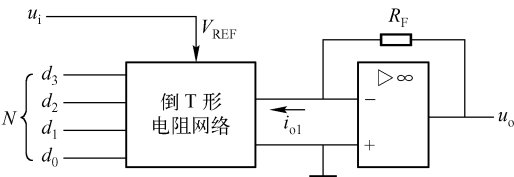


图 8-11 乘法器

思考与练习

- (1) DAC 功能是什么?
- (2) 有一个 8 位 DAC 满值输出为 10V。求输入为 10110010 时的输出模拟电压。
- (3) 在图 8-4 所示 DAC 中, 输入数字量为 8 位, $R = 1\text{k}\Omega$, $V_{\text{REF}} = 1\text{V}$ 。求以下 3 种输入情况下的输出电压:
 - ① 全 1; ② 全 0; ③ 10110010。
- (4) 晶体管图示仪中三极管的基极驱动信号是阶梯信号, 显像管的场扫描和行扫描信号都是锯齿波信号。问, 能否利用 DAC 组成电路产生上述信号? 请画出框图。

8.2 ADC

8.2.1 A/D 转换基本原理

将模拟量转换为数字量通常分为取样、保持、量化、编码四个步骤。这些步骤往往合并进行, 取样和保持用同一电路完成, 量化和编码用同一电路完成。

1. 取样与保持

取样就是对一个时间上连续变化的模拟量定时进行检测, 得到一个时间上断续、幅度上连续变化的模拟量。取样过程可通过图 8-12 说明。图中, 取样器是一个受取样脉冲 $S(t)$ 控制的模拟开关, 在 t_w 期间开关接通, 输出信号 u' 等于输入模拟信号 u_i , 而在两次取样间隔时间 t_g 内开关断开, u' 等于 0V。

为使取样信号 u' 能精确复现原输入模拟信号 u_i , 要求取样周期 T_s 必须满足:

$$T_s \leq \frac{1}{2f_{\max}}$$

上式称为取样定理。其中 f_{\max} 是输入模拟信号 u_i 中最高频率分量。通常选取取样频率 f_s 为:

$$f_s = 1/T_s = (2.5 \sim 3)f_{\max}$$

为便于对取样信号量化和编码, 每次取样后应在一定时间内保持取样信号不变。图 8-13 (a) 示出一种具有取样 - 保持功能的电路。图中 A_1 、 A_2 均接成跟随器, C_H 为保持电容。取样期间 $S(t)$ 为高电平, 模拟开关接通, C_H 两端电压 u_C 及输出电压 u_A 跟随输入电压 u_i 变化, 即 $u_A = u_C = u_i$; 保持期间模拟开关断开, 若集成运算放大器输入电阻足够大, 则 C_H 两端电压几乎不变, 一直保持到下一个取样信号到来。当模拟开关再接通时, u_A 又跟随 u_i 变化。图 8-13 (b) 所示是 u_i 、 u_A 波形, 细实线是 u_i , 粗实线是 u_A 。

图 8-14 是集成取样 - 保持电路 LF398 的结构框图及典型接线图, 供电电压 $\pm 5 \sim \pm 15\text{V}$ 。8 脚是控制端, 7 脚接逻辑控制参考电压, 其值要符合 8 脚逻辑控制电平的要求。

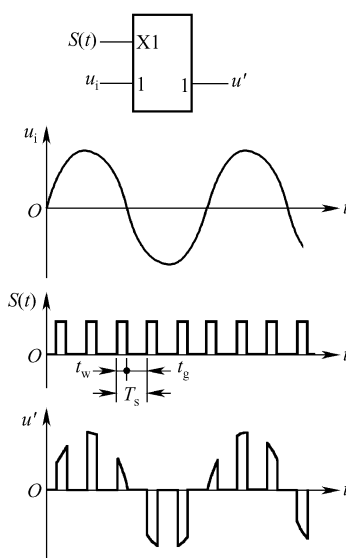


图 8-12 取样过程

若7脚接地，则8脚所接电平大于1.4V时为高电平，LF398处于取样状态，输出电压 u_A 跟随输入电压 u_i 变化；当8脚电平为低电平（小于1.4V）时，LF398处于保持状态， u_A 保持在8脚变低电平时刻 u_i 所对应的电压值上。

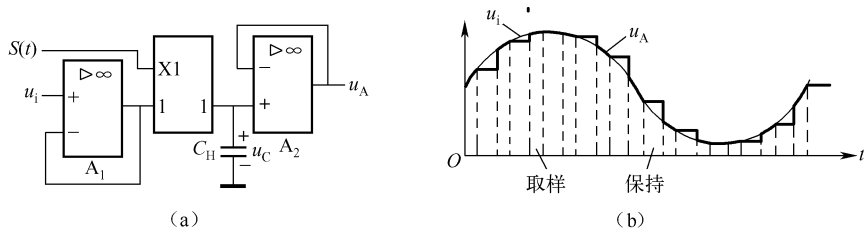


图 8-13 取样 - 保持电路

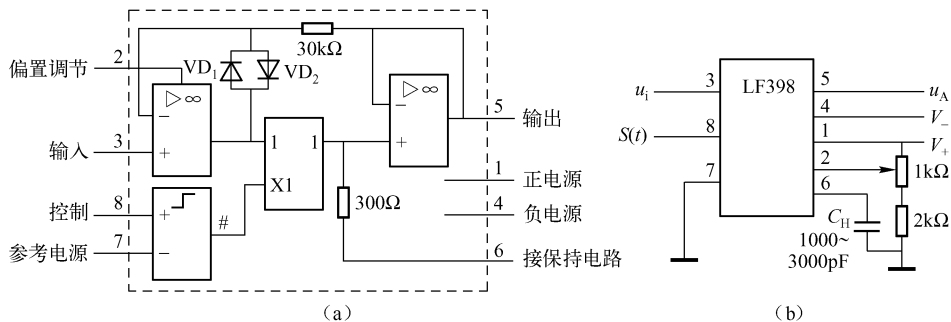


图 8-14 LF398 结构框图与接线图

2. 量化与编码

在保持期间 u_A 不变，电路对 u_A 进行量化 - 编码。量化就是将 u_A 按要求划分成某个最小量化单位 s 的整数倍。编码就是把量化数值用二进制代码表示，这个二进制代码就是 ADC 输出。

由于实际电路所能表示的数字量位数有限， k 位二进制代码只能代表 2^k 个数值。因此，任意一个取样 - 保持信号 u_A ，不可能正好与某一量化电平即量化单位 s 的整数倍相等，只能接近某一个量化电平。所以，量化方法有两种：一种是只舍不入法；一种是有舍有入法。

(1) 只舍不入法。当 $0s \leq u_A < 1s$ 时， u_A 量化值取 $0s$ ；当 $1s \leq u_A < 2s$ 时， u_A 量化值取 $1s$ ；……。例如，取 $s = \frac{1}{8}V$ 且采用三位二进制编码，则输入模拟电压与输出二进制代码的关系

如图 8-15 (a) 所示。不难看出，最大量化误差为 s ，即 $\frac{1}{8}V$ 。

(2) 有舍有入法。当 $0s \leq u_A < 0.5s$ 时， u_A 量化值取 $0s$ ；当 $0.5s \leq u_A < 1.5s$ 时， u_A 量化值取 $1s$ ；当 $1.5s \leq u_A < 2.5s$ 时， u_A 量化值取 $2s$ ；……。有舍有入法输入模拟电压与输出二进制代码的关系见图 8-15 (b)。此方法最大量化误差为 $\frac{1}{2}s$ ，即 $\frac{1}{16}V$ 。这是因为把每一个二进制代码所表示的模拟电压值规定为它所对应的模拟电压范围中心的缘故。

对同一模拟电压来说，量化方法不同，最后编码输出可能就不同。

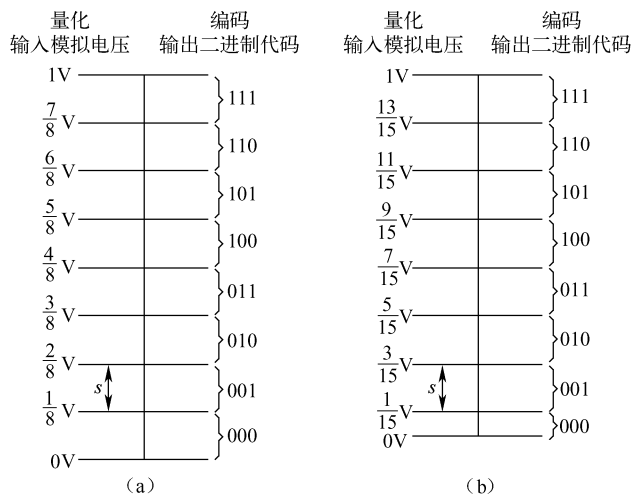


图 8-15 量化与编码的关系

例 8-1 已知取样-保持电路在某一时刻输出电压为 1.4V。量化-编码电路的量化单位 $s=0.5V$ ，采用三位二进制数编码。问：(1) 用只舍不入法，输出数字量 $D=d_2d_1d_0=?$ (2) 用有舍有入法，输出数字量 $D=d_2d_1d_0=?$

解：已知 $u_A=1.4V$ ； $s=0.5V$ ，所以 $u_A=2.8s$ 。

(1) 因 $2.0s \leq u_A < 3.0s$ ， u_A 量化值取 $2s$ ，所以输出数字量 $D=d_2d_1d_0=010$

(2) 因 $2.5s \leq u_A < 3.5s$ ， u_A 量化值取 $3s$ ，所以输出数字量 $D=d_2d_1d_0=011$

8.2.2 ADC 介绍

ADC 主要有并行比较型、逐次逼近型和双积分型。

1. 并行比较型 ADC

图 8-16 所示是 3 位并行比较型 ADC，图中，参考电压 V_{REF} 经电阻分压器形成七个比较电平 $\frac{1}{8}V_{REF}$ 、 \dots 、 $\frac{7}{8}V_{REF}$ ，分别加到七个比较器的反相输入端。输入电压 u_A 同时加到七个比较器的同相输入端。当 u_A 高于比较电平时比较器输出 1，反之为 0。比较器输出经编码器编码，输出三位二进制代码 $D_2D_1D_0$ 。输入电压 u_A 、比较器输出及编码器输出之间的对应关系如表 8-3 所示。

分析表 8-3，可写出编码器逻辑表达式如下：

$$D_2 = C_4; D_1 = C_6 + C_2\bar{C}_4; D_0 = C_7 + C_5\bar{C}_6 + C_3\bar{C}_4 + C_1\bar{C}_2$$

根据上式画编码器逻辑图，如图 8-17 所示。

并行比较型 ADC 转换速度快，但增加转换位数时，比较器数量大大增加，若输出 k 位二进制数码，需 $(2^k - 1)$ 个比较器，因此一般只用于 $k \leq 4$ 的情况。

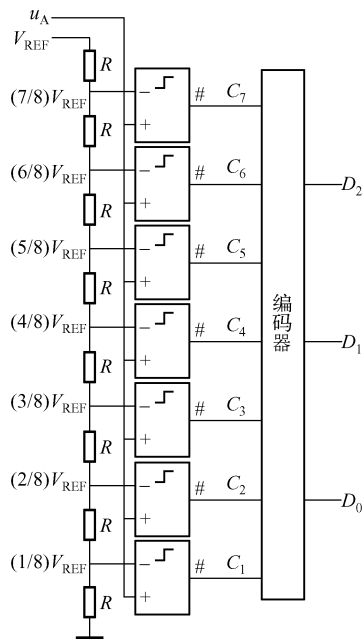


图 8-16 并行比较型 ADC

表 8-3 并行比较型 A/D 转换关系

输入电压 u_A	比较器输出							编码器输出		
	C_7	C_6	C_5	C_4	C_3	C_2	C_1	D_2	D_1	D_0
$0V < u_A < \frac{1}{8}V_{REF}$	0	0	0	0	0	0	0	0	0	0
$\frac{1}{8}V_{REF} < u_A < \frac{2}{8}V_{REF}$	0	0	0	0	0	0	1	0	0	1
$\frac{2}{8}V_{REF} < u_A < \frac{3}{8}V_{REF}$	0	0	0	0	0	1	1	0	1	0
$\frac{3}{8}V_{REF} < u_A < \frac{4}{8}V_{REF}$	0	0	0	0	1	1	1	0	1	1
$\frac{4}{8}V_{REF} < u_A < \frac{5}{8}V_{REF}$	0	0	0	1	1	1	1	1	0	0
$\frac{5}{8}V_{REF} < u_A < \frac{6}{8}V_{REF}$	0	0	1	1	1	1	1	1	0	1
$\frac{6}{8}V_{REF} < u_A < \frac{7}{8}V_{REF}$	0	1	1	1	1	1	1	1	1	0
$\frac{7}{8}V_{REF} < u_A < V_{REF}$	1	1	1	1	1	1	1	1	1	1

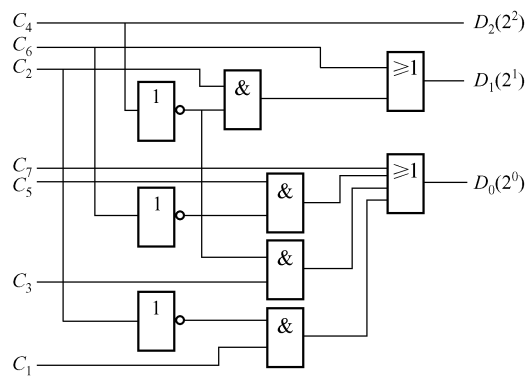


图 8-17 编码器逻辑图

2. 逐次逼近型 ADC

逐次逼近型 A/D 转换过程与天平称量物重过程相似。例如，有一物体重 $W = 1.565\text{g}$ 。天平有五个砝码，重量依次为 1g , 0.5g , 0.25g , 0.125g , 0.0625g ，后一种砝码恰为前一种砝码重量的一半，相互间为二进制关系。为较快地用天平称出物重，采用由大到小逐次试验的方法。

(1) 把物体放在左盘， 1g 砝码放在右盘，与左盘物体相比较，砝码重量不够，即 $1\text{g} < W = 1.565\text{g}$ ，于是把砝码留在盘中，称为留码并记做 1。

(2) 再加 0.5g 砝码比较，因 $(1 + 0.5)\text{g} < W = 1.565\text{g}$ ，留码，两次比较结果记做 11。

(3) 再加 0.25g 砝码， $(1 + 0.5 + 0.25)\text{g} > W = 1.565\text{g}$ ，取下此砝码称为去码，三次比较结果记做 110。

(4) 再加 0.125g 砝码， $(1 + 0.5 + 0.125)\text{g} > W = 1.565\text{g}$ ，去码，四次比较后得 1100。

(5) 再加 0.0625g 砝码, $(1 + 0.5 + 0.0625)g < W = 1.565g$, 留码得 11001。

所有砝码都参与比较后, 得到用二进制数表示的物体重量为 11001_2 。上述五个砝码的自重相当于二进制数各位代码的权, 于是, 所称物重为 $1 \times 1 + 1 \times 0.5 + 1 \times 0.0625 = 1.5625$ (g), 它与实际物重相差 $1.565g - 1.5625g = 0.0025g$ 。显然, 砝码越多, 用二进制数表示物体重量的位数越多, 与实际物重的误差就越小。这种用已知砝码重量逐次与未知物重比较, 使天平上累记砝码总重量逐次逼近被称物重的方法称为逐次逼近法。

逐次逼近型 ADC 基本组成如图 8-18 所示, 工作过程如下: 启动转换后, 控制电路首先将锁存器、逐次逼近逻辑寄存器 SAR 清零, 同时时钟电路开始工作。当第一个时钟到达时, SAR 最高位被置 1, DAC 输入为 $100\cdots00$, DAC 输出 u_{oA} (称为砝码电压) 为满值输出电压 E_{oA} 的一半, 即 $u_{oA} = E_{oA}/2$ 。 u_A 与 u_{oA} 比较, 若 $u_A > u_{oA}$, 比较器 C 输出 1, SAR 最高位保持 1 即留码; 若 C 为 0 则去码, SAR 最高位变为 0。设此次比较结果为留码。接着第二个时钟到达, 使 SAR 次高位置 1, DAC 输入变为 $110\cdots00$, 于是 $u_{oA} = (E_{oA}/2) + (E_{oA}/2^2)$, u_A 与 u_{oA} 比较结果决定次高位是留码还是去码, …… , 依此类推, 直到最末位, 此时再来一个时钟, SAR 有溢出信号, 此信号可作为 A/D 转换结束信号 EOC, 这时锁存器锁存结果就是 A/D 转换结果。

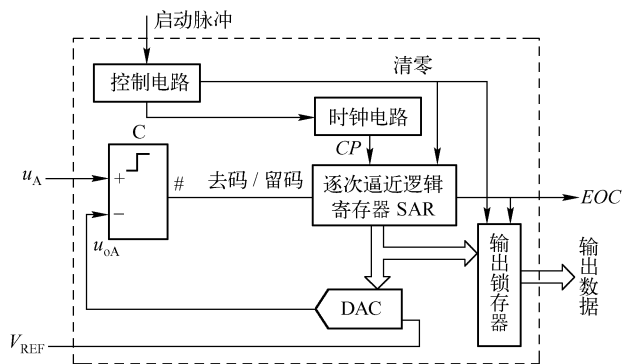


图 8-18 逐次逼近型 ADC

例 8-2 图 8-18 中, 已知 $E_{oA} = 1V$, $u_A = 0.85V$, 锁存器输出 5 位, 求: $D = d_4 d_3 d_2 d_1 d_0$?

解: 由逐次逼近型 A/D 转换原理可知, 相应于输出 D , 各位的砝码电压分别为 $E_{oA}/2, E_{oA}/2^2, E_{oA}/2^3, E_{oA}/2^4, E_{oA}/2^5$, 即 $0.5V, 0.25V, 0.125V, 0.0625V, 0.03125V$ 。根据上述工作过程可以确定:

$$d_4 = 1; d_3 = 1; d_2 = 0; d_1 = 1; d_0 = 1$$

所以,

$$D = d_4 d_3 d_2 d_1 d_0 = 11011$$

逐次逼近型 ADC 的特点是转换精度高, 速度较快, 所以应用广泛。集成 ADC 芯片 AD574A/674A, ADC0809, AD678, AD1376/77/78 均采用此转换方式。

3. 双积分型 ADC

双积分型 ADC 又名双斜率 ADC, 是一种间接 A/D 转换电路。基本原理是先将输入模拟

电压通过积分器转换成与输入电压平均值成正比的时间间隔，然后用计数器测量这一时间间隔，计数器输出数字量就是正比于输入模拟量的数字信号。

图 8-19 所示是双积分型 ADC 结构框图，下面结合图 8-20 所示波形，说明其转换原理。

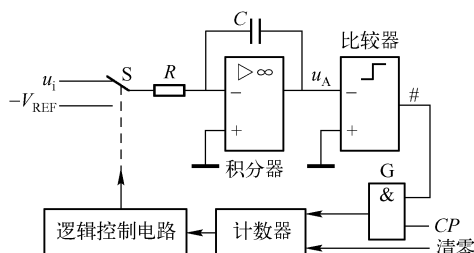


图 8-19 双积分型 ADC 结构框图

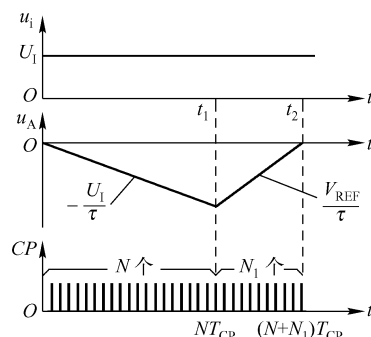


图 8-20 双积分型 ADC 波形

转换之前，计数器清零。在 $t=0$ 时，开关 S 接模拟输入电压 u_i ，电路进入第一工作阶段——取样阶段，由集成运放与 RC 组成的积分器对 u_i 积分，积分器输出电压为：

$$u_A = -\frac{1}{\tau} \int_0^t u_i dt$$

式中， $\tau = RC$ 为积分器时间常数。

设 $u_i = U_1$ ，则

$$u_A = -\frac{U_1}{\tau} t$$

可见 u_A 线性下降。又 $u_A < 0V$ ，比较器输出为 1，门 G 被打开，计数器开始计数。当计数器计数值满并由最大值回到全 0 的 t_1 时刻产生溢出脉冲，该脉冲通过逻辑控制电路使开关 S 接参考电压 $-V_{REF}$ ，积分器停止对 u_i 积分，并开始对 $-V_{REF}$ 积分，电路进入第二工作阶段——比较阶段。因 u_i 与 $-V_{REF}$ 极性相反，所以积分器输出从初始负值 $u_A = -U_1 t_1 / \tau$ ，以固定斜率 (V_{REF} / τ) 向正方向回升。当 $u_A = 0V$ 时，比较器输出 0，将 G 关闭，计数器停止计数，第二工作阶段结束。因在 t_1 时刻计数器已计满回零，因此在 t_2 时刻，计数器记下的数就是 $(t_2 - t_1)$ 期间累计的脉冲数，记做 N_1 。

设计数器容量为 N ，计数脉冲 CP 周期为 T_{CP} ，则取样阶段所经历的时间 $t_1 = NT_{CP}$ ，这是一固定值，不随 U_1 大小而改变。但在 t_1 时刻积分器输出 u_A 与 U_1 大小有关，即

$$u_A(t_1) = -\frac{U_1}{\tau} t_1 = -\frac{U_1}{\tau} (NT_{CP})$$

由于比较阶段 u_A 以固定斜率回升，所以， $u_A(t_1)$ 绝对值越大， $(t_2 - t_1)$ 越长，即 N_1 越高。可以求得 N_1 与 U_1 的关系为：

$$N_1 = \frac{N}{V_{REF}} U_1$$

因此，计数值 N_1 正比于输入电压 U_1 ，完成 A/D 转换。

实际双积分型 ADC 能够根据输入电压 u_i 极性，自动改变参考电压极性，保证取样阶段与比较阶段积分器输出电压 u_A 极性相反，如图 8-21 所示。

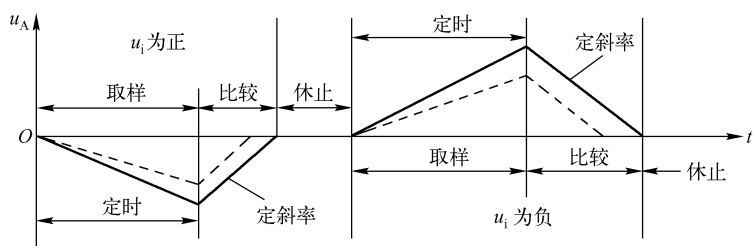


图 8-21 参考电压极性随输入电压极性而变

双积分型 ADC 有许多优点，一是数字量输出与积分器时间常数无关，对积分元件参数精度要求不高。其次，由于 $(t_2 - t_1)$ 仅正比于 u_i 在 t_1 时间内的平均值，因此，对叠加在 u_i 上的 50Hz 工频干扰有很强的抑制能力，为此，一般选 t_1 为 20ms 的整数倍。其缺点是速度低，只适于对慢变化信号或直流信号进行转换，在数字测量仪器中得到广泛应用，如数字式直流电压表、数字式温度计等。

8.2.3 ADC 主要参数

1. 量化误差与分辨率

分辨率又称分解度，是描述 ADC 转换精度的参数，习惯上用输出二进制数的位数或者 BCD 码的位数表示。因为对同一模拟电压，描述它的数字量位数越多，则量化单位越小，转换精度越高。例如，ADC0809 的分辨率为 8 位，即该转换器输出数据可用 2^8 个二进制数进行量化，分辨率为 $1s$ （手册上记做 1LSB）。

BCD 码输出的 ADC 用位数表示分辨率的方法举例说明如下：ICL7135 双积分式 ADC 分辨率为 $4 \frac{1}{2}$ 位，意味着输出满度字为 0001 1001 1001 1001 1001_{BCD}，对应十进制数为 19 999。

量化误差和分辨率是统一的。量化误差是由于用有限个数字量对模拟数值进行离散取值（量化）而引起的误差。因此，量化误差理论上为一个单位的分辨率，即 1LSB 或 $\pm 1/2$ LSB。提高分辨率可减小量化误差。

2. 转换时间与转换速率

转换时间定义为 ADC 完成一次完整转换所需要的时间，即从输入端加入信号到输出端出现相应数码的时间。

转换速率是转换时间的倒数。

目前转换时间最短的 ADC 是高速全并行式，转换时间为 5 ~ 50ns，即转换速率达 20 ~ 200MHz。其次是逐次比较式，若采用双极型工艺，转换时间达到 0.4 μ s，即转换速率为 2.5MHz。

ADC 按转换时间分为中速型（20 ~ 300 μ s）、低速型（大于 300 μ s）、高速型（小于 20 μ s）。

选用 ADC 要考虑的主要参数是转换速度及分辨率。表 8-4 ~ 表 8-6 列出了几种常用 ADC 的参数，供读者参考。

表 8-4 并行比较型 ADC

型 号	转换速率 (MHz)	分辨率 (位数)	电源范围 (V)	说 明
TDC1019	15	9	+5, -6	瞬时比较编码式器件
TDC1029J	100	6	+5, -6	内部有取样/保持电路
SDA5010	100	6	±5.2	双极型工艺, 多用途器件
AD770	200	8	+5, -5.2	功耗约 200mW
AD9028	300	8	+5, -5.2	功耗约 2.2W

表 8-5 逐次比较型 ADC

型 号	分辨率 (位数)	转换时间 (μs)	模拟输入 (V)	电源范围 (V)	特 点
ADC0801 ~ ADC0805	8	≤100	0 ~ 5	4.5 ~ 6.5	中速廉价型器件。单通道输入, 不需零点调整; 内有时钟发生器和三态输出锁存器, 可与 8 位 CPU 直接接口。精度最高的是 ADC0801, 最差的是 ADC0804 和 ADC0805
ADC1001 ADC1021	10	≤200	0 ~ 5	4.5 ~ 6.5	单通道输入, 不需零点调整; 内带时钟发生器和 10 位三态输出锁存器; 逻辑输入/输出满足 CMOS 和 TTL 电平规范; 可与 8 位或 16 位 CPU 直接接口。其中 ADC1001 与 ADC0801 系列 8 位 ADC 引脚兼容
ADC1210 ADC1211	12	≤100	±10	±15	具有双极性和单极性模拟输入选择; 数据输出与 CMOS 逻辑电平兼容; 可在连续或逻辑控制转换方式下工作; 可接成 10 位 ADC, 此时转换时间为 30μs; 需外加基准电压和时钟; 成本较低
AD1380	16	≤14	+10 +20	±15 +5	内有取样/保持器、基准电源和与微机接口的逻辑控制电路; 并行/串行输出

表 8-6 双积分型 ADC

型 号	转 换 位 数	转换速率 (Hz)	电源范围 (V)	特 点
MC14433 CC14433	$3\frac{1}{2}$	4 ~ 10	±4.5 ~ ±8	单片 CMOS 器件, 输出为 BCD 码动态扫描方式; 既可适于组成数字仪表, 也可方便与微机系统接口; 片内采用模拟与数字自动校零技术, 可保证长期零点稳定; 能自动极性转换
ICL7135 CC7135 CH7135	$4\frac{1}{2}$	≤30	±5	单片 CMOS 器件, 输出为 BCD 码动态扫描方式; 具有自动极性转换、自动校零和差动输入功能; 在 2.0000V 满度测量中精度保证 ±1 字; 只需单参考电源, 具有多种接口, 可方便地构成电压表和微机接口电路

应用举例

以下介绍利用 CC14433 组成的数字电压表。

CC14433 是 24 脚双列直插式封装的 $3\frac{1}{2}$ 位双积分型 ADC, 图 8-22 所示是其组成框图,

引脚功能参见表 8-7。仅需外接两只电阻和两只电容就可组成具有自动调零和自动极性转换功能的 A/D 转换系统。CC14433 被广泛用于数字电压表、数字温度计及各种低速数据采集系统中，用于数字电压表时有两个基本量程：满刻度 1.999V 和 199.9mV。

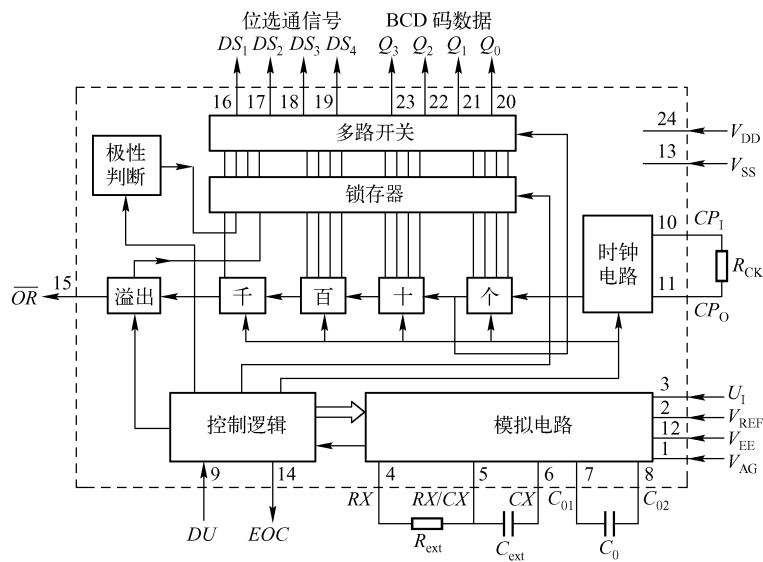


图 8-22 CC14433 结构框图

表 8-7 CC14411 引脚说明

引脚	符号	名称	说明
24	V_{DD}	电源	正电源端。工作电压范围： $\pm 4.5 \sim \pm 8V$ 或 $9 \sim 16V$
13	V_{SS}	数字信号地	
12	V_{EE}	电源	模拟电路负电源端。一般取 $-5V$
1	V_{AG}	模拟信号地	
2	V_{REF}	参考电压输入	外接参考电压输入端：若量程为 1.999V，参考电压 2V；若量程为 199.9mV，参考电压为 200mV 若此端加一个大于 5 个时钟周期的负脉冲（ V_{EE} 电平），则系统复位到转换周期起点
3	U_I	量程输入	被测模拟电压 u_i 输入端。量程为 1.999V 时，最大输入电压为 1.999V；量程为 199.9mV 时，最大输入电压为 199.9mV
20 ~ 23	$Q_0 \sim Q_3$	数据输出端	A/D 转换结果输出端，输出 BCD 码， Q_0 为低位， Q_3 为高位
15	\overline{OR}	过量程标志	过量程标志输出，低电平有效： $ u_i > V_{REF}$ 时， \overline{OR} 输出低电平 $ u_i < V_{REF}$ 时， \overline{OR} 输出高电平
14	EOC	转换结束标志	转换周期结束标志输出，高电平有效 每个 A/D 转换周期结束时， EOC 输出一个正脉冲，脉宽为时钟周期的 1/2
19 ~ 16	$DS_1 \sim DS_4$	位选通输出信号	千位、百位、十位、个位输出位选通信号，高电平有效 4 种选通脉冲均为宽 18 个时钟周期的正脉冲，间隔时间为 2 个时钟周期

续表

引 脚	符 号	名 称	说 明
9	DU	实时输出控制	主要控制转换结果输出：在 DU 端输入正脉冲，转换结果送输出锁存器并经多路开关输出；否则输出端继续输出锁存器中原转换结果 使用中，若将该端与 14 脚（ EOC 输出）直接相连，则每一转换周期结果都将被输出
4	RX	外接积分电阻	当 U_1 量程为 1.999V 时，外接电阻 R_{ext} 取 470k Ω ；当 U_1 量程为 199.9mV 时， R_{ext} 取 27k Ω
6	CX	外接积分电容	外接积分电容 C_{ext} 一般取 0.1 μF
5	RX/CX	外接阻容公共连接	外接积分电阻 R_{ext} 和电容 C_{ext} 的公共连接端，且为积分波形输出端
7, 8	C_{01}, C_{02}	外接补偿电容	两端之间所接补偿电容 C_0 通常取 0.1 μF
10, 11	CP_1, CP_0	时钟输入、输出	当在 CP_1 与 CP_0 之间外接电阻 $R_{\text{CK}} = 470\text{k}\Omega$ 时，自行产生时钟。若外部输入时钟，则从 CP_1 端输入

多路选通脉冲信号 $DS_1 \sim DS_4$ 是由多路开关输出的，在每一次 A/D 转换周期结束时，先输出一个 EOC 信号，再依次输出 $DS_1, DS_2, DS_3, DS_4, DS_1, DS_2, \dots$ ，大约 16400 个时钟周期循环一次，如图 8-23 所示。在 DS_1 输出正脉冲期间， $Q_3 Q_2 Q_1 Q_0$ 输出千位及过量/欠量程和极性标志，编码如表 8-8 所示。在 $DS_2、DS_3、DS_4$ 输出正脉冲期间， $Q_3 Q_2 Q_1 Q_0$ 输出 BCD 码，分别为 DS_2 对应输出百位数， DS_3 对应输出十位数， DS_4 对应输出个位数。

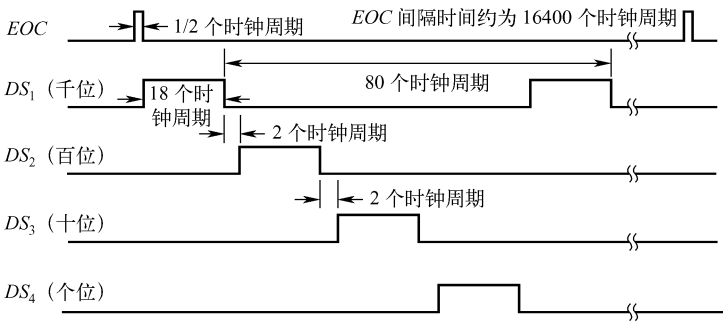


图 8-23 $DS_1 \sim DS_4$ 的时序图

表 8-8 $Q_3 Q_2 Q_1 Q_0$ 输出功能编码表

$DS_1 = 1$				意 义	说 明
Q_3	Q_2	Q_1	Q_0		
0	×	×	×	“千” 位数 1	用 Q_3 状态表示 “千” 位数取值
1	×	×	×	“千” 位数 0	
×	1	×	×	正极性	用 Q_2 状态表示电压极性
×	0	×	×	负极性	
×	×	×	0	量程合适	用 Q_0 状态表示量程是否合适。在量程不合适时并结合 Q_3 表示是过量程还是欠量程
0	×	×	1	过量程	
1	×	×	1	欠量程	

显示电压极性符号“-”的发光二极管阴极与最高位数码管的阴极连在一起,“-”是否点亮由CC14433在 $DS_1=1$ 期间的 Q_2 决定。 Q_2 控制5G1413其中一路晶体管,当输入正电压时, $Q_2=1$,使5G1413该路晶体管导通,将 R_M 通过导通的晶体管接地,“-”熄灭;当输入负电压时, $Q_2=0$, Q_2 所控制的晶体管截止, $V_{DD}(+5V)$ 通过 R_M 将“-”点亮。小数点由 V_{DD} 通过电阻 R_{DP} 点亮。 R_M 、 R_{DP} 及CC4511输出端七只限流电阻,要根据LED七段发光器件电流要求选取阻值,当用5V电源供电时,阻值为数百欧姆。

若要求满量程改为 199.9mV，只要把 V_{REF} 调到 200mV， R_{ext} 由 470k Ω 变为 27k Ω ，并把小数点位置移动就可以实现。

- (1) ADC 功能是什么?
- (2) 在图 8-16 中, 若 $V_{\text{REF}} = 8\text{V}$, 输入电压 $u_A = 2.82\text{V}$, 求输出数字量。
- (3) 画出输出为 2 位二进制数码的并行 ADC 原理图, 并推导编码器逻辑表达式。

- (4) 在图 8-18 中, 若 $E_{\text{OA}} = 6\text{V}$, 输入电压 $u_{\text{A}} = 2.82\text{V}$, ADC 输出 5 位, 求输出数字量。
- (5) 图 8-18 所示 ADC 输出数字量位数为 k , 则完成一次 A/D 转换需要多少个时钟? 转换时间又是多少? 设时钟脉冲周期为 T_{CP} 。
- (6) 在图 8-19 中, 若 $V_{\text{REF}} = 6\text{V}$, 计数器模 16, 输入电压 $u_{\text{i}} = 2.82\text{V}$, 求输出数字量。
- (7) 双积分型 ADC 为什么要求 $|u_{\text{i}}| \leq |V_{\text{REF}}|$, 且要求 u_{i} 与 V_{REF} 极性相反?
- (8) 根据所介绍的 CC14433, 试设计一个温度计。与图 8-24 所示电路比较, 还需要增加什么电路?
- (9) ADC 中一定要有取样-保持电路? 如果不加取样-保持电路, 必须满足什么条件?

实验与技能训练

实验 15 数/模转换器 (DAC)

- (1) 实验目的。进一步理解 D/A 转换原理, 熟悉 DAC 的使用方法。
- (2) 实验用设备。数字电路通用实验仪、双电压直流电源、数字电压表。
- (3) 实验用器件。AD7524 一片、CF353 一片。

说明: CF353 为双运算放大器, 内部有失调电压调节, 输入电流小, 输入电阻高。极限参数为: 电源电压 $\pm 18\text{V}$; 差模输入电压 $\pm 30\text{V}$; 共模输入电压 $\pm 15\text{V}$ 。引脚排列参见图 8-25。

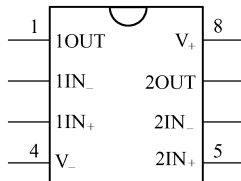


图 8-25

- (4) 实验内容。实验参考电路如图 8-7 所示。

① 将实验仪逻辑开关 $S_0 \sim S_7$ 接 AD7524 数据输入端 $d_0 \sim d_7$, 开关 S_8 、 S_9 分别接 AD7524 片选端 $\overline{\text{CS}}$ 与写控制端 $\overline{\text{WR}}$ 。

② 检查电路连接无误后, 接通电源。按表 8-9 输入数字量 $d_7 \sim d_0$, 用数字电压表测量输出电压 u_o , 并与计算值比较。

表 8-9

使能输入		数据输入								单极性输出 $u_o(\text{V})$		双极性输出 $u_o(\text{V})$	
$\overline{\text{CS}}$	$\overline{\text{WR}}$	d_7	d_6	d_5	d_4	d_3	d_2	d_1	d_0	测量值	计算值	测量值	计算值
0	0	0	0	0	0	0	0	0	0				
		0	0	0	0	0	0	0	1				
		0	0	0	0	0	0	1	0				
		0	0	0	0	0	0	1	1				
		0	0	0	0	0	1	0	0				
												
		1	1	1	1	1	1	1	0				
		1	1	1	1	1	1	1	1				

续表

使 能 输 入		数 据 输 入								单极性输出 $u_o(\text{V})$		双极性输出 $u_o(\text{V})$	
$\overline{\text{CS}}$	$\overline{\text{WR}}$	d_7	d_6	d_5	d_4	d_3	d_2	d_1	d_0	测量值	计算值	测量值	计算值
×	1	0	0	0	0	0	0	0	0				
		0	0	0	0	0	0	0	1				
		0	0	0	0	0	0	1	0				
												
		1	1	1	1	1	1	1	0				
		1	1	1	1	1	1	1	1				
1	×	0	0	0	0	0	0	0	0				
		0	0	0	0	0	0	0	1				
		0	0	0	0	0	0	1	0				
												
		1	1	1	1	1	1	1	0				
		1	1	1	1	1	1	1	1				

本章小结

1. ADC 与 DAC 是模拟系统与数字系统间的接口电路。评价 ADC 与 DAC 的最重要的指标是转换精度和速度。
2. DAC 是利用权电流求和及电流 - 电压放大器使输出电压与输入数字量成正比。
3. 将模拟量转换为数字量的数学基础是取样定理，只要取样频率大于模拟信号最高频率分量的两倍，即 $f_s > 2f_{\max}$ ，便可不失真地重现原输入信号。
- ADC 包括取样 - 保持电路和量化 - 编码电路两部分。取样 - 保持电路有许多成型产品，可供直接选用。本章介绍了三种量化 - 编码电路。其中速度最快的是并行比较型。逐次逼近型速度略低一些，在需要质量好而速度较快的转换器件时是最常用的。双积分型转换速度最慢，由于有抑制 50Hz 市电干扰的优点，在数字式直流电压表中得到广泛应用。

目标检测

一、填空题

- 8.1 8 位 DAC 基准电压 $V_{\text{REF}} = -12\text{ V}$ ，当输入为 00000001 时的 u_o _____ V。
- 8.2 DAC 的最小分辨电压 5mV，最大满刻度输出电压 10V，则输入数字量的位数是_____ 位。
- 8.3 取样定理是指_____。
- 8.4 在所介绍的三种 ADC 中，速度最快的是_____ 型。
- 8.5 在需要抑制 50Hz 市电干扰，并且转换速度要求不高的情况下，可以选用_____ 型 ADC。

二、单项选择题

- 8.6 DAC 芯片的调零端用来消除_____。
- A. 满值误差 B. 失调误差 C. 增益误差 D. 建立时间
- 8.7 电流输出型 DAC 要获得模拟电压输出需要外接_____。

- A. 运算放大器 B. 三极管放大器 C. 比较器 D. 积分器

三、多项选择题

- 8.8 模数转换电路的转换过程包含_____过程。
A. 保持 B. 取样 C. 量化与编码 D. 量化与解码
- 8.9 DAC 的主要参数有_____。
A. 分辨率 B. 转换精度 C. 失调误差 D. 满值误差
- 8.10 ADC 的主要参数有_____。
A. 量化误差 B. 分辨率 C. 转换时间 D. 转换速率
- 8.11 ADC 的量化方法有_____。
A. 有舍有入 B. 只舍不入 C. 只入不舍 D. 四舍五入
- 8.12 为了防止数字信号对模拟信号的干扰,在模数转换器或数模转换器中通常分设_____。
A. 两个正电源端 B. 两个负电源端 C. 两个工作电源 D. 模拟地和数字地
- 8.13 以下说法正确的是_____。
A. 当量化编码电路的工作速度远快于输入信号的频率时可以不加取样保持电路
B. 转换时间大于 $300\mu\text{s}$ 的为低速型 ADC,在 $20 \sim 300\mu\text{s}$ 的为中速型 ADC,小于 $20\mu\text{s}$ 的为高速型 ADC
C. ADC 输出二进制数位越多,分辨率越高,量化误差越小
D. ADC 输出 BCD 码的位数越多,分辨率越高

主要参考文献

1. 刘宝琴,罗嵘,王德生编著.《数字电路与系统(第2版)》.北京:清华大学出版社,2007年
2. 阎石主编.《数字电子技术基础》第五版;北京:高等教育出版社,2006年
3. 王毓银主编.《数字电路逻辑设计(脉冲与数字电路第三版)》.北京:高等教育出版社,1999年
4. 电子工程手册编委会、集成电路手册编委会编.《标准集成电路数据手册》.北京:电子工业出版社